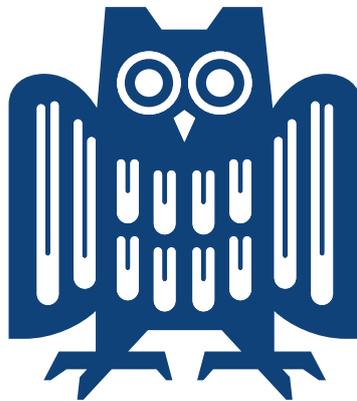

**Entwicklung von siliziumbasierten Mikro-Schaltern
zur Realisierung von reproduzierbaren
Array-Verschaltungen**

Markus Schwarz



Dissertation
zur Erlangung des Grades
des Doktors der Ingenieurwissenschaften
der Naturwissenschaftlich-Technischen Fakultät
der Universität des Saarlandes

vorgelegt von

Markus Schwarz

Saarbrücken

2021

Tag des Kolloquiums: 06. Juli 2021

Dekan: Prof. Dr. Jörn Eric Walter

Berichterstatter/in: Prof. Dr. Helmut Seidel
Prof. Dr. Gabriele Schrag

Vorsitzender: Prof. Dr.-Ing. Matthias Nienhaus

Akademischer Mitarbeiter: Dr.-Ing. Paul Motzki

„There's Plenty of Room at the Bottom “

Richard Feynman, CalTech, 1959

Kurzfassung

In der vorliegenden Arbeit werden skalierbare Mikroschalter auf MEMS-Basis entwickelt. Der Fokus liegt dabei auf der Ausarbeitung eines reproduzierbaren Wafer-basierten Prozessablaufs, der es ermöglicht, sowohl Einzelschalter als auch vernetzte Schalter, sogenannte Arrays, zu fertigen. Array-Chips mit parallel vernetzten Einzelschaltern können eine deutlich höhere Stromtragfähigkeit als Einzelschalter-Chips aufweisen. Wesentliche Voraussetzung hierfür ist deren synchrones Schalten. Durch die Entwicklung eines Zwei-Wafer-Prozesses mit hochpräzisem Glasätzverfahren sowie einem Fügeverfahren für den abschließenden Waferbond konnten MEMS-Schalter mit nahezu identischen Schaltcharakteristiken realisiert werden. Die Abweichungen beim Glasätzverfahren bewegen sich auch bei steigenden Ätztiefen über den Wafer hinweg bei maximal 2 %. Die hergestellten Bauteile werden hinsichtlich Balkengeometrie, Kontaktmaterial und Schaltverhalten charakterisiert sowie die Ergebnisse mit vorangegangenen analytischen und numerischen Berechnungen verglichen. Je nach Design liegen die Pull-in-Spannungen der MEMS-Schalter im Bereich von 12 V–55 V und die Schaltzeiten variieren zwischen 2 μ s–40 μ s. Die Güte des Herstellungsprozesses erlaubt eine Vorhersage der Schaltcharakteristika, basierend auf der Biegebalkengeometrie. Die Funktionsfähigkeit der Array-Verschaltungen wird demonstriert und ein Ausblick auf zukünftige Verbesserungsmöglichkeiten gegeben.

Abstract

In this work, scalable MEMS-based microswitches are developed. The thesis focuses on the development of a reproducible wafer-based process flow, which enables the fabrication of single switches as well as of interconnected switches in an array configuration. Array chips with parallel-connected single switches exhibit a significantly higher current carrying capacity as compared to single-switch chips. A major requirement to be functional is their synchronous switching. By developing a two-wafer process with a high-precision glass etching process and a fusion process for the final wafer bond, MEMS switches with almost identical switching characteristics have been realised. The depth tolerance in the glass etching process does not exceed 2% over the whole wafer, even with increasing etching depths. The manufactured components are characterized with respect to beam geometry, contact material and switching characteristics. The results are compared with previous analytical and numerical calculations. Depending on the design, the pull-in voltages of the MEMS switches range from 12 V–55 V and the switching times vary between 2 μ s–40 μ s. The quality of the fabrication process allows the prediction of the switching characteristics based on the bending beam geometry. The operability of the array circuits is demonstrated and an outlook for further developments is given.

Inhaltsverzeichnis

1	Einleitung und Motivation	1
1.1	Stand der Technik	2
1.2	Ziele der Arbeit	4
2	Grundlagen	6
2.1	MEMS-Schalter	6
2.2	Elektrostatische Ansteuerung von Mikrosystemen	9
2.3	Festkörperadhäsion in der Mikromechanik	14
2.4	Relevante Herstellungstechnologien in der Mikrosystemtechnik	15
2.5	Messmethoden zur Charakterisierung der Proben	22
3	Modellbildung und Design	27
3.1	Designfindung	27
3.2	Mathematische Beschreibung und Simulation	32
3.3	Verwendete Layouts	36
3.3.1	Waferdesign	36
3.3.2	Teststrukturen	37
3.3.3	Einzelrichter	39
3.3.4	Array-Verschaltungen	41
4	Herstellung der MEMS-Schalter, Prozess- und Messtechnik	43
4.1	Funktionswafer	44
4.1.1	Glas-Wafer	44
4.1.2	SOI-Wafer	46
4.1.3	Waferbonden	48
4.2	Package - C-Dip	49
4.3	Entwicklung Prozess- und Messtechnik	50
4.3.1	Glasätzen mit Hydrogenfluorid	50
4.3.2	Eutektischer Waferbond	51
4.3.3	Messtechnik für die Charakterisierung	53
4.4	Hergestellte und charakterisierte Chipsdesigns	55
5	Experimentelle Ergebnisse und Diskussion	58
5.1	Charakterisierung der prozessierten Wafer	58
5.1.1	Glasätzen	58
5.1.2	Umkontaktierung	59
5.1.3	Übergangswiderstand Metall-Silizium	60
5.1.4	Spezifischer elektrischer Widerstand	62

5.2	Diskussion der Wafer-Charakterisierung.....	63
5.3	Charakterisierung der MEMS-Schalter.....	64
5.3.1	Passive Krümmung.....	65
5.3.2	Elektrische Kapazität.....	66
5.3.3	Parasitäre Ströme.....	66
5.3.4	Pull-in-Spannung.....	66
5.3.5	Kontaktwiderstand.....	68
5.4	Diskussion.....	71
6	Zusammenfassung und Ausblick	75
	Literaturverzeichnis	77
	Anhang	88
A	Prozessentwicklung eutektischer Waferbond.....	89
A.1	Versuchsplan Prozessentwicklung eutektischer Waferbond ...	89
A.2	Bondprogramm für eutektischen Waferbond.....	90
B	Messplatine für Einzelchipmessung.....	91

Symbolverzeichnis

ϵ_r	relative Dielektrizitätszahl
ϵ_0	Dielektrizitätszahl
ν_s	Querkontraktionszahl S ubstrat
ρ	spezifischer elektrischer Widerstand
σ	Mechanische Spannung einer Dünnschicht
ϑ, T	Temperatur
a	Länge der Einschnüerstelle
A_E	Elektrodenfläche
A_Q	Fläche Q uerschnitt
b_E	Breite der E inschnürung
C	Kapazität
C_{ϵ_0}	Kapazität Luft
C_{ϵ_r}	Kapazität dielektrische Schicht
C_{gesamt}	G esamtkapazität
C_{off}	Kapazität im geöffneten Zustand
d_f	Schichtdicke F ilm
d_m	Schichtdicke M essprobe
d_s	Schichtdicke S ubstrat
d_{ds}	Schichtdicke d ielektrische S chicht
E	Elastizitätsmodul
E_s	Elastizitätsmodul S ubstrat
F	Kraft

F_F	lineare F ederkraft
F_P	P unktkraft
F_{el}	e lektrostatische Kraft
g	Abstand der Elektroden; G ap
h	Dicke des Balkens
I, I_1, I_2	Flächenträgheitsmoment
I_{31}	eingepprägter Strom zwischen Pad 3 und 1
I_{BC}	eingepprägter Strom an den Punkten B und C
I_{CD}	eingepprägter Strom an den Punkten C und D
I_{el}	e lektrischer Strom
k	lineare Federsteifigkeit
l	Länge
l_B	Länge des B alkens
l_E	Länge der E lektrode
p_1	Kontaktdruck 1
p_2	Kontaktdruck 2
q	elektrostatische Flächenlast
$q(x)$	Streckenlast
q_1, q_2	Flächenlast
R	elektrischer Widerstand
R_0	Krümmungsradius vor Beschichtung
R_1	Krümmungsradius nach Beschichtung
R_K	K ontaktwiderstand
$R_{BC,DA}$	Widerstand zwischen den Punkten B,C,D und A

$R_{CD,AB}$	Widerstand zwischen den Punkten C,D,A und B
R_{on}	elektrische Durchgangswiderstand
T_m	absolute Schmelztemperatur
U	elektrische Spannung
U_{42}	Spannungsabfall zwischen Pad 4 und 2
U_{AB}	Spannungsabfall zwischen den Punkten A und B
U_{DA}	Spannungsabfall zwischen den Punkten D und A
U_{PidS}	Pull-in -Spannung mit dielektrischer Schicht
U_{Pi}	Pull-in -Spannung
W	elektrische Energie
w	Durchbiegung
$w(x)$	Durchbiegungsverlauf der Biegelinie
w_I, w_{II}, w_{III}	Durchbiegungsverlauf im Abschnitt I,II, III
y	Verhältnis von Einschnürung zu Balkenbreite
z	Auslenkung in z-Richtung
z_1	Nullstelle 1
z_2	Nullstelle 2

Abkürzungsverzeichnis

a-Si	Amorphes Silizium
AT	Array-Typ
Au	Gold
BESOI	B onded E tch- B ack S ilicon O n I nsulator (gebondetes, rückgeätztes Silizium auf einem Isolator)
BOX	B uried O xid (vergrabenes Oxid)
BT	B alken-Typ
C₄F₈	Octafluorocyclobutan
CAD	C omputer- A ided D esign (rechnerunterstützte Konstruktion)
CBKR	C ross B ridge K elvin R esistor (Querbrücken-Kelvin-Widerstand)
C-Dip	C eramic- D ual inline p ackage (keramisches zweireihiges Gehäuse)
CER	C ontact E nd R esistor (Kontakt-Endwiderstand)
Cr	Chrom
CT	C hip-Typ
CVD	C hemical V apor D eposition (chemische Gasphasenabscheidung)
DCB	D ouble- C antilever- B eam
DRIE	D eep R eactive I on E tching (reaktives Ionentiefenätzen)
EDS	Energiedispersive Röntgenspektroskopie
FET	Feldeffekttransistor
HF	Hydrogenfluorid (Flusssäure)
IBE	I on B eam E tching (Ionenstrahlätzen)
ICP	I nductively C oupled P lasma (induktiv gekoppeltes Plasma)
IQR	Interquartilsabstand
KOH	Kaliumhydroxid

MEMS	Microelectromechanical systems (Mikroelektromechanische Systeme)
NH₃	Ammoniak
Ni	Nickel
NiO	Nickeloxid
PECVD	Plasma-Enhanced Chemical Vapor Deposition (plasmaunterstützte chemische Gasphasenabscheidung)
PGMEA	Propylenglycolmonomethyletheracetat
PIN-Diode	Positive Intrinsic Negative Diode (Leistungsdiode)
PVD	Physical Vapour Deposition (physikalische Gasphasenabscheidung)
QDR	Quick Dump Rinser (Schnellspülbecken)
REM	Rasterelektronenmikroskop
RF	Radio Frequency (Radiofrequenz)
RIE	Reactive Ion Etching (reaktives Ionenätzen)
SF₆	Schwefelhexafluorid
Si_xN_y	Siliziumnitrid
SiH₄	Silan
SIMOX	Separation by Implanted Oxygen
SMU	Source Measure Unit (Quellen- und Mess-Einheit)
SOI	Silicon-on-Insulator (Silizium auf einem Isolator)
TLTR	Transmission Line Tap Resistor (Übertragungsleitungs-Abzweigwiderstand)
UV	Ultraviolett
VE-Wasser	Vollentsalztes Wasser
WDS	Wellenlängendispersive Röntgenspektroskopie

Abbildungsverzeichnis

Abbildung 1.1	Anzahl der Publikationen pro drei Jahre bei der Suche im bibliometrischen Analysetool SciVal (www.scival.com). Suchbefehl [(mems AND switch) AND (relay OR contact) NOT (rf OR "radio frequency")] am 04.05.2020.	2
Abbildung 2.1	Grundprinzip eines MEMS-Schalters mit elektrisch erzeugter Kraft für die Auslenkung des Biegebalkens.	6
Abbildung 2.2	Prinzip eines elektrostatisch aktuierten MEMS-Schalters mit Metall-Biegebalken.	8
Abbildung 2.3	Prinzip eines MEMS-Schalters aus Silizium mit Doppelkontakt.	9
Abbildung 2.4	Ladungs- und Feldverteilung in einem Plattenkondensator nach [37].	10
Abbildung 2.5	Schema eines Plattenkondensators mit einer beweglichen Elektrode; mit linearer Federsteifigkeit k , Auslenkung z , Plattenabstand g und Schaltspannung U	11
Abbildung 2.6	Schema eines Plattenkondensators mit beweglicher Elektrode, linearer Gegenkraft k , Auslenkung z , Plattenabstand g , Schaltspannung U und dielektrischer Schicht ϵ_r mit der Dicke d_{dS}	14
Abbildung 2.7	Schematische Darstellung eines Silicon-on-Insulator (SOI) Wafers.	16
Abbildung 2.8	Herstellungstechnologien zur Herstellung von SOI-Wafern: a) Bonden von oxidierten Waferpaaren und anschließendes Abdünnen - BESOI, Implantation von Sauerstoff und nachfolgende Temperung - SIMOX.	17
Abbildung 2.9	Strukturierungsverfahren von Schichten mittels Fotolithografie: a) Schichterzeugung auf dem Wafer, b) Aufschleudern von Fotolack mit der gewünschten Schichtdicke, c) Übertragung der Fotomaske durch Belichtung, d) Herauswaschen der löslichen Teile beim Entwickeln, e) Übertragen der Lackstrukturen beim Ätzen, f) Entfernung der Lackschicht.	18
Abbildung 2.10	Schematischer Aufbau einer DRIE-Ätzanlagen nach [55].	20
Abbildung 2.11	Au-Si Phasendiagramm nach [64].	21

Abbildung 2.12	Substratkrümmung durch Dünnsfilm: a) ohne Krümmung, b) Dünnsfilm mit Zugspannung, c) Dünnsfilm mit Druckspannung.	23
Abbildung 2.13	Messung mit der 4-Punkt-Methode: a) Schematischer Aufbau nach VAN-DER-PAUW, b) Schematischer, linearer Aufbau mit gleichem Spitzenabstand.	25
Abbildung 2.14	Verwendete CBKR Struktur zur Bestimmung des Übergangswiderstandes bei einem Metall-Silizium-Kontakt. Die Strukturen werden bei der Messung über Nadeln an den Pads 1 bis 4 kontaktiert. Der Überlappungsbereich beträgt $180\ \mu\text{m} \times 180\ \mu\text{m}$.	26
Abbildung 3.1	Biegebalken mit Einschnürung zur Reduktion der Steifigkeit des Biegebalkens nach [85]; a) Ansicht von Oben, b) Seitenansicht.....	28
Abbildung 3.2	Normierte Spannung und Biegesteifigkeit im Vergleich zum Verhältnis von Einschnürung zu Gesamtlänge.	29
Abbildung 3.3	Simulationsmodell für die Analyse einer proximalen (A) sowie distalen (B) Einschnürung am Biegebalken (Gesamtlänge $200\ \mu\text{m}$).....	30
Abbildung 3.4	Gegenüberstellung der Simulationsmodelle mit unterschiedlichen Parametern der Einschnürung und dem daraus resultierenden Kontaktdruck. Die Werte für A und B stellen die Breite des Balkens an der Position der Einschnürung dar.	31
Abbildung 3.5	Modell für die analytische Berechnung des Biegebalkens mit elektrostatischer Kräften in den Abschnitten I und II.	33
Abbildung 3.6	a) FEM-Modell der Auslenkung des Biegebalkens mit Einschnürung und einer Gesamtlänge von $250\ \mu\text{m}$ bei $70\ \text{V}$ Spannungsdifferenz, b) Vergleich der analytischen Berechnung und der numerischen Näherung der maximalen Balkenauslenkung $w(l_B)$	35
Abbildung 3.7	Maskendesign mit Verteilung der unterschiedlichen Chipgrößen und Testfelder (blau) auf einem $150\ \text{mm}$ Wafer.	37

Abbildung 3.8	Aufbau der Teststrukturen für die Bestimmung des Übergangswiderstandes der Umkontaktierungen: a) 3-D-Modell als Drahtdarstellung, b) Ansicht von oben ohne Wafer, c) Vollschnittdarstellung der Seitenansicht ohne Schraffierung.....	38
Abbildung 3.9	Teststruktur für die Charakterisierung des eutektischen Waferbonds mit vier mal 0,25 mm ² Bondstrukturen; a) 3-D-Modell als Drahtdarstellung, b) Draufsicht durch den Glaswafer.	39
Abbildung 3.10	CAD-Modell der Einzelschalter-Chips (5 x 4 mm ²) mit dem Balken-Typ BT-1: a) Sicht durch den Glas-Wafer auf die Zuleitungen und Kontaktpads für die Ankontaktierung, b) Sicht auf den Handle-Wafer mit Öffnungen für die Ankontaktierungen und Freistellung der Biegebalken.	40
Abbildung 3.11	CAD-Modell des Array-Chips (5 x 4 mm ²) mit 18 Biegebalken des Typs BT-4: a) Sicht durch den Glas-Wafer auf die Zuleitungen (Metallebene), b) Sicht auf den Handle-Wafer mit Öffnungen für die Ankontaktierung und Freistellung der Biegebalken.	42
Abbildung 4.1	Zwei Hälften eines Einzelchips in der Größe 4 x 5 mm ² (6 x 3 Biegebalken): a) Glas-Seite mit vergoldeten Bondflächen, den Umverdrahtungsebenen, Steuerelektroden sowie den Passivierungen, b) SOI-Seite mit Öffnungen, Zuleitungen sowie 18 Biegebalken.	44
Abbildung 4.2	Verwendete Materialien mit farblicher Zuordnung.	44
Abbildung 4.3	Schaubild der gebondeten Wafer mit Beschriftung der einzelnen Elemente.	49
Abbildung 4.4	Ceramic-Dual-inline-packages mit eingeklebten Einzelchips und Kontaktierungen mittels Drahtbonden: a) 8 Pin Variante, b) 14 Pin Variante.	50
Abbildung 4.5	Glasätzprozess mit a-Si-Hartmaske in Hydrogenfluorid.	51
Abbildung 4.6	Gebonderter Wafer mit Sicht durch den Glas-Wafer.	52
Abbildung 4.7	Messung der Schalter auf Waferlevel in vereinfachter Darstellung ohne Handle- und mit reduziertem Device-Layer sowie einer Vergrößerung des Biegebalkens.	54

Abbildung 4.8	Messaufbau für Einzelchipmessungen mit einer Vergrößerung der Steuerplatine.....	55
Abbildung 4.9	Mikroskopaufnahme eines BT-4 Biegebalkens durch den Glas-Wafer.....	56
Abbildung 5.1	Abweichung nach dem Glasätzprozess: a) Standardabweichung vom Mittelwert bei unterschiedlichen Ätztiefen, b) Prozentualer Fehler der gewünschten 1 µm Ätztiefe an neun Positionen über den Wafer verteilt.	59
Abbildung 5.2	Elektrischer Widerstand der Umkontaktierungen mit den Kontaktmaterialien Au-Ru und Au-Au, jeweils direkt auf einem Siliziumsubstrat bzw. auf Substrat mit Siliziumdioxid-Grenzschicht.	60
Abbildung 5.3	Messungen des Übergangs von Metall zu Silizium an den CBKR-Strukturen.	61
Abbildung 5.4	Spezifische elektrische Widerstandswerte gemessen an den Metallschichten Ruthenium bzw. Gold, die jeweils eine Dicke von 330 nm aufweisen. Als Haftlayer wurden 40 nm Chrom aufgebracht.	62
Abbildung 5.5	Untersuchung der passiven Krümmung der Balkenelemente (Eigenschaften siehe Tabelle 3.2): a) Balkentyp BT-1, b) Balkentyp BT-4.	65
Abbildung 5.6	Pull-in-Spannung der Einzelschalter BT-1 und BT-4 bei einem Elektrodenabstand von $(1,96 \pm 0,26) \mu\text{m}$	67
Abbildung 5.7	Pull-in-Spannung der Array-Verschaltungen AT-1 und AT-2 bei einem Elektrodenabstand von $(1,64 \pm 0,03) \mu\text{m}$	68
Abbildung 5.8	Widerstandsmessungen von Einzelschaltern an den Chip-Typen CT-1 bis CT-4.	69
Abbildung 5.9	Widerstandsmessungen von Array-Verschaltungen der Chip-Typen CT-5 bis CT-8. Jeweils der geringste Messwert eines Chips, bei einer Steuerspannung von 1 V bis 80 V, ist in die Auswertung eingeflossen.	70

Abbildung 5.10	Widerstand von 6 x 3 Array-Verschaltungen mit den Kontaktmaterialien Au/Au (CT-5) und Au/Ru (CT-7) in Abhängigkeit von der Schaltspannung.	71
Abbildung 5.11	REM-Aufnahmen eines Biegebalkens und Detektion eines Partikels nach dem Öffnen des Chip-Typs BT-4.....	72
Abbildung 5.12	WDS-Analyse des detektierten Partikels aus Abbildung 5.11. ..	73
Abbildung A1	Au-Si eutektischer Waferbond - Bondprogramm 150 mm Wafer.	90
Abbildung B2	Schaltplan für die Herstellung der Platine-Einzelchipmessung.	91
Abbildung B3	Schaltcharakteristik der Steuerspannung bei 50 V.	92
Abbildung B4	Definition zur Bestimmung der Schaltzeit im Messverlauf.....	92
Abbildung B5	Messablauf zur Bestimmung der Pull-in-Spannung und des Widerstandes.	93

Tabellenverzeichnis

Tabelle 2.1 Vergleich unterschiedlicher Prinzipien für MEMS-Schalter [14, 28, 29].	7
Tabelle 3.1 Einfluss verschiedener Parameter auf die Pull-in-Spannung U_{Pi} sowie die wirkenden Kräfte F_{el} und F_F	36
Tabelle 3.2 Unterschiedliche Biegebalken-Typen. Die angegebenen Werte sind mit einem Elektrodenabstand von $g_0 = 1,5 \mu\text{m}$ und einer Balkendicke von $10 \mu\text{m}$ berechnet.	41
Tabelle 3.3 Auflistung unterschiedlicher Array-Verschaltungen mit den verwendeten Biegebalken.....	42
Tabelle 4.1 Prozessabfolge Glas-Wafer.	46
Tabelle 4.2 Prozessabfolge SOI-Wafer.	48
Tabelle 4.3 Übersicht der hergestellten und charakterisierten MEMS-Chips. ...	57
Tabelle A1 Versuchsplan für Prozessentwicklung eines eutektischen Waferbonds.	89

1. Einleitung und Motivation

Die Mikrosystemtechnik und ihre Miniaturisierung hat den Weg zur Verwendung von physikalischen Oberflächeneffekten in Mikrosystemen geebnet. Durch die bei der linearen Abwärtsskalierung eines Objektes auftretende verhältnismäßige Zunahme von Oberfläche gegenüber Volumen können Effekte, wie z. B. die Elektrostatik, für die Aktuierung von Bauelementen eingesetzt werden. Als mechanisches Material hat sich Silizium in den letzten sieben Dekaden etabliert. Bereits in den 70er Jahren wurden MEMS-Schalter (Mikroelektromechanische Systeme-Schalter) von PETERSEN vorgestellt [1]. Er benutzte konventionelle Techniken für die Herstellung von Mikromechanischen-Membran-Schaltern. PETERSEN konnte Vorteile beim geringen Energieverbrauch für Schaltanforderungen bei der Schaltung von Wechselstromsignalen feststellen. Gute Eigenschaften sah er auch durch die Metall-Metall-Kontakte mit relativ niedrigem Widerstand, den ausschließlich metallenen Leitungspfaden sowie bei der extrem hohen Widerstandsimpedanz im offenen Zustand. Er entwickelte eine neue Klasse von elektronischen Schaltern.

Durch eine geringe Größe, schnelle Schaltzeit, galvanische Trennung, lange Lebensdauer und eine energieeffiziente Ansteuerung schließt der MEMS-Schalter die Lücke zwischen Halbleiterschalter und elektromagnetischem Relais.

Mithilfe hochentwickelter Fertigungsverfahren, wie z. B. dem Iontiefenätzen (engl.: Deep Reactive Ion Etching, DRIE), wurden die MEMS-Technologien zu einer echten generischen Technologie- und Produktionsplattform¹ [2]. Diese führten zum Einzug der MEMS-Sensoren und -Aktoren in der Automobilbranche [3], der Unterhaltungselektronik [4] aber auch in der Leistungselektronik [5]. MEMS-Bauelemente bieten eine Reihe von Vorteilen, wie eine oftmals erhebliche Kostenersparnis durch eine hochgradig parallele Fertigung (Batch-Prozessierung), eine hohe Funktionsdichte sowie die Integration von elektrischen und nichtelektrischen Funktionen in einem Bauteil.

¹ Weitere Plattformen sind z. B. die Oberflächenmikromechanik, die Volumenmikromechanik oder die LIGA-Technologie.

Das Potential von MEMS-Schaltern wurde bereits früh erkannt und die Nachfrage ist seitdem ungebrochen. Nahezu 200 Publikationen pro Jahr wurden im Zeitraum von 2002 bis 2019 veröffentlicht (siehe Abbildung 1.1). MEMS-Schalter mit hoher Leistungsfähigkeit bei geringem Energieverbrauch sowie kleiner Baugröße sind geradezu prädestiniert für den Einsatz bei neu entwickelten energiesparenden Systemen. Da MEMS-Einzelschalter für ein sich in Richtung höherer Schaltleistungen entwickelndes Anwendungsspektrum nicht mehr ausreichen, wird in dieser Arbeit ein Prozessansatz für homogene, reproduzierbare MEMS-Array-Verschaltungen vorgestellt.

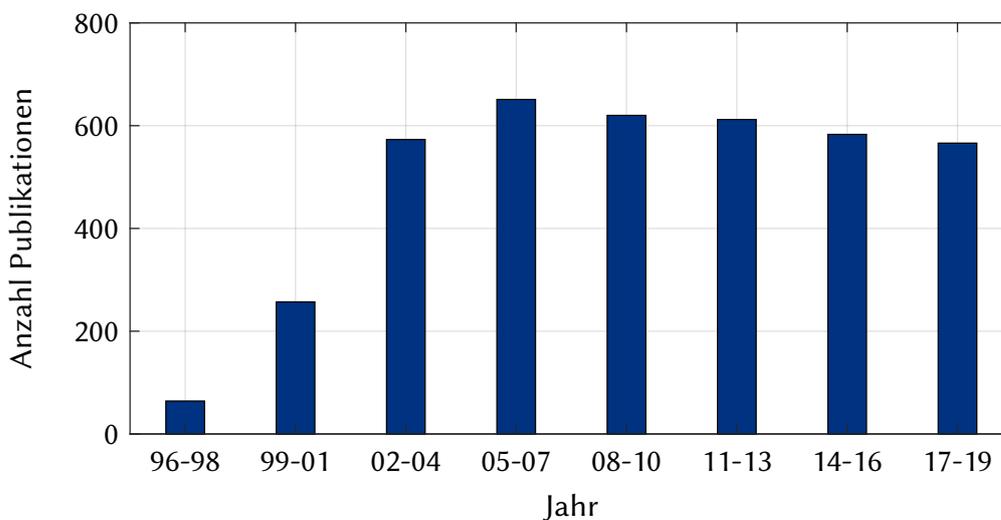


Abbildung 1.1: Anzahl der Publikationen pro drei Jahre bei der Suche im bibliometrischen Analysetool SciVal (www.scival.com). Suchbefehl [(mems AND switch) AND (relay OR contact) NOT (rf OR "radio frequency")] am 04.05.2020.

1.1. Stand der Technik

HENRY entwickelte im Jahr 1835 das erste elektromagnetische Relay [6]. Bis heute kommen Weiterentwicklungen dieses Relays aus Gründen geringer Einfügungsverluste (Durchgangswiderstand $R_{on} < 1 \Omega$), großer Linearität und hoher Isolation (Kapazität im geöffneten Zustand C_{off} einige fF) zum Einsatz. Aufgrund der Bauteilgröße, der relativ hohen Kosten und einer geringen durchschnittlichen Lebensdauer von einigen Millionen Schaltzyklen hat die Halbleiterindustrie Alternativen wie PIN-Dioden (engl.: Positive Intrinsic Negative Diode) oder Feldeffekttransistoren (FET) entwickelt. Hierbei handelt es sich um Halbleiterbauelemente, mit denen durch Ver-

änderung (vergrößern oder verkleinern) der leitenden oder nichtleitenden Gebiete im Halbleitermaterial ein Stromfluss gezielt gesteuert werden kann. Auch diese Alternativen sind wegen ihrer Verlustleistung und der Durchlassdämpfung für einige Anwendungen (z. B. in der Telekommunikation) nicht ausreichend [7, 8]. Weitere Entwicklungen im Bereich miniaturisierter Schalter fanden statt.

Im Jahre 1979 stellte PETERSEN in [1] einen Mikromechanischen-Membran-Schalter mit Metall-Metall-Kontakt vor. Er benutzte vorhandene Fertigungstechniken wie Fotolithografie sowie Prozesse für die Fertigung von integrierten Schaltkreisen, um Biegebalken aus Siliziumdioxid (SiO_2) mithilfe der Oberflächen-Mikromechanik² herzustellen. Verschiedene Einkontakt- und Doppelkontaktschalter mit Gold-Gold-Kontakten wurden vorgestellt. PETERSEN entwickelte damit eine neue Klasse von elektronischen Schaltern und schloss somit eine Lücke zwischen Halbleiterschaltern und elektromagnetischen Relais.

MEMS-Schalter haben eine Reihe von Vorteilen im Vergleich zu PIN-Dioden und FETs [9], wie z. B. der geringere Stromverbrauch bei der Ansteuerung. Die Entwicklung neuer MEMS-Schalter rückte in den Vordergrund. Anfang der 90er Jahre wurde von LARSON *et al.* der erste MEMS-Schalter vorgestellt, der speziell für Mikrowellenanwendungen konzipiert war [10]. Die sogenannten Hochfrequenz-Schalter (engl.: Radio Frequency, RF) verarbeiten Hochfrequenzsignale durch die gezielte Änderung der Kapazität (Aufwärts- und Abwärtskapazität) [11]. Beim Schaltvorgang findet daher kein klassischer galvanischer Schaltprozess mit elektrischen Kontakten statt. Mit dieser Art von MEMS-Schaltern können unter anderem Informationssignale für Telekommunikations- und Satellitenkommunikationsanwendungen gesteuert werden [12]. Die Herstellung erfolgt auch hier mit den Techniken der Halbleiterindustrie, wodurch hohe Stückzahlen kostengünstig gefertigt werden können [7].

Seit der Arbeit von PETERSEN wurde eine große Anzahl von Zeitschriften- und Konferenzbeiträgen zum Thema MEMS-Schalter veröffentlicht [9]. Über 80 Konzepte wurden in [13] zusammengetragen. Viele dieser Schalter blieben aber eine Laborkuriosität [14].

² Die Strukturen werden als Schichten auf dem Wafer aufgebaut. Im Gegensatz dazu werden bei der Volumen-Mikromechanik (bulk micromachining) die Strukturen aus dem Substrat herausgeätzt.

Im Bereich Leistungsschalter reduziert sich die Anzahl der Publikationen deutlich [15, 16, 17, 18, 19]. Aktuell (18.06.2020) sind aber keine der MEMS-Leistungsschalter im kommerziellen Umfeld erhältlich. Frühere verfügbare Schalter von Radant und Omron [20, 21] sind nicht mehr auf dem Markt. Der MEMS-Schalter von MenloMicro wurde nur angekündigt, ist aber ebenfalls nicht erhältlich [22].

Ein Grund, weshalb Leistungsschalter noch nicht im kommerziellen Handel verfügbar sind, ist nach [7, 23] unter anderem das Kriechen des Metallbalkens. Beim Kriechen tritt eine plastische Verformung des Werkstoffs auf, welche durch Versetzungen und Leerstellendiffusion durch induzierte Beanspruchung hervorgerufen werden kann. Die Verformung ist zeit- und temperaturabhängig. Wird der Biegebalken mit einem Strom beaufschlagt, erwärmt sich dieser und eine plastische Verformung kann stattfinden.

Nach [23] sind bei MEMS- Schaltern die geringen Schaltzyklen sowie die Steuer Spannungen eine weitere Herausforderung. Zu geringe Steuer Spannungen gehen meist mit geringen Rückstellkräften einher, was einen Ausfall des Bauelements durch Sticking (siehe Kapitel 2.3) im Kontaktbereich begünstigen kann.

Die Reproduzierbarkeit der Einzelschalter ist ebenfalls eine ganz wesentliche limitierende Komponente bei einer Parallelschaltung von Biegebalken [19]. Unterschiedliche Schaltverhalten entstehen durch Abweichungen der mechanischen Eigenschaften. Bei größeren MEMS-Arrays kann dies zu Defekten führen, da die maximale Stromtragfähigkeit von einzelnen Biegebalken überschritten wird. Größere Arrays sind nur möglich, wenn reproduzierbare Biegebalken über die gesamte Waferfläche hergestellt werden können.

1.2. Ziele der Arbeit

Das wesentliche Ziel der vorliegenden Arbeit ist die Realisierung von reproduzierbaren MEMS-Schaltern für Array-Verschaltungen. Hierfür wird ein Maskendesign entwickelt, bei dem Biegebalken aus monokristallinem Silizium den Schaltvorgang (Schließen eines Kontakts) bewerkstelligen. Ein Vorteil gegenüber Biegebalken aus

Metall ist hierbei der monokristalline Aufbau von Silizium, der z. B. das Kriechen des Balkens unterbindet [7]. Somit kann eine Änderung der mechanischen Biegebalkeneigenschaften über die Produktlebenszeit weitgehend vermieden werden. Ein weiterer Vorteil eines siliziumbasierten Biegebalkens ist die hochpräzise Fertigung der Balkenform mithilfe von Techniken aus der Mikrosystemtechnik. Somit können Biegebalken mit nahezu identischen mechanischen Eigenschaften über den Silizium-Wafer hinweg hergestellt werden, was für Array-Verschaltungen essenziell ist. Einschnürungen für die Veränderung von Biegesteifigkeiten sind bei siliziumbasierten Biegebalken ohne größeren Aufwand in das Maskendesign integrierbar. Ein eigens hierfür entwickelter Fertigungsprozess kommt für die Herstellung der siliziumbasierten MEMS-Schalter zum Einsatz. Der Fertigungsprozess beinhaltet solche Prozessschritte, die in der Mikrosystemtechnik bereits etabliert oder mit den vorhandenen Prozesstechniken realisierbar sind. Hierbei wurde auch auf die Machbarkeit von kleinen bis sehr großen Losgrößen geachtet.

Die gesetzten Ziele lassen sich wie folgt zusammenfassen:

- Entwicklung eines MEMS-Schalterdesigns für die Herstellung von reproduzierbaren MEMS-Schaltern mit Schaltzeiten im μs -Bereich.
- Erstellung eines Maskendesigns für die Realisierung von Array-Verschaltungen.
- Entwurf eines Fertigungsprozesses für die Herstellung von siliziumbasierten MEMS-Schaltern mit Prozessschritten aus der Mikrosystemtechnik.
- Optimierung des Biegebalkendesigns durch analytische und numerische Simulation.
- Herstellung von siliziumbasierten MEMS-Schaltern.
- Charakterisierung der hergestellten MEMS-Schalter.

2. Grundlagen

In diesem Kapitel wird zuerst auf die unterschiedlichen Ansteuerungsmöglichkeiten von MEMS-Schaltern eingegangen. Nachfolgend werden die Einflussfaktoren auf einen Schaltvorgang erläutert. Ein Einblick in die Mikrosystemtechnik soll der vorletzte Abschnitt geben, bevor Messmethoden zur Charakterisierung von Schaltern aufgeführt werden.

2.1. MEMS-Schalter

Seit den 1970er Jahren werden MEMS-basierte Sensoren für Druck [24], Temperatur [25], Beschleunigung [3] und andere Messgrößen, aber auch komplexe Systeme wie Gaschromatographen [26] entwickelt. Ebenso wurden auch Aktoren auf MEMS-Basis konzipiert und hergestellt. Bei diesen Aktoren handelt es sich im Wesentlichen um miniaturisierte Strukturen, die ein elektrisches Signal in mechanische Bewegung umwandeln. Hierzu gehören unter anderem auch Mikroschalter, die durch ihre Verformung einen Stromkreis schließen oder öffnen können [1, 14].

Schaltprinzip

MEMS-Schalter, wie in Abbildung 2.1 dargestellt, bestehen im Grunde aus zwei verschiedenen Teilen: dem elektrischen und dem mechanischen. Die für eine mechanische Bewegung erforderliche Kraft F kann durch eine elektrostatische, thermische, magnetostatische oder piezoelektrische Ausführung erreicht werden.

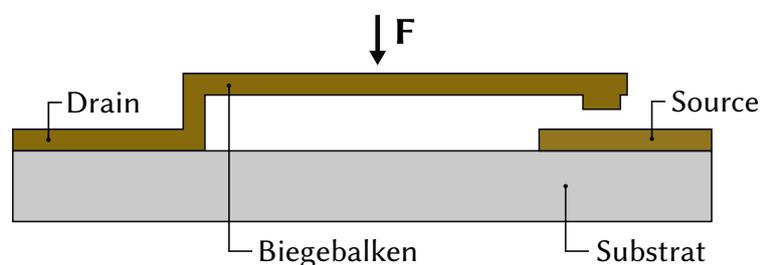


Abbildung 2.1: Grundprinzip eines MEMS-Schalters mit elektrisch erzeugter Kraft für die Auslenkung des Biegebalkens.

In Tabelle 2.1 sind diese vier Schaltprinzipien einander gegenübergestellt. Aufgrund der sehr geringen Stromaufnahme, einer geringen Elektrodengröße, der relativ kurzen Schaltzeit und den erreichbaren Kontaktkräften von $50 \mu\text{N}$ – $1000 \mu\text{N}$, ist die elektrostatische Betätigung heute die am weitesten verbreitete Technik. Je nach Anordnung können sich die Schalter vertikal oder seitlich bewegen. Gängig sind MEMS-Schalter in einer Ohm'schen Metall-Metall-Kontakt oder in einer kapazitiven Ausführung [14, 27].

Tabelle 2.1: Vergleich unterschiedlicher Prinzipien für MEMS-Schalter [14, 28, 29].

Prinzip		elektro- statisch	thermo- elektrisch	magneto- statisch	piezo- elektrisch
Aktuierungsspannung	/V	5 – 200	0,5 – 5	1 – 5	3 – 50
Kontaktwiderstand	/mΩ	10 – 200	50 – 250	50	$<500 \cdot 10^3$
Stromtragfähigkeit	/mA	0,1 – 400	10 – 2000	10 – 2000	1 – 1000
Ruhestrom	/mA	0	0,5 – 5	20 – 150	0
Schaltzeit	/μs	0,1 – 200	100 – 10000	100 – 5000	10 – 500
Kontaktkraft	/μN	50 – 1000	500 – 4000	50 – 200	50 – 200
Fläche	/μm ²	250 x 250	200 x 200	5000 x 4000	200 x 200

MEMS-Schalter auf Siliziumbasis

Wie beschrieben, werden MEMS-Schalter meist elektrostatisch angesteuert. Ein prinzipieller Aufbau ist in Abbildung 2.2 dargestellt. Die Verbindung von Source zu Drain wird durch einen einseitig eingespannten Biegebalken und das Anlegen der Schaltspannung an die Steuerelektrode geschlossen. Der Balken ist aus Metall und wird oft in einem Opferschicht-Verfahren hergestellt [16, 19, 30, 31, 32].

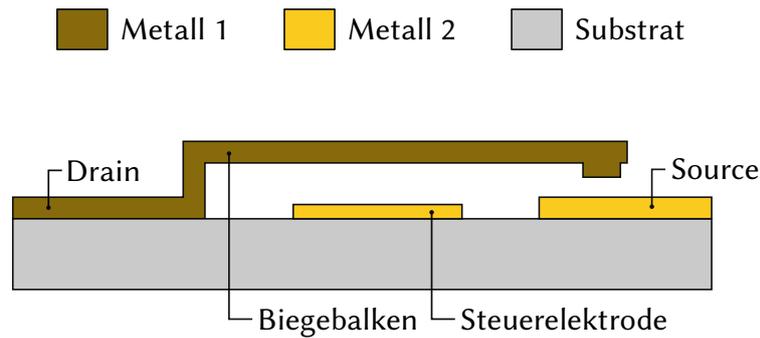


Abbildung 2.2: Prinzip eines elektrostatisch aktuierten MEMS-Schalters mit Metall-Biegebalken.

Der Strom fließt dabei durch den Biegebalken von Source zu Drain. Typische Herausforderungen sind die Erwärmung und das Kriechen¹ des Balkens, was einen Einfluss auf die Lebensdauer hat und eine Einschränkung im Design darstellt. Wird der Biegebalken bei einer homologen Temperatur T/T_m (T_m absolute Schmelztemperatur des Metalls) größer 0,3 bis 0,4 belastet, nimmt die Dehnung mit der Zeit zu [33]. Dies führt zu Änderungen im Schaltverhalten und im Extremfall bis zum Versagen des Schalters.

Abbildung 2.3 zeigt einen einseitig eingespannten MEMS-Schalter in Siliziumausführung. Dabei ist nicht der Balken an sich für das Schließen des Stromkreises zuständig, sondern das vordere, freie Ende mit dem Kontaktpad.

¹ Zeitabhängige, plastische Verformung eines Werkstoffs, welche durch Versetzungen und Leerstellendiffusion hervorgerufen wird.

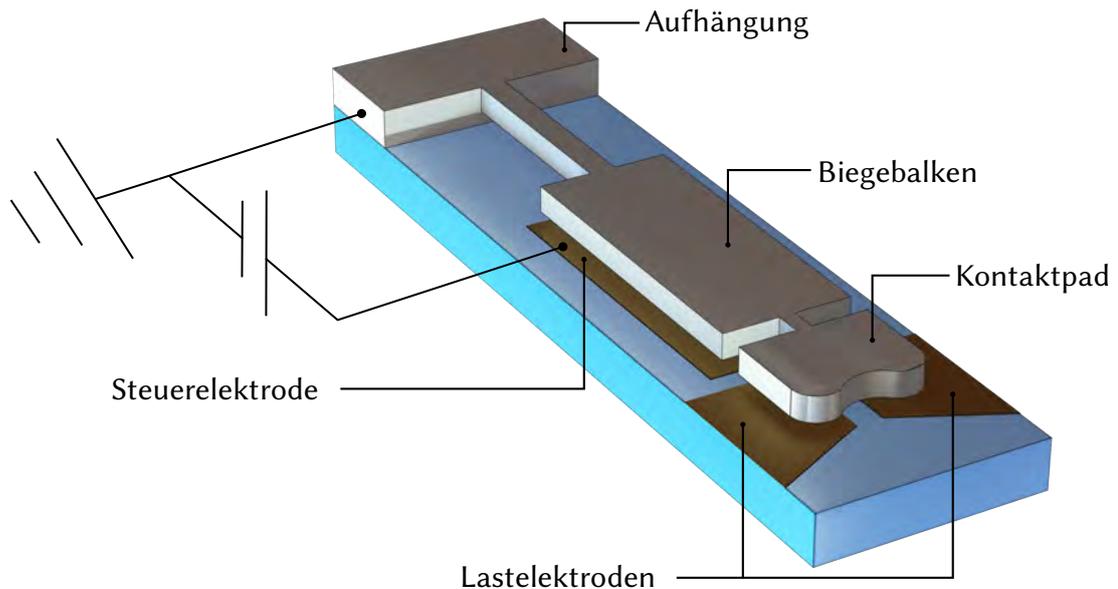


Abbildung 2.3: Prinzip eines MEMS-Schalters aus Silizium mit Doppelkontakt.

Der Schließvorgang geschieht elektrostatisch durch das Anlegen einer Spannung größer gleich der Pull-in-Spannung (siehe Abschnitt 2.2) an die Steuerelektrode. Maßgebend ist der Potentialunterschied zum Biegebalken, der auf dem Bezugspotential (meist null Volt) liegt [34]. Das verwendete einkristalline Silizium verhindert ein Kriechen des Biegebalkens über die Lebensdauer hinweg. Weiterhin können durch die Mikrosystemtechnik hochpräzise Balkengeometrien über den ganzen Silizium-Wafer hinweg hergestellt werden, was eine gleichbleibende Schaltcharakteristik ermöglicht. Einschnürungen für eine gezielte Anpassung der Balkensteifigkeit sind ebenso möglich.

2.2. Elektrostatische Ansteuerung von Mikrosystemen

Ein Vorteil von MEMS ist die Nutzung von physikalischen Effekten, die in Makrosystemen eine untergeordnete Rolle spielen. In diesem Kapitel werden einzelne Effekte und Kräfte aufgeführt, die für eine Herstellung von MEMS-Schaltern zum Tragen kommen.

Elektrostatik

Kräfte, die elektrische Ladungen aufeinander ausüben, werden in der Elektrostatik mit dem COULOMB-GESETZ beschrieben. Durch eine angelegte elektrische Spannung weisen zwei gegenüberliegende Oberflächen unterschiedliche elektrische Potenziale auf (siehe Abbildung 2.4) [14, 35, 36].

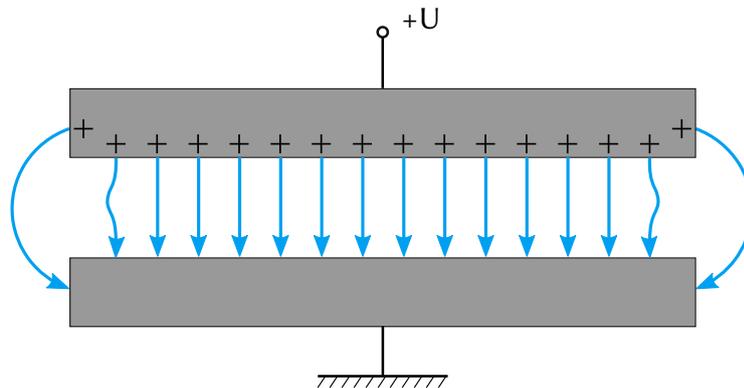


Abbildung 2.4: Ladungs- und Feldverteilung in einem Plattenkondensator nach [37].

Durch die Potentialdifferenz wirken elektrostatische Kräfte. Mit der Kapazität C und der Spannung U enthält ein Kondensator die Energie W

$$W = \frac{1}{2}CU^2. \quad (2.1)$$

Die Größe der Kapazität

$$C = \epsilon_0\epsilon_r \frac{A_E}{g} \quad (2.2)$$

wird durch die Elektrodenfläche A_E , die Dielektrizitätszahl ϵ_0 , die relative Dielektrizitätszahl ϵ_r des Materials zwischen den Elektroden sowie durch den Elektrodenabstand g bestimmt. Die erste Ableitung der Energie nach dem Elektrodenabstand führt zur elektrostatischen Kraft F_{el} . Bei einem konstanten Potential gilt:

$$\frac{\partial W_{el}}{\partial g} = \frac{1}{2} \frac{\partial C}{\partial g} U^2 \rightarrow F_{el} = -\frac{1}{2} \epsilon_0 \epsilon_r A_E \frac{U^2}{g^2}. \quad (2.3)$$

Pull-in Effekt

Ein Plattenkondensator mit einer fixierten und einer beweglichen Elektrode (Abbildung 2.5) wird in einem statischen Zustand betrachtet. Der nichtlineare Zusammenhang zwischen der elektrostatischen Kraft und dem Elektrodenabstand in Gleichung 2.3 führt zum sogenannten Pull-in-Effekt.

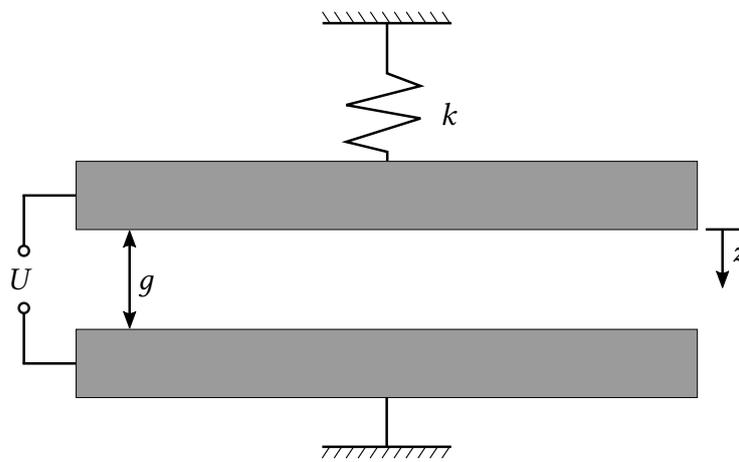


Abbildung 2.5: Schema eines Plattenkondensators mit einer beweglichen Elektrode; mit linearer Federsteifigkeit k , Auslenkung z , Plattenabstand g und Schaltspannung U .

Aus dem Kräftegleichgewicht mit der linearen Federkraft F_F und der darin enthaltenen Federsteifigkeit k ergibt sich für eine bestimmte Auslenkung die notwendige elektrische Spannung U , ab der die Federkraft die stark ansteigende elektrostatische Kraft nicht mehr kompensieren kann [38, 39, 40]:

$$F_F = F_{el}, \quad (2.4)$$

$$kz = \frac{1}{2} \epsilon_0 \epsilon_r A_E \frac{U^2}{(g-z)^2}, \quad (2.5)$$

$$U = \sqrt{\frac{2kz(g-z)^2}{\epsilon_0\epsilon_r A_E}}. \quad (2.6)$$

Mit der elektrischen Spannung U in Abhängigkeit von der Verschiebung z kann ein Maximum identifiziert werden als:

$$\frac{dU^2}{dz} = 2 \frac{k}{\epsilon_0\epsilon_r A_E} (g^2 - 4gz + 3z^2) = 0 \quad (2.7)$$

$$z^2 - \frac{4}{3}gz + \frac{1}{3}g^2 = 0. \quad (2.8)$$

Die Lösung der quadratischen Gleichung 2.8 ergibt für die Nullstellen z_1 und z_2 :

$$z_1 = \frac{1}{3}g; z_2 = g. \quad (2.9)$$

Ein stabiler Zustand ist gegeben, wenn die Kräfte der Feder größer als die Anziehungskräfte der geladenen Platten sind. Diese Bedingung ist erfüllt bei folgendem Plattenabstand z

$$0 < z < \frac{1}{3}g. \quad (2.10)$$

Kleinere Abstände bewirken Anziehungskräfte, die größer als die Rückstellkräfte der Federn sind und die bewegliche Platte auf die feste Platte ziehen (Pull-in-Effekt). Die erforderliche Spannung wird als Pull-in-Spannung U_{Pi} bezeichnet. Mit dem Einsetzen der maximalen Auslenkung aus Gleichung 2.9 in Gleichung 2.6 kann U_{Pi} direkt angegeben werden:

$$U_{Pi} = \sqrt{\frac{8kg^3}{27\epsilon_0\epsilon_r A_E}}. \quad (2.11)$$

Wird in das System aus Abbildung 2.5 eine zusätzliche dielektrische Schicht mit der relativen Dielektrizitätskonstante ϵ_r und der Dicke d_{dS} eingebaut, die als Passivierung und Begrenzung dient (siehe Abbildung 2.6), verändert sich die Gesamtkapazität zu:

$$C_{gesamt} = \frac{1}{\frac{1}{C_{\epsilon_r}} + \frac{1}{C_{\epsilon_0}}} = \frac{1}{\frac{d_{dS}}{\epsilon_r \epsilon_0 A_E} + \frac{g - d_{dS}}{\epsilon_0 A_E}}. \quad (2.12)$$

Dabei wird die Kapazität der Luft C_{ϵ_0} und die der dielektrischen Schicht C_{ϵ_r} in Serie zusammengefasst. Die Berechnung der Pull-in-Spannung mit der dielektrischen Schicht U_{PidS} erfolgt analog zu Abschnitt 2.2 und ergibt [41]

$$U_{PidS} = \sqrt{\frac{8k \left(g - \left(1 - \frac{1}{\epsilon_r} \right) d_{dS} \right)^3}{27\epsilon_0 A_E}}. \quad (2.13)$$

Die Pull-in-Spannung ist im Vergleich zu Gleichung 2.11) verringert. Der Pull-in-Effekt setzt bei einem zurückgelegten Weg von

$$\Delta g = \frac{1}{3} \left[g - \left(1 - \frac{1}{\epsilon_r} \right) d_{dS} \right] \quad (2.14)$$

ein, was ebenfalls eine Reduzierung der kontrolliert auslenkbaren Strecke (im Vergleich zum Zustand ohne dielektrischer Schicht) darstellt.

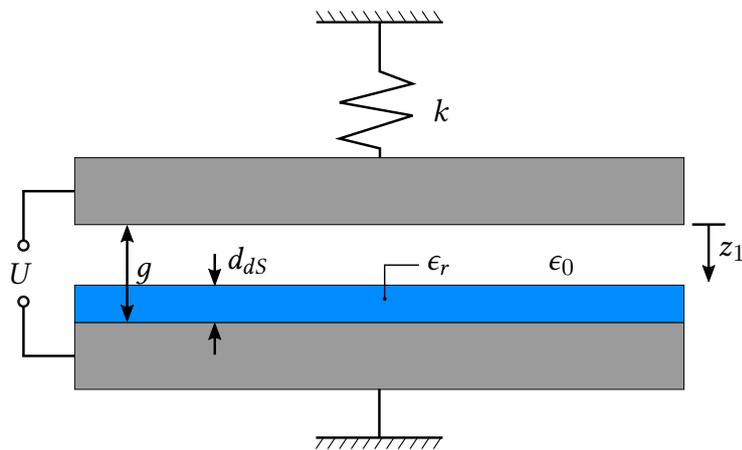


Abbildung 2.6: Schema eines Plattenkondensators mit beweglicher Elektrode, linearer Gegenkraft k , Auslenkung z , Plattenabstand g , Schaltspannung U und dielektrischer Schicht ϵ_r mit der Dicke d_{ds} .

2.3. Festkörperadhäsion in der Mikromechanik

Die Festkörperadhäsion in der Mikromechanik kann in zwei Fälle aufgeteilt und in einem davon sogar vorteilhaft genutzt werden, nämlich zur Verbindung zweier kristalliner Substrate. Bei diesem sogenannten Wafer-Direktbonden werden zwei hinreichend glatte und saubere Halbleiter-Wafer durch Wechselwirkungen der Oberflächen miteinander verbunden [42].

Der andere und im Zusammenhang mit dieser Arbeit relevantere Fall der Festkörperadhäsion ist ihr unerwünschter Einfluss auf die Funktion von Bauelementen in der Mikromechanik. Eine Adhäsion von beweglichen Strukturen im Einsatz und Betrieb (engl.: in-use adhesion oder sticking), beispielsweise bei einem Beschleunigungssensor, führt zum Versagen des Bauelements. Integrierte bewegliche Strukturen werden durch äußere Kräfte aus ihrer Ruhelage ausgelenkt. Ist die Beschleunigungskraft ausreichend groß, kann es zu Berührungen der beweglichen Elemente kommen. Die bei Berührung zustande kommende Wechselwirkung von Oberflächen kann dazu führen, dass die beweglichen Strukturen nicht wieder in ihre Ausgangslage zurückkehren. Bei solchen Bauelementen muss an Berührungsstellen die Wechselwirkung so reduziert werden, dass das Systemverhalten nicht beeinträchtigt wird [2, 43].

Adhäsion kann bereits bei der Herstellung eine kritische Rolle spielen. Die Kapillarkräfte von trocknenden Flüssigkeiten können bewegliche Strukturen auslenken und dadurch gegenüberliegende Flächen miteinander in Kontakt bringen [44, 45]. Die Wechselwirkungskräfte der prozessbedingten Adhäsion (engl.: in-process sticking) können unterschiedliche physikalische Ursachen haben [46, 47, 48]:

- **Kapillarkräfte** wirken zwischen Oberflächen mit hydrophilen Eigenschaften und Flüssigkeiten in Kapillaren durch Krümmung der Flüssigkeitsoberfläche und des entstehenden Druckunterschieds nach LAPLACE.
- **Van-der-Waals-Kräfte** dominieren aufgrund atomarer Dipolmomente bei Abständen kleiner 20 nm.
- **Wasserstoffbrückenbindungen** sind anziehende Wechselwirkungen eines kovalent gebundenen Wasserstoffatoms mit einem freien Elektronenpaar.
- **Elektrostatische Kräfte** sind durch eine Differenz im Kontaktpotential zwischen zwei Oberflächen oder zwischen geladenen Oberflächen aufgrund von COULOMB-Kräften wirksam.

2.4. Relevante Herstellungstechnologien in der Mikrosystemtechnik

Mitte der 90er Jahre wurden zwei disruptive Technologien entwickelt, die einen Durchbruch in der Mikrosystemtechnik brachten. Zum einen das reaktive Ionentiefenätzen (engl.: Deep Reactive Ion Etching, DRIE), welches mithilfe eines induktiv gekoppelten Plasmas tiefe Gräben mit hohem Aspektverhältnis² in Silizium ätzen kann. Zum anderen ermöglichte die Entwicklung von Wafern mit Silizium auf einem Isolator (engl.: Silicon-on-Insulator, SOI) qualitativ hochwertige, relativ dicke monokristalline Siliziumschichten für mikromechanische Strukturen. Diese Technologien vereinen die Vorteile der Mikrobearbeitung von Volumen und Oberflächen.

² Aspektverhältnis von 50:1 (Tiefe:Breite).

Durch diese innovativen Prozesse wurden die MEMS-Technologien zu einer echten generischen Technologie- und Produktionsplattform [2].

Silicon-on-Insulator

Der SOI-Wafer ist ein spezielles Substratmaterial für die Fertigung von mikroelektronischen und mikrosystemtechnischen Bauelementen. Der Wafer besteht, wie in der schematischen Darstellung in Abbildung 2.7 gezeigt, aus einem Handle-Layer, der mehrere 100 μm dick sein kann, einem vergrabenen Oxid (engl.: buried oxide, Box) als isolierende Schicht und einem funktionalen Device-Layer. Letztere Schicht besteht aus einkristallinem Silizium, welches in definierter Dicke vorliegt [49].

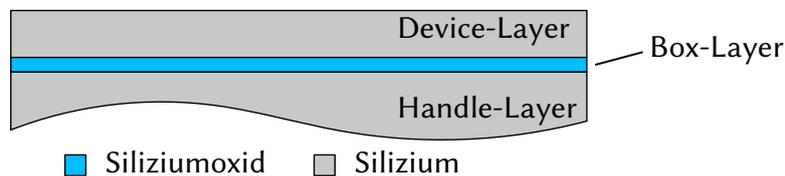
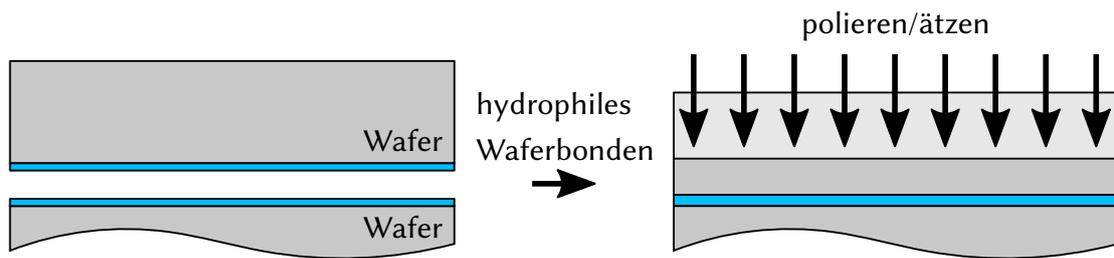


Abbildung 2.7: Schematische Darstellung eines Silicon-on-Insulator (SOI) Wafers.

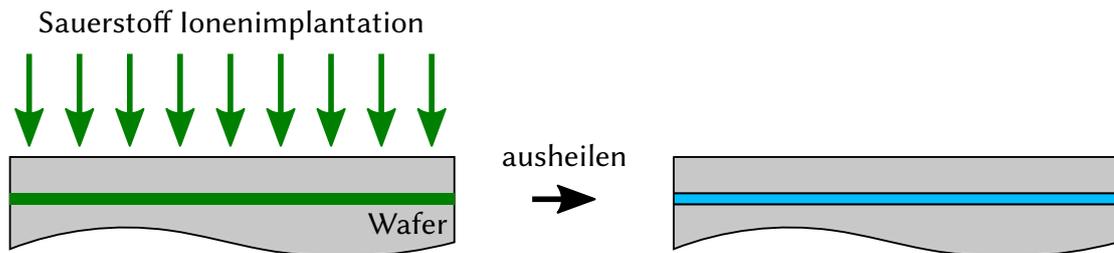
Für die Herstellung von SOI-Wafer gibt es unterschiedliche Verfahren. Zwei davon sind in der Abbildung 2.8 dargestellt. Oxidierte Waferpaare werden bei der BESOI-Technologie (engl.: Bonded Etched-Back Silicon On Insulator) (Abbildung 2.8a) durch einen hydrophilen Waferbond gefügt und anschließend durch Ätz- und Polierschritte auf die gewünschte Dicke abgedünnt. Die vergrabene Siliziumdioxidschicht kann einige Mikrometer aufweisen [49].

Bei der in Abbildung 2.8b) dargestellten SIMOX-Technologie (engl.: Separation by Implanted Oxygen) wird durch die Implantation von Sauerstoff und der nachfolgenden Ausheilung, bei Temperaturen über 500 $^{\circ}\text{C}$, eine vergrabene Siliziumdioxidschicht erzeugt. Diese Schichten weisen üblicherweise eine Dicke von 400 nm auf [49].

a)



b)



■ Siliziumdioxid □ Silizium ■ Sauerstoff

Abbildung 2.8: Herstellungstechnologien zur Herstellung von SOI-Wafern: a) Bonden von oxidierten Waferpaaren und anschließendes Abdünnen - BESOI, Implantation von Sauerstoff und nachfolgende Temperung - SIMOX.

Lithografie

Die Fotolithografie ist ein Verfahren für die Strukturierung und dadurch lokale Veränderung von Oberflächen auf Substraten [50]. In Abbildung 2.9 ist ein grundlegender Lithografie-Prozess dargestellt [51, 52]. Eine Schicht (hier Gold-Metallisierung), die später strukturiert werden soll, ist auf dem Wafer aufgebracht (Abbildung 2.9a). Ein Belackungsprozess bringt eine fotoempfindliche Schicht auf dem Wafer auf. Im dargestellten Prozess (Abbildung 2.9b) wird ein Positivresist verwendet, bei dem nicht belichtete Stellen später abgebildet werden. Die Verwendung eines Negativresistes würde inverse Strukturen erzeugen. Die Aufbringung auf den Wafer geschieht im Regelfall durch Schleudern, was eine sehr homogene Schichtdicke erzeugt. Sprühbelackung bzw. Tauchbelackung ist ebenfalls möglich, wird aber nur in Spezialfällen angewendet. Flüssiglacke müssen nach dem Aufbringen mechanisch und chemisch stabilisiert werden, was durch das Verdunsten des enthaltenen Lösemittels (z. B. Propylenglycolmonomethyletheracetat (PGMEA)) mittels eines Ausbackschrittes bei erhöhter Temperatur geschieht.

Auf der meist aus Quarzglas bestehenden Fotomaske ist das gewollte Layout durch

eine strukturierte Chromschicht abgebildet. Justiermarken auf der Maske sowie auf dem Wafer (aus vorangegangenen Bearbeitungsschritten) ermöglichen eine genaue Justage zu vorhergegangenen Maskenebenen.

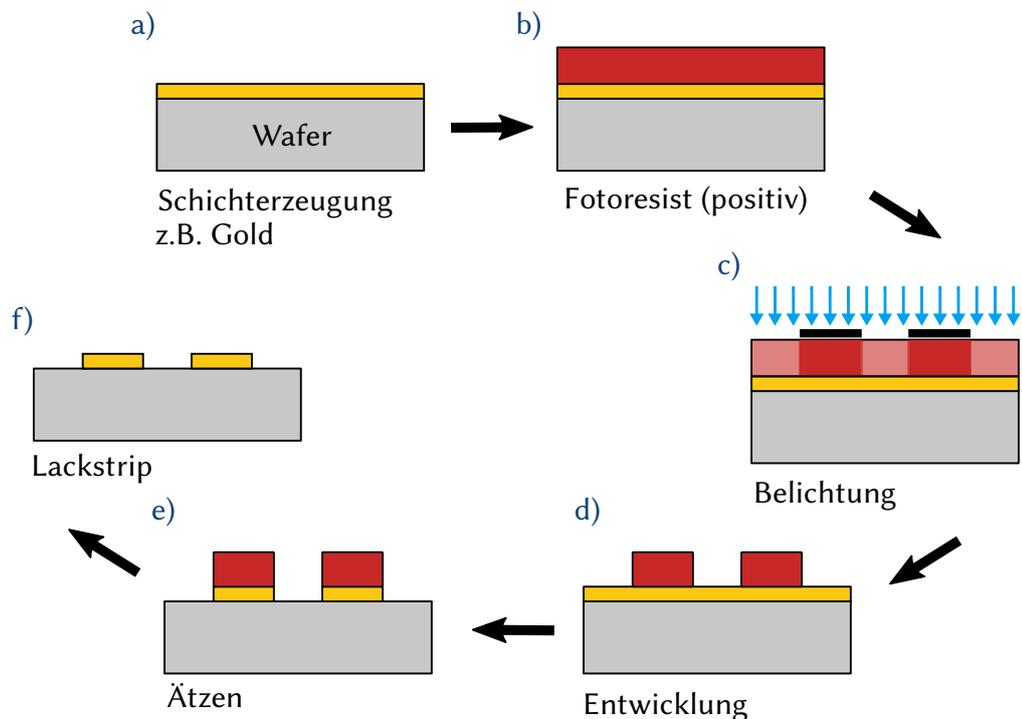


Abbildung 2.9: Strukturierungsverfahren von Schichten mittels Fotolithografie: a) Schichterzeugung auf dem Wafer, b) Aufschleudern von Fotolack mit der gewünschten Schichtdicke, c) Übertragung der Fotomaske durch Belichtung, d) Herauswaschen der löslichen Teile beim Entwickeln, e) Übertragen der Lackstrukturen beim Ätzen, f) Entfernung der Lackschicht.

Bei der Belichtung mit dem Mask-Aligner fällt paralleles Licht durch die transparenten Bereiche der Fotomaske auf die Lackschicht (Abbildung 2.9c). Dabei entsteht eine kongruente Abbildung der Strukturen in der Lackschicht. Die Belichtungsdauer muss an den Lack sowie dessen Schichtdicke angepasst werden. Nach der Belichtung liegt die spätere Lackmaske als latentes Bild im Fotolack vor. Durch die Entwicklung wird dieses Bild in eine Lackstruktur umgewandelt, da nicht gewollte Stellen aufgelöst werden (Abbildung 2.9d). Ein Ätzprozess entfernt die offenen Stellen der Schicht (Abbildung 2.9e). Bei einem letzten Prozessschritt wird der Lack wieder entfernt (Abbildung 2.9f) und der Wafer ist bereit für die nächste Lithografieabfolge.

Reaktives Ionentiefenätzen

Die entwickelte Technik des reaktiven Ionentiefenätzens von LÄRMER und SCHILP brachte einen Durchbruch in der Mikrosystemtechnik [53]. Bei diesem Verfahren wird ein hoch-dichtes induktiv gekoppeltes Plasma (engl.: Inductively Coupled Plasma, ICP) als Quelle verwendet (siehe Abbildung 2.10). In der ICP-Plasmaquelle werden die Elektronen durch ein Hochfrequenz-Magnetfeld in Bewegung gesetzt, wodurch ein dichteres Plasma als bei kapazitiv gekoppelten Quellen entsteht [54].

Der Prozess des reaktiven Ionenätzens findet in zwei Schritten statt und beruht auf dem Ätzen von Silizium mit Schwefelhexafluorid (SF_6) und der Passivierung der Seitenwände mit einer teflonartigen Polymerschicht, die z. B. durch ein Octafluorocyclobutan-Plasma (C_4F_8) entsteht. Die beiden Schritte werden abwechselnd durchgeführt. Beim Ätzschritt wird SF_6 in einem Trägergas (meist Argon) in den Plasmareaktor eingeleitet. Positive Argon-Ionen, welche im Plasma entstehen, werden durch die negative Vorspannung auf das Substrat beschleunigt. Diese Ionen treffen nahezu senkrecht auf das Substrat auf, was ein anisotropes Ätzen der Polymerschicht am Boden ermöglicht. Die Passivierung der Seitenwände bleibt somit für einen längeren Zeitraum vorhanden. Aus dem SF_6 entstehen im Plasma angeregte Fluoratome, die das Silizium mit hoher Ätzrate ($>5 \mu\text{m min}^{-1}$) abtragen. Die Dauer des Ätzschrittes beträgt nur einige Sekunden. Anschließend wird durch das C_4F_8 -Plasma erneut eine Passivierungsschicht auf alle Oberflächen des Substrats abgeschieden. Mit dem reaktiven Ionentiefätzen können Siliziumstrukturen mit einem Aspektverhältnis von größer 50:1 geätzt werden [54, 55].

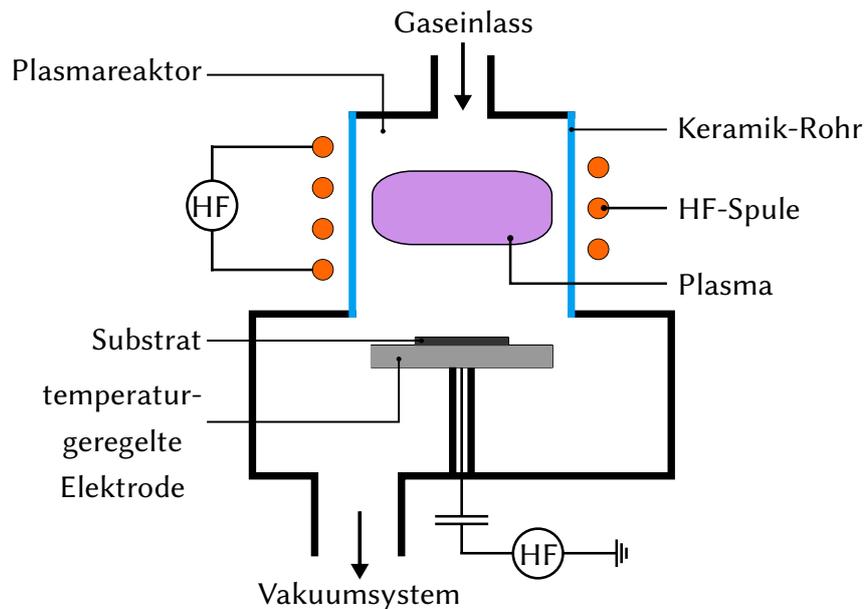


Abbildung 2.10: Schematischer Aufbau einer DRIE-Ätzanlagen nach [55].

Doppelfrequenz-PECVD - Si_xN_y

Um eine Siliziumnitrid-Schicht (Si_xN_y) aufzubringen, gibt es verschiedene Möglichkeiten. Eine davon ist die Abscheidung mittels plasmaunterstützter chemischer Gasphasenabscheidung (engl.: Plasma-Enhanced Chemical Vapor Deposition, PECVD) und einer Triodenkonfiguration³ des Plasmareaktors, welches auch als Doppelfrequenz-PECVD bekannt ist [58, 59]. Ausgangsgase für die Abscheidung im PECVD-Reaktor sind Silan (SiH_4) und Ammoniak (NH_3):



Durch das Plasma werden die Ausgangsmaterialien gespalten und es entstehen reaktive Radikale, was eine Abscheidung der Siliziumnitrid-Schicht bei Temperaturen unter 400°C ermöglicht. Je nach Anregungsfrequenz und Polarisierung treffen die Radikale mit unterschiedlicher Energie auf die Oberfläche auf, was die gezielte Einstellung einer Schichtspannung zwischen Zug- und Druckspannung ermöglicht [60,

³ Eine Triode besteht aus drei Bauteilen: Kathode, Anode und einem dazwischen liegenden Gitter. Ein Potentialgefälle besteht zwischen Kathode und Anode. Durch das Anlegen einer Spannung am Gitter kann der Fluss zwischen den Elektroden verändert werden. Die Triodenkonfiguration ermöglicht die Verarbeitung empfindlicher Bauelemente ohne Beschädigung und ohne Mikrobelastrung [56, 57].

61, 62].

Eutektisches Waferbonden

In vielen binären Materialsystemen gibt es einen eutektischen Punkt, welcher der niedrigsten Schmelztemperatur einer Legierungszusammensetzung entspricht. Wird die Temperatur über diesem Punkt gehalten, können zwei Kontaktflächen, welche beide Elemente enthalten, eine Flüssigphasenlegierung mit der eutektischen Zusammensetzung bilden. Die Verfestigung führt zu einer eutektischen Bindung bei einer Temperatur, welche deutlich unter den Schmelztemperaturen der einzelnen Elemente liegt [63]. Im Falle des Gold-Silizium-Systems beträgt die eutektische Temperatur 363°C. Die Gleichgewichtsphasen werden in Abbildung 2.11 als Phasendiagramm beschrieben.

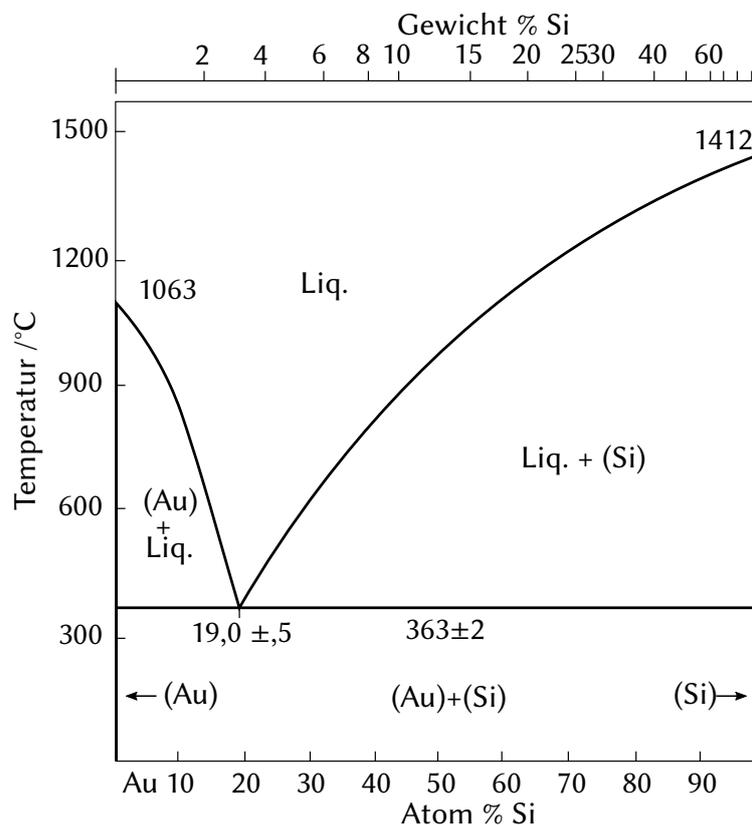


Abbildung 2.11: Au-Si Phasendiagramm nach [64].

Es handelt sich hierbei um einen zweidimensionalen Schnitt durch ein eigentlich dreidimensionales Diagramm, da die Abhängigkeit vom Druck nicht dargestellt ist. Das System Au-Si besitzt drei stabile Gleichgewichtsphasen, welche in feste Goldphase

(Au), eine Gold-Silizium-Schmelze (Liq.) sowie die feste Siliziumphase (Si) aufgeteilt werden können [65].

Beim eutektischen Bonden [66, 67] wird die Erniedrigung der Schmelztemperatur am eutektischen Punkt in der Gold-Silizium-Schmelze für den Verbindungsprozess ausgenutzt. Dabei stellen die beiden Wafer jeweils eine der beiden Komponenten, welche für die Bildung eines eutektischen Lotes benötigt werden, zur Verfügung. Eine Vorbehandlung der Waferpaare, insbesondere das Entfernen des nativen Oxids⁴ auf dem Siliziumwafer, ist für einen guten Bond elementar. Beide Wafer werden anschließend zueinander justiert und in einem Waferbonder unter Druck und gewünschter Atmosphäre über die eutektische Temperatur erwärmt. Durch Diffusion der Komponenten ineinander kommt es an den Kontaktflächen der beiden Wafer zu einer eutektischen Konzentration und somit zur Ausbildung eines flüssigen Lotes. Durch Herunterkühlen der Waferpaare kommt es zu einer formschlüssigen Verbindung, da das Lot in die beiden Einzelkomponenten kristallisiert.

2.5. Messmethoden zur Charakterisierung der Proben

Für die Herstellung, Prozessüberwachung und Charakterisierung der MEMS-Schalter kommen verschiedene Messsysteme zum Einsatz. Nachfolgend werden die für diese Arbeit wichtigen Messmethoden sowie Messstrukturen vorgestellt und erläutert.

Schichtstress - Waferbow

Dünne Filme können bei genügend großer Adhäsion die Form des Substrats durch vorhandene Schichtspannungen ändern (siehe Abbildung 2.12). Wird der Krümmungsradius des Substrats vor und nach der Beschichtung bestimmt, kann anhand der Krümmungsänderung der Spannungszustand eines Films berechnet werden [69, 70].

⁴ Silizium besitzt eine hohe Affinität zu Sauerstoff, was eine blanke Siliziumoberfläche in oxidierender Umgebung oxidieren lässt. In einer Reinraum-Atmosphäre mit einer H₂O-Molekül-Konzentration von 1,2% beträgt die Wachstumsrate 6,7 Å in 7 Tagen [68].

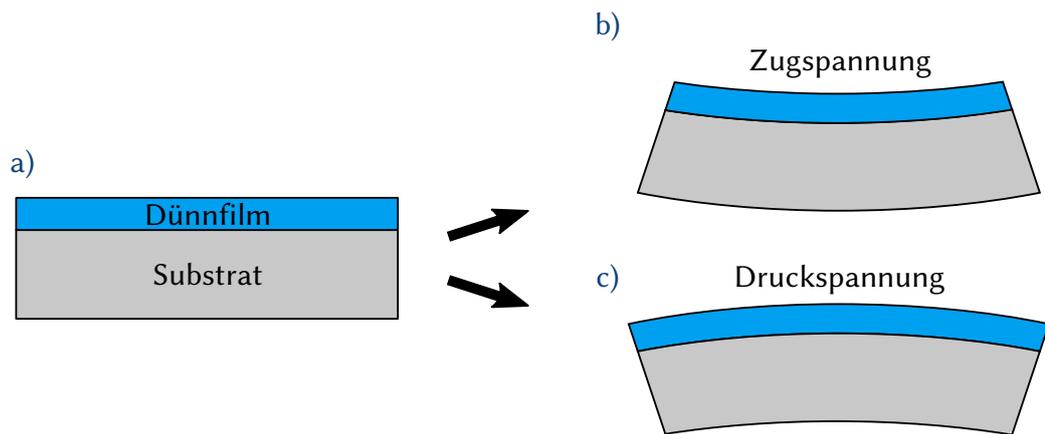


Abbildung 2.12: Substratkrümmung durch Dünnschichtfilm: a) ohne Krümmung, b) Dünnschichtfilm mit Zugspannung, c) Dünnschichtfilm mit Druckspannung.

Wenn die Schichtdicke d_f des Films klein gegenüber der Substratdicke d_s ist, errechnet sich die Spannung des Dünnschichtfilms σ nach STONEY [71]:

$$\sigma = \frac{E_s}{6(1 - \nu_s)} \frac{d_s^2}{d_f} \left(\frac{1}{R_1} - \frac{1}{R_0} \right), \quad (2.16)$$

mit dem Elastizitätsmodul E_s und der Querkontraktionszahl ν_s des Substrats sowie dem Krümmungsradius R_0 vor und R_1 nach der Beschichtung.

Spezifischer elektrischer Widerstand

Der spezifische elektrische Widerstand ρ ist eine temperaturabhängige Materialkonstante, die bei Kenntnis der homogenen geometrischen Abmessungen (Länge l und Querschnitt A_Q) sowie des genauen Widerstandes R der Probe nach Gleichung 2.17 berechnet werden kann [72]:

$$\rho = R \frac{A_Q}{l}. \quad (2.17)$$

Für die Bestimmung des spezifischen Widerstandes einer Schicht eignet sich eine Vier-Punkt-Methode, bei der Innen- und Übergangswiderstände der Messleitungen

keine Rolle spielen [73]. Bei einer Messung, wie in Abbildung 2.13a) dargestellt, prägen zwei Spitzen einen konstanten Strom auf die Messprobe ein und der Spannungsabfall wird zwischen den zwei anderen Spitzen gemessen. Ist der Messspitzenabstand klein gegenüber dem Durchmesser der Probenfläche, kann der spezifische Widerstand nach VAN-DER-PAUW mittels Gleichung 2.18 bestimmt werden [74, 75, 76].

$$\exp\left(-\frac{\pi d}{\rho}R_{BC,DA}\right) + \exp\left(-\frac{\pi d}{\rho}R_{CD,AB}\right) = 1, \quad \text{mit} \quad R_{BC,DA} = \frac{U_{DA}}{I_{BC}}, R_{CD,AB} = \frac{U_{AB}}{I_{CD}} \quad (2.18)$$

Der Widerstand $R_{BC,DA}$ wird mithilfe des OHMSCHEN GESETZES aus dem eingebrachten Strom I_{BC} (zwischen den Punkten B und C) sowie der gemessenen Spannung U_{DA} (zwischen den Punkten D und A) ermittelt. An den Punkten C und D werden beim Widerstand $R_{CD,AB}$ der Strom I_{CD} eingebracht und an den Punkten A und B die Spannung U_{AB} gemessen. In Abbildung 2.13b) ist eine lineare Anordnung der Messspitzen dargestellt. Bei gleichem Abstand der Spitzen gilt:

$$R_{BC,DA} = R_{CD,AB} = R. \quad (2.19)$$

Damit vereinfacht sich die Gleichung 2.18 zu:

$$\rho = \frac{\pi d_m}{\ln 2} R \quad (2.20)$$

und der spezifische Widerstand ρ lässt sich durch die Kenntnis des genauen Widerstandes R sowie der Schichtdicke der Messprobe d_m ermitteln.

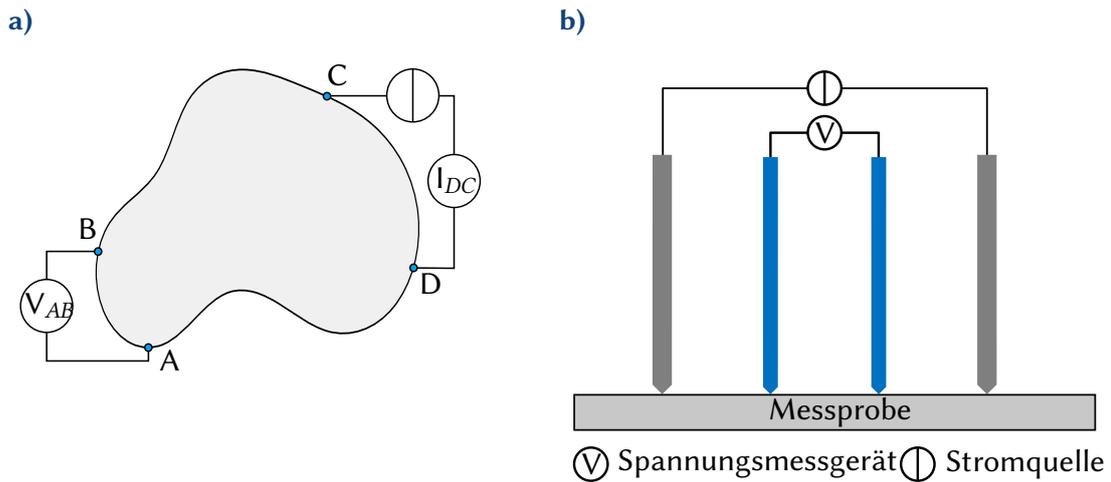


Abbildung 2.13: Messung mit der 4-Punkt-Methode: a) Schematischer Aufbau nach VAN-DEP-PAUW, b) Schematischer, linearer Aufbau mit gleichem Spitzenabstand.

Cross-Bridge Kelvin Resistor - CBKR

Kontrollen im Fertigungsprozess von Mikrosystemen sichern die Reproduzierbarkeit der hergestellten Produkte. Eine Vielzahl von planaren Teststrukturen wurde entworfen und im Maskensatz integriert, sodass bestimmte Parameter gezielt ermittelt werden können. Zu diesen gehört die Bestimmung des Übergangswiderstandes von Metall und Silizium, welcher mit dem „Cross Bridge Kelvin Resistor (CBKR)“ ermittelt werden kann [77, 78].

CBKR Strukturen ermöglichen eine verbesserte Messung des Widerstandes der Grenzflächenschicht, indem die Auswirkungen parasitärer Widerstände auf die Messung reduziert werden. Abbildung 2.14 zeigt eine solche Struktur, welche in dieser Arbeit verwendet wurde. Zwischen den Pads 1 und 3 wird ein bekannter Strom eingebracht und der Spannungsabfall zwischen den Pads 2 und 4 gemessen. Der Kontaktwiderstand R_K kann mit dem Spannungsabfall U_{42} und dem eingebrachten Strom I_{31} wie folgt berechnet werden [79, 80]:

$$R_K = \frac{U_{42}}{I_{31}}, \quad \text{mit } U_{42} = U_4 - U_2. \quad (2.21)$$

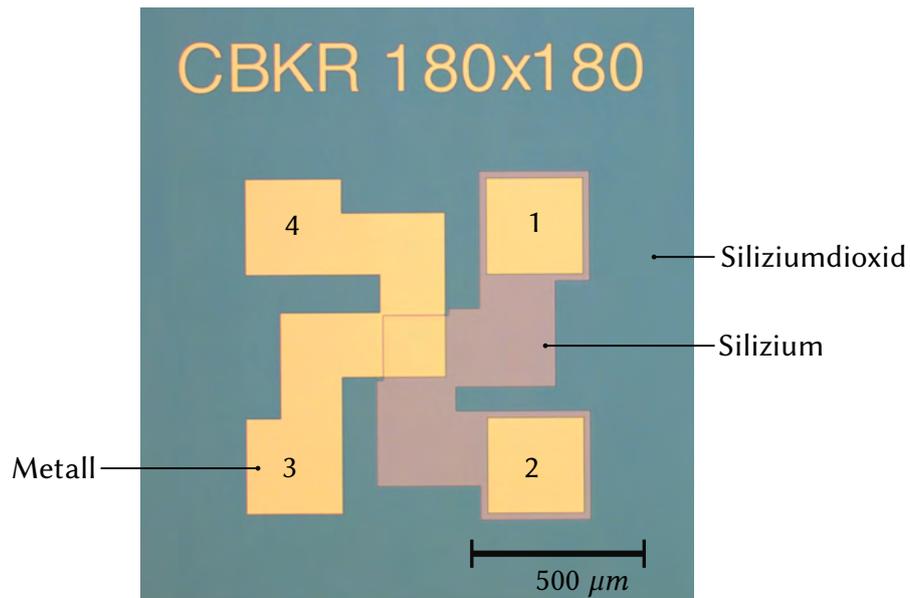


Abbildung 2.14: Verwendete CBKR Struktur zur Bestimmung des Übergangswiderstandes bei einem Metall-Silizium-Kontakt. Die Strukturen werden bei der Messung über Nadeln an den Pads 1 bis 4 kontaktiert. Der Überlappungsbereich beträgt $180\ \mu\text{m} \times 180\ \mu\text{m}$.

3. Modellbildung und Design

Dieses Kapitel ist der Designfindung, mathematischen Beschreibung, Simulation und dem verwendeten Layout der Biegebalken gewidmet. Vor der mathematischen Beschreibung eines Biegebalkens wird der Einfluss einer Designänderung auf den Schaltvorgang betrachtet. Der letzte Teil geht näher auf das verwendete Layout ein.

3.1. Designfindung

Rechteckige Biegebalken sind aus der Literatur gut bekannt [81, 82, 83, 84]. Soll jedoch ein Schalter eine geringere Pull-in-Spannung bei gleicher Fläche aufweisen, wird eine Designänderung nötig. Nach Abschnitt 2.2 des vorigen Kapitels gibt es folgende Möglichkeiten, die Pull-in-Spannung zu reduzieren:

- Verkleinerung des Elektrodenabstands
- Reduzierung der Balkensteifigkeit
- Einbringen einer dielektrischen Schicht
- Vergrößerung der Elektrodenfläche¹

Eine Vergrößerung des Biegebalkens ist nicht angestrebt, weil dies zu einer Verteuerung des Einzelchips führen würde. Die Gesamtkosten eines Wafers werden auf die funktionierenden Einzelchips aufgeteilt. Je mehr auf einen Wafer Platz finden, desto geringer ist der Einzelchippreis. Eine Verkleinerung des Elektrodenabstands hat Nachteile aufgrund der reduzierten Spannungsfestigkeit, da diese mit dem Luftspalt zwischen Kontaktpad und Lastelektrode korreliert. Die Dicke einer dielektrischen Schicht ist begrenzt durch den benötigten Bereich der Biegebalkenverformung. Aus diesen Gründen steht die Reduzierung der Balkensteifigkeit im Vordergrund.

¹ Vergrößerung der Fläche durch Verlängerung des Biegebalken, da eine Verbreiterung der Erhöhung der Biegesteifigkeit gegenüber steht.

Wie in Abbildung 3.1a) dargestellt, kann durch eine Einschnürung am proximalen Ende die Steifigkeit des Biegebalkens reduziert werden [85, 86]. Gleichzeitig wird die Elektrodenfläche (siehe Abbildung 3.1b) durch diese Einschnürung nicht verkleinert, was zu einer geringeren Pull-in-Spannung führt.

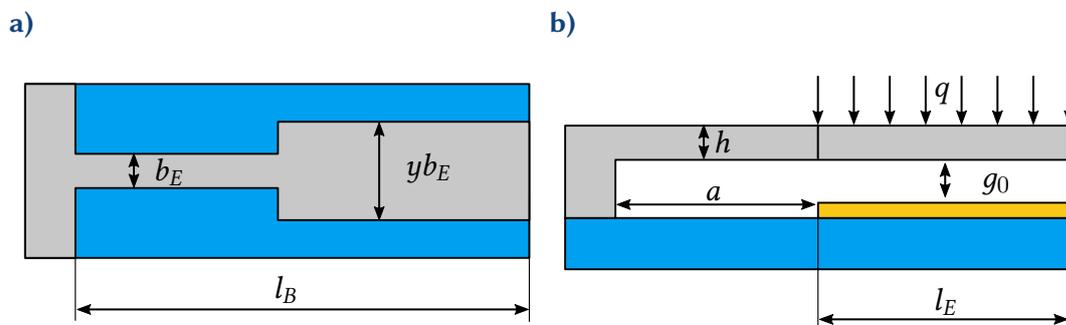


Abbildung 3.1: Biegebalken mit Einschnürung zur Reduktion der Steifigkeit des Biegebalkens nach [85]; a) Ansicht von Oben, b) Seitenansicht.

Die Breite der Einschnürung b_E mit dem Verhältnis y zur Balkenbreite $y b_E$, die Länge l_B und die Einschnürung a sowie die Balkendicke h beschreiben hier die Geometrie des Biegebalkens. Der Abstand zwischen Biegebalken und Steuerelektrode (Gap) ist mit g_0 definiert. Die Abbildung 3.2 zeigt die normierte Spannung U/U_0 aufgetragen gegenüber dem Verhältnis a zu l_B . Ein Minimum der normierten Schaltspannung ist bei $a/l_B = 0,4$ gegeben, was eine Reduktion um 50 % gegenüber einem nicht eingeschnürten Balken bedeutet. Die normierte Federsteifigkeit des Balkens k/k_0 nimmt bei längeren Einschnürungen a im Verhältnis zu l_B ab. Das Minimum ist bei $a/l_B = 1$ erreicht, was eine Balkenbreite von $y b_e = b_E$ bedeutet.

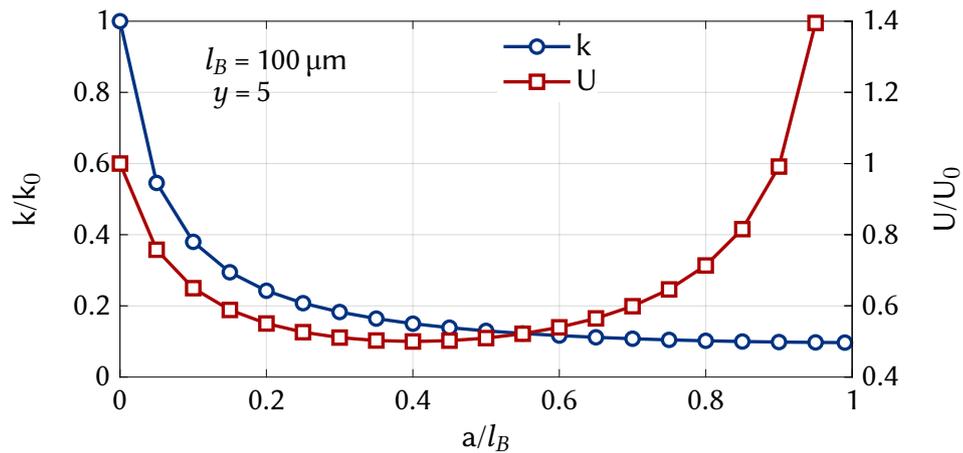


Abbildung 3.2: Normierte Spannung und Biegesteifigkeit im Vergleich zum Verhältnis von Einschnürung zu Gesamtlänge.

Eine, wie in Abbildung 3.3 gezeigte, Einschnürung am distalen Ende (B) kann durch die zusätzliche Reduzierung der Balkensteifigkeit die Kontaktfindung positiv beeinflussen. Eine Analyse dieses Verhaltens wurde mit der Finite-Elemente-Methode (FEM) durchgeführt. Dabei basiert diese Methode auf einem numerischen Verfahren zur Berechnung von Näherungslösungen. Verwendet wird die kommerzielle Software Comsol, welche für die Simulation von MEMS-Bauteilen geeignet ist.

Das Simulationsmodell in Abbildung 3.3 beinhaltet zwei Einschnürungen (A und B), die während der Studie variiert wurden. Die Einspannung erfolgt an der Fixierung, die als Festlager definiert wird. Eine Punktkraft F_P verschiebt den Balken Richtung Kontakte 1 und 2. Diese sind mit einer Höhendifferenz von $0,1\ \mu\text{m}$ zueinander versehen, um unterschiedliche Kontaktverhältnisse zu erzeugen. Die Gesamtlänge des Balkens beträgt $200\ \mu\text{m}$. Die Länge der Einschnürung A hat 40% der Gesamtlänge und B die Länge von $10\ \mu\text{m}$.

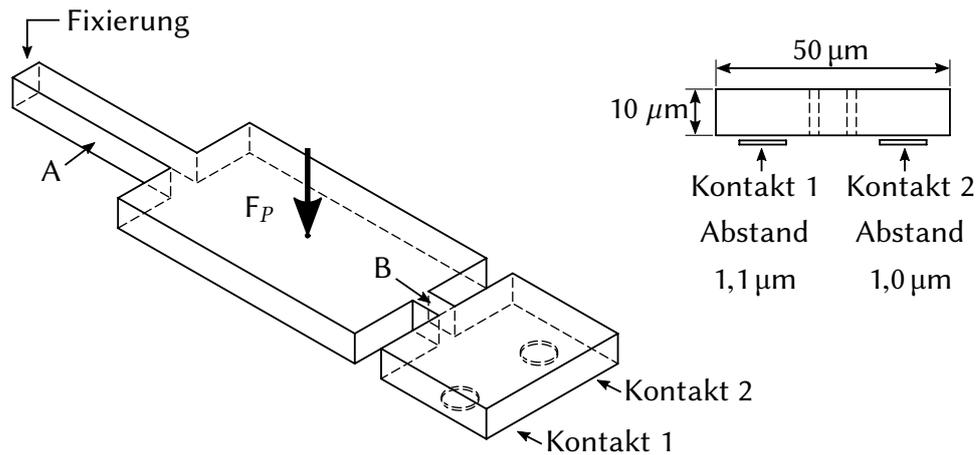


Abbildung 3.3: Simulationsmodell für die Analyse einer proximalen (A) sowie distalen (B) Einschnürung am Biegebalken (Gesamtlänge $200\ \mu\text{m}$).

Vier Simulationsmodelle wurden erstellt und deren Ergebnisse sind in Abbildung 3.4 gegenübergestellt. Die Einschnürungen werden mit der verbleibenden Breite des Balkens aufgeführt. In der horizontalen Ebene variiert die proximale Einschnürung zwischen $10\ \mu\text{m}$ und $50\ \mu\text{m}$. Vertikal wird die distale Einschnürung verändert. Aufgetragen ist der erzeugte Kontaktdruck p_1 und p_2 an den Kontakten 1 und 2 gegenüber der ausgeübten Kraft F_p . Ebenso ist das Verhältnis von p_1/p_2 aufgeführt. Unter den vier Parametersätzen zeigt $A = 10\ \mu\text{m}$ und $B = 10\ \mu\text{m}$ das beste Ergebnis. Im Vergleich zu $A = 10\ \mu\text{m}$ und $B = 50\ \mu\text{m}$ kann durch die Einschnürung im Bereich B eine 5% geringere Maximalkraft und somit ein besseres Verhältnis erreicht werden.

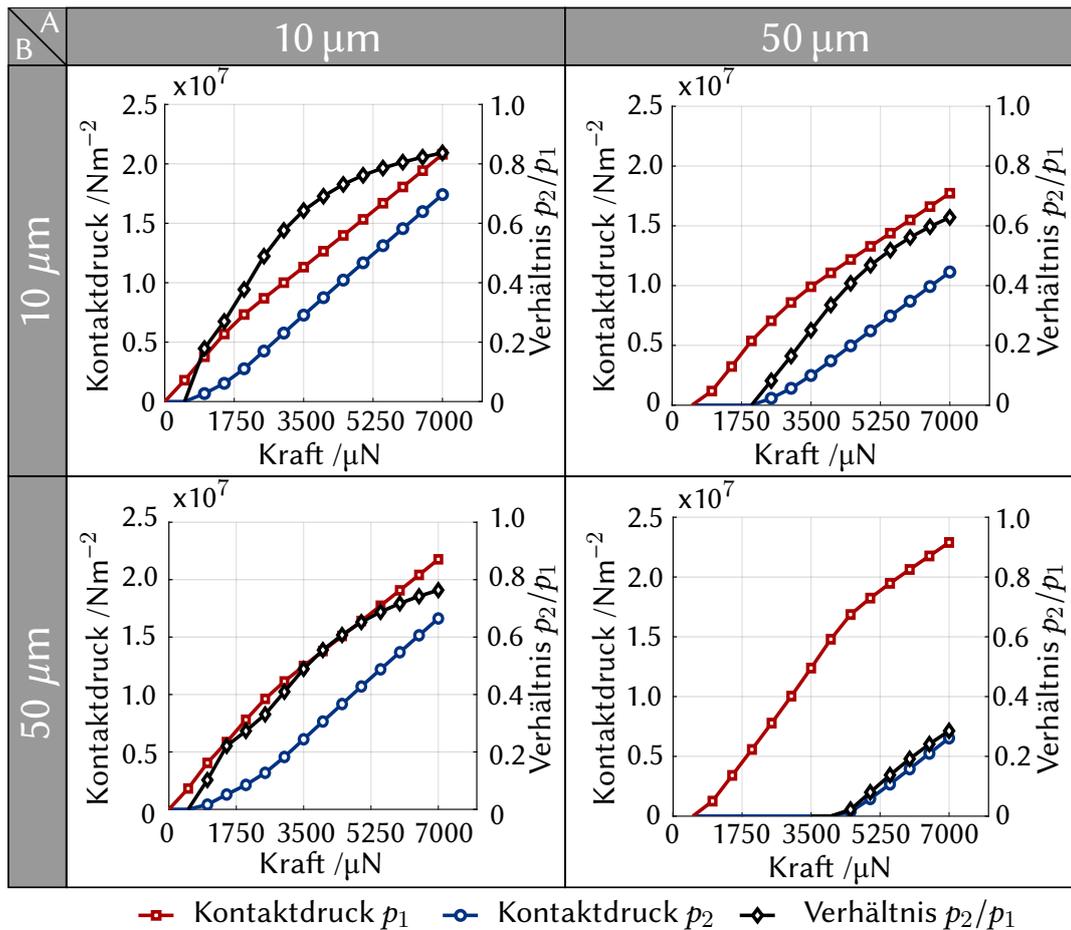


Abbildung 3.4: Gegenüberstellung der Simulationsmodelle mit unterschiedlichen Parametern der Einschnürung und dem daraus resultierenden Kontakttdruck. Die Werte für A und B stellen die Breite des Balkens an der Position der Einschnürung dar.

Zusammenfassen lässt sich, dass eine Reduzierung der Balkensteifigkeit am proximalen Ende eine geringere Pull-in-Spannung bei gleicher Balkengröße bewirkt. Die Kontaktfindung bei ungleichen Kontakten wird ebenfalls durch eine proximale Einschnürung verbessert, da die Torsionssteifigkeit durch die Einschnürung abnimmt. Eine weitere Einschnürung am distalen Ende führt zusätzlich zu einer besseren Verteilung der Kontakttdrücke auf die beiden Kontakte. Auch hier ist die Reduzierung der Torsionssteifigkeit ausschlaggebend.

3.2. Mathematische Beschreibung und Simulation

Die Durchbiegung w des Balkens ist eine wichtige Kenngröße des MEMS-Schalters. Sie lässt sich ausgehend von der Differentialgleichung der Biegelinie unter Wirkung einer Streckenlast $q(x)$ herleiten [87, 88]. Die EULER-BERNOULLI-GLEICHUNG

$$[EIw''(x)]'' = q(x) \quad (3.1)$$

beschreibt die allgemeine Beziehung zwischen der Durchbiegung des Balkens und der aufgetragenen Last. Diese Annahme gilt für Balken mit einer reinen Biegung zur Querachse und einer Querschnittsabmessung, die sehr viel kleiner als die Länge des Balkens ist. Zudem soll die Biegeverformung klein im Vergleich zur Balkenlänge sein. Die Biegesteifigkeit EI des Balkens hängt von dem Elastizitätsmodul E und dem Flächenträgheitsmoment I ab. Ist die Biegesteifigkeit über den Balken abschnittsweise konstant und die einzelnen Biegemomente bekannt sowie stetig, vereinfacht sich die Gleichung zu

$$w''(x) = \frac{-M(x)}{EI}. \quad (3.2)$$

Durch zweifache Integration und Bestimmung der Integrationskonstanten aus den Randbedingungen ergibt sich der Durchbiegeverlauf der Biegelinie $w(x)$.

Bei Steifigkeitssprüngen wird der Balken in mehrere Felder unterteilt und abschnittsweise integriert (Abschnitt I, II und III in Abbildung 3.5). Dabei folgen die Integrationskonstanten aus den Rand- und Übergangsbedingungen [85, 87, 88].

Die Abbildung 3.5 zeigt einen Biegebalken mit einer Einschnürung am proximalen Ende und angreifender elektrostatischer Last (eingezeichnet als Flächenlast q_1 und q_2). Aufgrund des Steifigkeitssprungs an der Stelle $x = a$ und dem Bereich $l_B - (a + b)$ ohne Flächenlast, bietet sich eine Teilung des Biegebalkens in drei Abschnitte an.

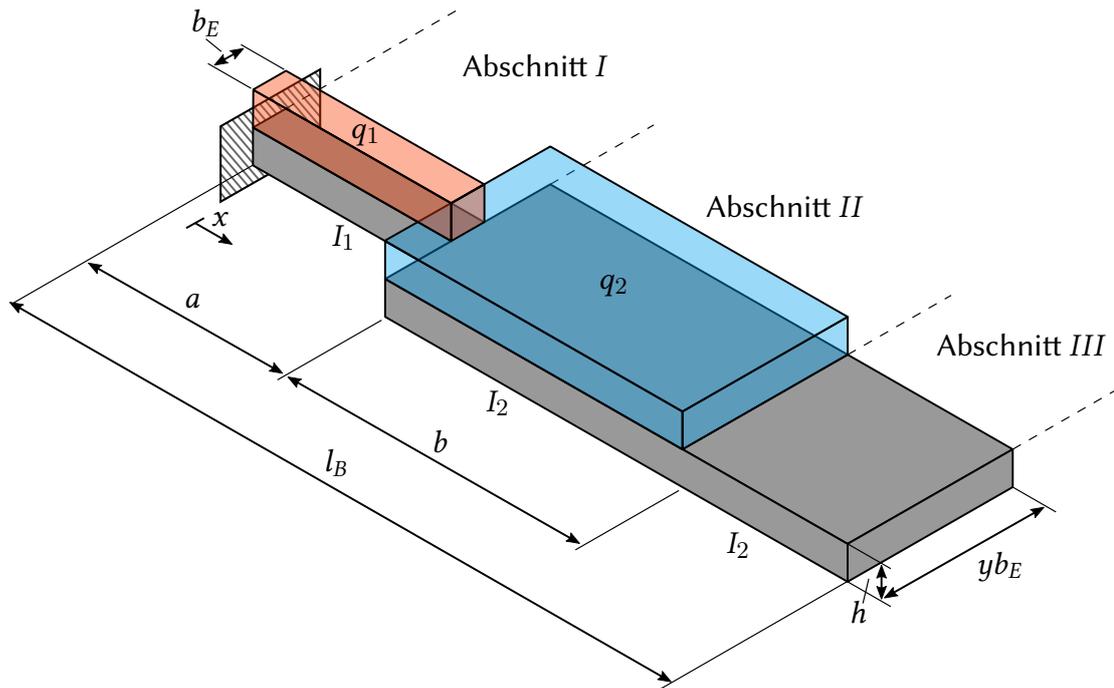


Abbildung 3.5: Modell für die analytische Berechnung des Biegebalkens mit elektrostatischer Kräfte in den Abschnitten *I* und *II*.

Ausgehend von den Biegemomenten $M_I(x)$, $M_{II}(x-a)$ und $M_{III}(x-(a+b))$ der einzelnen Abschnitte, werden durch Einsetzen in Gleichung 3.2 und zweimaliges Integrieren die Biegelinien der Abschnitte bestimmt. Mithilfe der Randbedingungen $w'_I(x=0) = 0$ und $w_I(x=0) = 0$ sowie den Übergangsbedingungen $w'_I(x=a) = w'_{II}(x=a)$, $w_I(x=a) = w_{II}(x=a)$, $w'_{II}(x=b) = w'_{III}(x=b)$ und $w_{II}(x=b) = w_{III}(x=b)$ werden die Integrationskonstanten ermittelt. Mit Berücksichtigung der Flächenträgheitsmomente

$$I_1 = \frac{b_E h^3}{12} \quad \text{und} \quad I_2 = \frac{y b_E h^3}{12} \quad (3.3)$$

sowie der elektrostatischen Kraft (aus Gleichung 2.3) kann die Biegelinie der Abschnitte wie folgt angegeben werden:

$$w(x) = \begin{cases} -\frac{\epsilon_0 U^2}{4h^3 g_0 E} x^2 (-6a^2 - 12yba - 6yb^2 + 4ax + 4xyb + x^2) & 0 \leq x \leq a \\ -\frac{\epsilon_0 U^2}{4h^3 g_0 E} (-12x^2 ba - 6x^2 b^2 + 4x^3 b - x^4 + 4ax^3 - 6x^2 a^2 \\ - 12a^2 xyb - 12axyb^2 + 12a^2 xb + 12axb^2 \\ + 4a^3 yb + 6a^2 yb^2 - 4a^3 b - 6a^2 b^2) & a \leq x \leq b \\ -\frac{\epsilon_0 U^2 b}{4h^3 g_0 E} (-4xb^2 - 12xa^2 y - 12xyba + 4b^2 a + b^3 + 4a^3 y \\ + 6a^2 yb - 4a^3). & b \leq x \leq l_B \end{cases}$$

Die maximale Auslenkung erfolgt am freien Ende ($x = l_B$) des Biegebalkens und wird wie folgt beschrieben:

$$w(l_B) = -\frac{\epsilon_0 U^2 b}{4h^3 g_0 E} (-4l_B b^2 - 12l_B a^2 y - 12l_B yba + 4b^2 a + b^3 + 4a^3 y + 6a^2 yb - 4a^3). \quad (3.4)$$

Neben der analytischen Beschreibung wurde auch hier eine FEM-Analyse durchgeführt. Abbildung 3.6a) zeigt den zuvor berechneten Biegebalken als Simulationsmodell. Die Einfärbung der Höhenlinien verdeutlicht die Durchbiegung des Balkens durch eine angreifende elektrostatische Kraft. Ein Vergleich des analytischen Modells (Gleichung 3.4) mit der FEM-Analyse ist in der Abbildung 3.6b) dargestellt. Hierbei ist die maximale Auslenkung $w(l_B)$ der Balkenspitze gegenüber der Steuerspannung U aufgetragen.

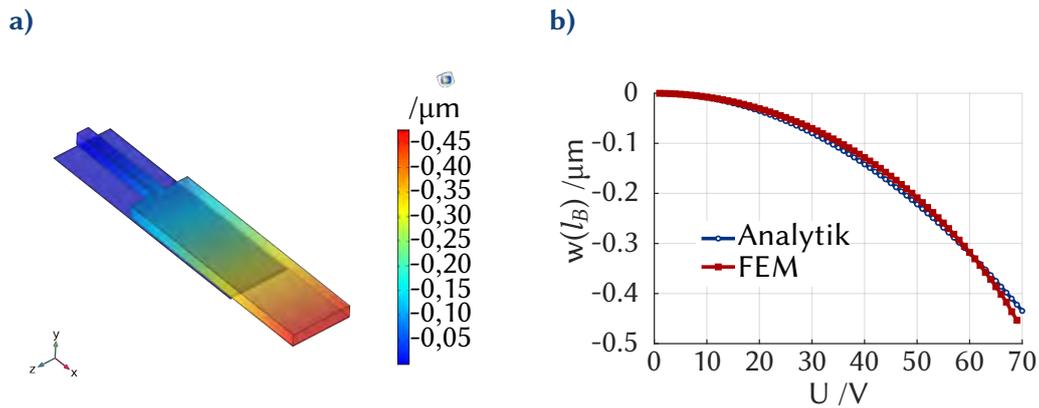


Abbildung 3.6: a) FEM-Modell der Auslenkung des Biegebalkens mit Einschnürung und einer Gesamtlänge von $250\ \mu\text{m}$ bei $70\ \text{V}$ Spannungsdifferenz, b) Vergleich der analytischen Berechnung und der numerischen Näherung der maximalen Balkenauslenkung $w(l_B)$.

Die analytische Berechnung der Auslenkung $w(l_B)$ liegt bis zur Steuerspannung von $60\ \text{V}$ leicht unter der Näherung des FEM-Modells. Die Näherung fällt nahe der Pull-in-Spannung stärker ab. Der Pull-in-Effekt tritt bei dem analytischen Modell bei einer $4,1\ \%$ höheren Spannung als bei dem FEM-Modell auf.

Randeffekte wie eine angreifende elektrostatische Kraft an den Seitenflächen des Biegebalkens wurden im analytischen Modell vernachlässigt. Ebenso führt eine Vereinfachung in der elektrostatischen Kraft (Gleichung 2.3) zu einem geringeren Anstieg der Durchbiegung bei Spannungen größer $60\ \text{V}$ bis nahe der Pull-in-Spannung. Hierbei wird die Kraft anhand der Ausgangslage $g = g_0$ berechnet und nicht iterativ mit $g = g_0 - z$ angepasst.

Zusammenfassend zeigt sich, dass die Pull-in-Spannung mit leichten Abweichungen aus dem analytischen Modell berechnet werden kann. Aus Zeit und Kostensicht ist eine analytische Betrachtung der FEM-Simulation vorzuziehen.

Parametereinfluss auf das Schaltverhalten

Die Tabelle 3.1 zeigt Veränderungen von Parametergrößen und die daraus folgenden Auswirkungen auf das Schaltverhalten. Eine Erhöhung der Steifigkeit k sowie des Elektrodenabstands g_0 führt zu höheren Pull-in-Spannungen U_{Pi} . Die Einbringung ei-

ner dielektrischen Schicht ϵ_r reduziert die Pull-in-Spannung, da die elektrische Kraft F_{el} erhöht wird. Die Veränderung der Breite b_E führt zu einer gleichlaufenden Erhöhung der Federkraft F_F sowie der elektrischen Kraft, sodass die Pull-in-Spannung nicht beeinflusst wird. Eine Verlängerung des Biegebalkens und die dadurch reduzierte Federkraft verringern die Pull-in-Spannung.

Tabelle 3.1: Einfluss verschiedener Parameter auf die Pull-in-Spannung U_{Pi} sowie die wirkenden Kräfte F_{el} und F_F .

		U_{Pi}	F_{el}	F_F
Steifigkeit	$k \uparrow$	\uparrow	-	\uparrow
Elektrodenabstand	$g_0 \uparrow$	\uparrow	\downarrow	-
relative Dielektrizität	$\epsilon_r \uparrow$	\downarrow	\uparrow	-
Breite*	$b_E \uparrow$	-	\uparrow	\uparrow
Länge**	$l_B \uparrow$	\downarrow	-	\downarrow

* Elektrodenbreite gleich Balkenbreite b_E

** Bei gleichbleibender Elektrodenfläche

3.3. Verwendete Layouts

In diesem Abschnitt werden das Design des Maskenlayouts, die entwickelten und hergestellten Teststrukturen sowie die Schalterarten thematisiert. Verschiedene Arten von Einzelschaltern werden aufgeführt und Array-Verschaltungen behandelt.

3.3.1. Waferdesign

Für die Herstellung der Versuchsmuster wurde ein 150 mm Maskendesign (siehe Abbildung 3.7) mit 486 Einzelchips erstellt. Dabei sind Chipgrößen von 5 x 4, 10 x 4 und 10 x 8 mm² in dem Maskendesign untergebracht. Auf dem Wafer sind sowohl Einzelschalter als auch Array-Verschaltungen vorhanden. Für die Kontrolle des Fertigungs-

prozesses sind 57 Testfelder (blau gekennzeichnet in Abbildung 3.7) im Design untergebracht. Diese Testfelder werden im nächsten Abschnitt näher betrachtet. Jeweils vier Masken für die Glas- und SOI-Wafer sind für die Herstellung des gebondeten Wafers mit den fertigen MEMS-Schaltern nötig.

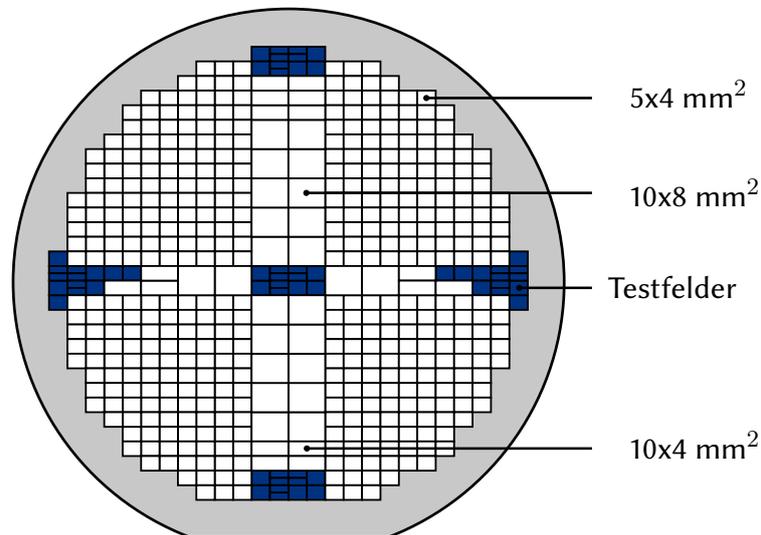


Abbildung 3.7: Maskendesign mit Verteilung der unterschiedlichen Chipgrößen und Testfelder (blau) auf einem 150 mm Wafer.

3.3.2. Teststrukturen

Widerstandsbestimmung der Umkontaktierungen

Für die Kontrolle des Fertigungsprozesses wurden Teststrukturen in den Maskensatz integriert. In der Abbildung 3.8 ist eine Teststruktur in verschiedenen Ansichten dargestellt. Die Abbildung 3.8a) zeigt die Drahtdarstellung des 5 x 2 mm² großen Testfelds.

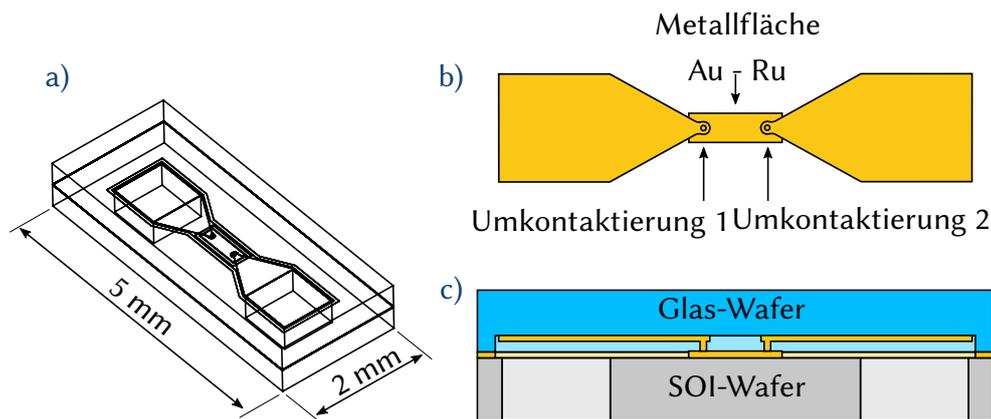


Abbildung 3.8: Aufbau der Teststrukturen für die Bestimmung des Übergangswiderstandes der Umkontaktierungen: a) 3-D-Modell als Drahtdarstellung, b) Ansicht von oben ohne Wafer, c) Vollschnittdarstellung der Seitenansicht ohne Schraffierung.

Zwei mit Chrom und Gold beschichtete zylindrische Erhöhungen auf dem Glas-Wafer werden beim Bondprozess auf die Metallfläche des SOI-Wafers gedrückt. Der Durchmesser dieser zylindrischen Kreisflächen beträgt jeweils $40\ \mu\text{m}$. In Abbildung 3.8c) ist eine Zeichnung der Vollschnittansicht nach dem eutektischen Bonden dargestellt. Je nach Variante (siehe Kapitel 4.4) besteht die oberste Metallfläche aus Gold oder Ruthenium. Ebenso variiert die Schicht unter den aufgetragenen Metallschichten. Entweder liegt diese direkt auf dem Silizium oder auf einer Siliziumdioxid-schicht. Die Metallfläche sowie die zwei Umkontaktierungen sind in Abbildung 3.8b) dargestellt. Aufgebracht wird die Metallfläche beim Prozessschritt 4.2c), abgebildet in der Tabelle 4.2 im Kapitel 4.1.

Beim Messvorgang erfolgt die Ankontaktierung über Nadeln durch die Öffnungen im Handle-Wafer des SOI-Wafers.

Charakterisierung des eutektischen Waferbonds

Die Charakterisierung des eutektischen Waferbonds erfolgt mittels Schertests an den Testchips (siehe Abbildung 3.9). Diese bestehen aus zwei Hälften, die mit dem eutektischen Waferbond verbunden sind. Wie in der Drahtdarstellung der Abbildung 3.9a) dargestellt, beträgt die Chipgröße $5 \times 4\ \text{mm}^2$. Ein Chip enthält vier Bondflächen, die jeweils $0,25\ \text{mm}^2$ groß sind (siehe Draufsicht in Abbildung 3.9b). Beim Schertest wird die SOI-Hälfte gegen einen Anschlag gelegt. Ein Schermeißel drückt die Glasseite ge-

gen diesen Anschlag, bis die Maximalkraft von 4 kg erreicht wird oder der Glas-Wafer abscheret. Die Kraft wird über den kompletten Verlauf aufgezeichnet. Die Messungen werden an einem Nordson Dage 4000Plus Bondtester durchgeführt.

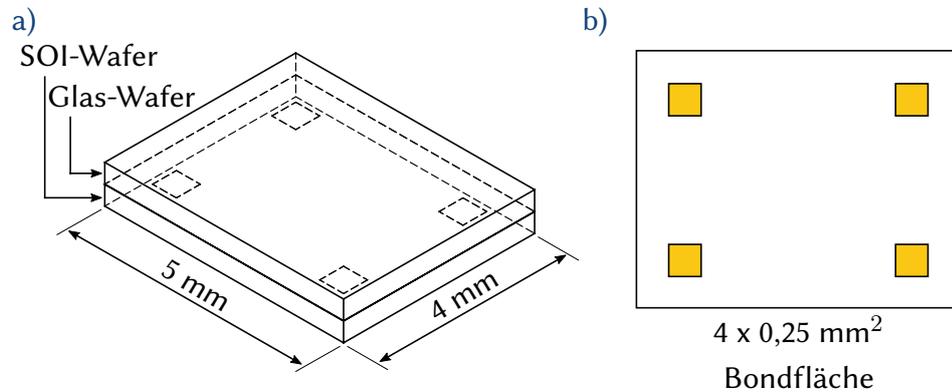


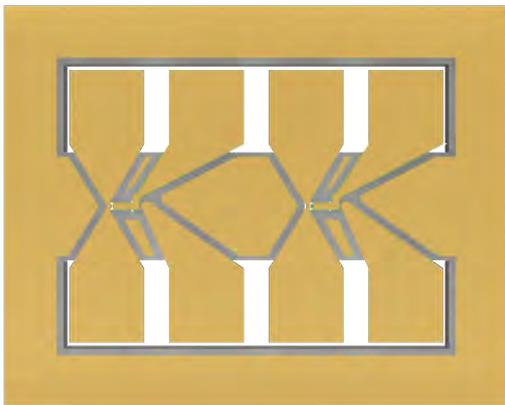
Abbildung 3.9: Teststruktur für die Charakterisierung des eutektischen Waferbonds mit vier mal 0,25 mm² Bondstrukturen; a) 3-D-Modell als Drahtdarstellung, b) Draufsicht durch den Glaswafer.

3.3.3. Einzelschalter

In diesem Abschnitt wird die Designvariation der Einzelschalter-Chips näher beschrieben. Das Maskenlayout wurde so designt, dass in-process Sticking vermieden und in-use Sticking erschwert wird. Bei späteren Schaltvorgängen soll Luftkompression zwischen den Biegebalken und den Steuerelektroden vermieden werden. Das Layout ist so gestaltet, dass eine vorherrschende Luftdämpfung auftritt. Die Abbildung 3.10 zeigt eine rechnergestützte Konstruktion (engl.: Computer-Aided Design, CAD) eines 5 x 4 mm² Chips mit zwei gleichen Einzelschaltern. Diese Einzelschalter sind komplett voneinander unabhängig ansteuerbar. Zwei gleiche Schaltertypen auf einem Chip bieten Vorteile bei der späteren Vermessung. So können ohne großen Aufwand die Schalter charakterisiert und die Daten miteinander verglichen werden. Die Abbildung 3.10a) zeigt die Sicht durch den Glas-Wafer auf die innere Verschaltung der Zuleitungen sowie auf die Bondflächen. Die Trennung der duplizierten Einzelschalter erfolgt vertikal in der Mitte der längeren Chipkante. Eine Sicht auf den Hadle-Wafer zeigt Abbildung 3.10b). Vier Öffnungen sind zu erkennen. Zwei größere am Rand, welche die Kontaktpads freilegen und zwei kleinere für die Freistellung der Biegebalken. Im Abschnitt 4.3.3 sind die Belegungen der Pads näher beschrieben. Der gezeigte Balken-Typ in diesem Modell hat die Bezeichnung BT-1. Weitere Biegebalken-Typen

sind in der Tabelle 3.2 aufgelistet. Diese unterscheiden sich in der Gesamtlänge sowie bei der Länge der Einschnürung. Die berechneten Pull-in-Spannungen der einzelnen Balken-Typen reicht von 13,9 V bis zu einem Wert von 65,6 V. Unterschiede in Länge und Form der Einschnürungen sind auch für die unterschiedlichen Schaltzeiten ausschlaggebend. Der Biegebalken-Typ BT-2 hat bei angelegter Pull-in-Spannung eine errechnete Schaltzeit von 2,5 μs . Die längste Schaltzeit von 40,1 μs hat das Design BT-3. Die analytisch berechneten Werte basieren auf einem 1,5 μm Elektrodenabstand und einer Balkendicke von 10 μm .

a)



b)

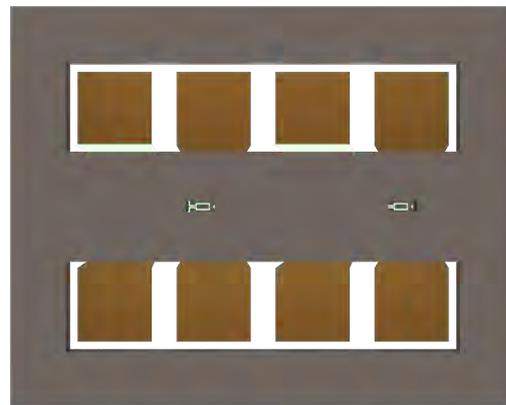


Abbildung 3.10: CAD-Modell der Einzelschalter-Chips ($5 \times 4 \text{ mm}^2$) mit dem Balken-Typ BT-1: a) Sicht durch den Glas-Wafer auf die Zuleitungen und Kontaktpads für die Ankontaktierung, b) Sicht auf den Handle-Wafer mit Öffnungen für die Ankontaktierungen und Freistellung der Biegebalken.

Tabelle 3.2: Unterschiedliche Biegebalken-Typen. Die angegebenen Werte sind mit einem Elektrodenabstand von $g_0 = 1,5 \mu\text{m}$ und einer Balkendicke von $10 \mu\text{m}$ berechnet.

Balken-Typ	Gesamt- länge / μm	Pull-in- Spannung /V	Schaltzeit bei Pull-in / μs
BT-1 	250	27,3	9,7
BT-2 	250	55,0	2,5
BT-3 	350	12,3	40,1
BT-4 	350	24,9	10,4

Zusammenfassend zeigt die Tabelle 3.2 den Einfluss der Balkengeometrie auf die Pull-in-Spannung sowie die Schaltzeit. Die Balken-Typen BT-1 und BT-2 haben ähnliche Schalteigenschaften. Durch eine Einschnürung am Biegebalken BT-1, kann eine ähnliche Schaltcharakteristik wie beim $100 \mu\text{m}$ längeren BT-4 erreicht werden.

3.3.4. Array-Verschaltungen

Auch das Maskendesign der Array-Chips wurde so gestaltet, dass in-process und in-use Sticking so weit wie möglich vermieden wird. Ebenso wie bei den Einzelschaltern ist das Design auch hier auf eine vorherrschende Luftdämpfung angepasst. Die Steuerelektroden der Biegebalken sind untereinander verbunden und die Ansteuerung erfolgt gekoppelt. Ein Array-Chip mit 18 Biegebalken ist im CAD-Modell in der Abbildung 3.11 gezeigt. Die interne Verschaltung der Biegebalken ist in der Abbildung 3.11a zu erkennen. Sechs Biegebalken sind parallel geschaltet und dreimal in Reihe verbunden (6×3). Wie auch bei den Einzelschaltern erfolgt die Ankontaktierung durch zwei Öffnungen im Handle-Wafer (Abbildung 3.11b). Mit den beiden kleineren Kontaktpads werden die Biegebalken und die Steuerelektroden ankontaktiert. Die größeren Pads sind für die Lastanschlüsse.

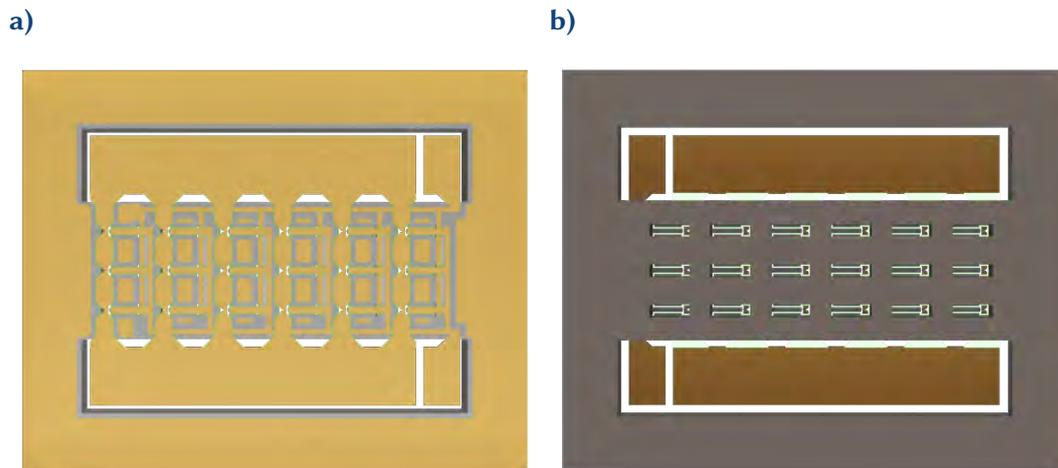


Abbildung 3.11: CAD-Modell des Array-Chips ($5 \times 4 \text{ mm}^2$) mit 18 Biegebalken des Typs BT-4: a) Sicht durch den Glas-Wafer auf die Zuleitungen (Metallebene), b) Sicht auf den Handle-Wafer mit Öffnungen für die Ankontaktierung und Freistellung der Biegebalken.

Zwei Array-Verschaltungen (AT-1 und AT-2) sind in der Tabelle 3.3 aufgelistet. Beide Verschaltungen sind mit 18 Biegebalken designet. Verwendet wurden die Biegebalken BT-1 und BT-4 aus der Tabelle 3.2. Die 6×3 (Parallel \times Reihe) Verdrahtung erfolgt wie in der Abbildung 3.11a gezeigt.

Tabelle 3.3: Auflistung unterschiedlicher Array-Verschaltungen mit den verwendeten Biegebalken.

Array-Typ	Biegebalken Typ	Anzahl	Parallel	Reihe
AT-1	BT-1	18	6	3
AT-2	BT-4	18	6	3

Alle in dieser Arbeit verwendeten und charakterisierten Chipdesigns werden im Abschnitt 4.4 aufgeführt.

4. Herstellung der MEMS-Schalter, Prozess- und Messtechnik

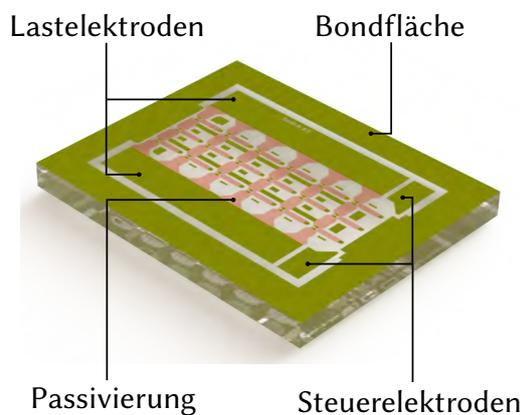
Die Entwicklung von MEMS-Bauteilen erfolgt meist iterativ mit Änderungen und Verbesserungen, die aus den vorangegangenen Entwicklungs-, Prozessierungs- und Testphasen erarbeitet wurden. Auch die vorgestellten MEMS-Schalter dieser Arbeit sind mit diesem Vorgehen entwickelt worden. In einer ersten Phase wurde der Prozessablauf an einem Maskendesign mit Einzelschaltern erarbeitet und die einzelnen Prozessschritte aufeinander abgestimmt. Anschließend sind Wafer mit den erarbeiteten Prozessschritten erstellt und die Funktionsfähigkeit der gefertigten Schalter überprüft worden. Verbesserungsmöglichkeiten im Maskendesign wurden erarbeitet und in ein neues Design überführt. Dieses Design mit Einzelschaltern und Array-Verschaltungen wird in diesem Abschnitt näher behandelt. Die verwendeten Materialien für die Prozessierung der beiden Wafer (SOI und Glas) werden aufgeführt und die einzelnen Prozessschritte der Herstellung sowie das Packaging erläutert.

Die Prozessierung erfolgte auf Wafern mit einem Durchmesser von 150 mm. Der Prozess erfolgt auf zwei unterschiedlichen Wafern, zum einen der SOI-Wafer zum anderen ein Glas-Wafer mit angepasstem Ausdehnungskoeffizienten ($3,25 \cdot 10^{-6} \text{ K}^{-1}$).

Die Abbildung 4.1 zeigt das Design eines Einzelchips auf beiden Waferseiten. Ein $4 \times 5 \text{ mm}^2$ großer Glas-Chip ist in der Abbildung 4.1a) dargestellt. Dargestellt sind die vergoldeten Bondflächen, die Steuerelektroden, die Lastelektroden sowie die Passivierungen.

Die SOI-Seite des Chips in Abbildung 4.1b), ebenfalls $4 \times 5 \text{ mm}^2$ groß, zeigt Öffnungen für die spätere elektrische Anbindung auf der Glas-Seite, Zuleitungen sowie 18 Biegebalken. Diese Chipvariante beinhaltet eine 6×3 Array-Verschaltung. Weitere Varianten, die sich ebenfalls auf dem Wafer befinden, werden in Kapitel 3.1 beschrieben. Die Herstellung der Wafer-Paare wird im nächsten Abschnitt genauer erläutert.

a)



b)

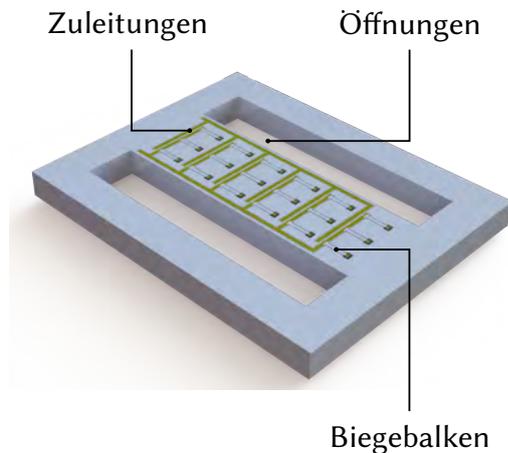


Abbildung 4.1: Zwei Hälften eines Einzelchips in der Größe $4 \times 5 \text{ mm}^2$ (6×3 Biegebalken): a) Glas-Seite mit vergoldeten Bondflächen, den Umverdrahtungsebenen, Steuerelektroden sowie den Passivierungen, b) SOI-Seite mit Öffnungen, Zuleitungen sowie 18 Biegebalken.

4.1. Funktionswafer

Die nachfolgend erläuterten Prozessabfolgen beinhalten Lithografieschritte, die beschrieben, aber zur besseren Übersicht nicht in allen Teilschritten dargestellt werden. Die Prozessabfolge Lithografie wurde einleitend in Abschnitt 2.4 beschrieben und wird folgend als Lithografie, ohne Unterprozesse, angegeben. Als Fotolack wird ein Positivlack verwendet. Alle Schaubilder sind nicht maßstäblich dargestellt. Die Kennzeichnung der verwendeten Materialien erfolgt über die Farbgebung und ist in Abbildung 4.2 abgebildet.

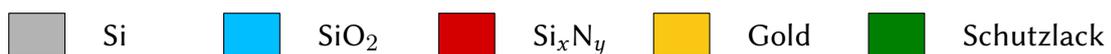


Abbildung 4.2: Verwendete Materialien mit farblicher Zuordnung.

4.1.1. Glas-Wafer

Der Prozessablauf des Glas-Wafers wird in der Tabelle 4.1 dargestellt. Ausgangsmaterial ist ein beidseitig polierter, $400 \mu\text{m}$ dicker, Borosilikatglas-Wafer mit einem Durch-

messer von 150 mm. Eine amorphe Siliziumschicht von 100 nm Dicke wird durch eine chemische Gasphasenabscheidung (engl.: Chemical Vapor Deposition, CVD) auf allen Flächen des Wafers aufgebracht (a). Durch die Lithografie und das anschließende Reaktive Ionenätzen (engl.: Reactive Ion Etching, RIE) wird die amorphe Siliziumschicht strukturiert (b). Die Strukturierung dient als Hartmaske für das anschließende Ätzen einer Kavität in Glas mit 27%iger Hydrogenfluorid-Lösung (HF) (c). Diese Kavität mit einer Tiefe von 1 bis 2 μm bildet den späteren Elektrodenspalt zwischen Balken und Steuerelektrode. Dieser Schritt ist in Abschnitt 4.3.1 näher beschrieben. Eine 33 %ige Kaliumhydroxid-Lösung (KOH) entfernt bei 70 °C die amorphe Siliziumschicht (d).

300 nm Gold (Au) wird durch Sputtern, eine physikalische Gasphasenabscheidung (engl.: Physical Vapour Deposition, PVD), aufgebracht. Als Haftschicht zwischen Borosilikatglas und Gold dient eine 40 nm dicke Chromschicht (Cr)¹ die ebenso über das PVD-Verfahren aufgebracht wird (e). Durch Ionenstrahlätzen (engl.: Ion Beam Etching, IBE) und dem vorangegangenen Lithografie-Schritt wird die Metallisierung strukturiert (f). Dabei entstehen die Schaltelektrode, die Lastkontakte sowie Flächen für den späteren eutektischen Bond.

Eine Siliziumnitridschicht (Si_xN_y), welche nachfolgend die Schaltelektrode passiviert, wird mit einem PECVD-Verfahren aufgebracht (g). Hierbei wird ein Verfahren mit wechselnder Generatorfrequenz gewählt, um intrinsische Spannungen im Si_xN_y zu reduzieren. Die Schichtdicke beträgt 300 nm und wird mittels reflektometrischer Dünnschichtmessung² nach dem Prozess überprüft. Weitere Informationen zu dem PECVD-Verfahren mit wechselnder Generatorfrequenz sind in Abschnitt 2.4 zu finden. Eine Strukturierung des Si_xN_y nach der Lithografie wird mittels RIE-Ätzen durchgeführt (h). Somit bleibt eine Passivierung auf der Steuerelektrode zurück.

¹ Hochschmelzende (refraktäre) Metalle der Gruppen IVB, VB und VIB haften sehr gut auf SiO_2 , da sie bei der Abscheidung (unter Hochvakuum) das Substrat dissoziieren und eine starke mechanische Bindung eingehen [89, 90].

² Beruht auf dem Prinzip der Dünnschichtinterferenz. Bei bekanntem Brechungsindex der Schicht und dem Einfallswinkel des Lichtes führt die Analyse der Reflexionsdaten, unter Beachtung der FRESNEL-GLEICHUNGEN, zur Schichtdicke. [91, 92].

Tabelle 4.1: Prozessabfolge Glas-Wafer.

a)		<ul style="list-style-type: none"> • Borosilikatglas-Wafer • Amorphe Siliziumschicht, beidseitig
b)		<ul style="list-style-type: none"> • Lithografie • Öffnen der amorphen Siliziumschicht durch RIE • Entfernen des Fotolacks
c)		<ul style="list-style-type: none"> • HF-Ätzen
d)		<ul style="list-style-type: none"> • KOH-Ätzen
e)		<ul style="list-style-type: none"> • Sputtern Cr/Au
f)		<ul style="list-style-type: none"> • Lithografie • IBE-Ätzen • Entfernen des Fotolacks
g)		<ul style="list-style-type: none"> • Doppelfrequenz-PECVD - Si_xN_y
h)		<ul style="list-style-type: none"> • Lithografie • RIE • Entfernen des Fotolacks

4.1.2. SOI-Wafer

Die Tabelle 4.2 beinhaltet den Prozessablauf des SOI-Wafers. Ein 150 mm SOI-Wafer ist das Ausgangsmaterial für den zweiten Wafer. Der Device-Layer, mit der Silizium-Kristallorientierung von $\langle 100 \rangle$, hat eine Dicke von $10 \mu\text{m}$ und ist mit Arsen³ hochdotiert. Die Dotierstoff-Konzentration beträgt $>10^{19} \text{ cm}^{-3}$. Der Box-Layer (siehe Abschnitt 2.4) weist eine Dicke von $1 \mu\text{m}$ und der Handle-Layer eine Dicke von $400 \mu\text{m}$ auf. Die Kennzeichnung der verwendeten Materialien erfolgt über die Farbgebung und ist in Abbildung 4.2 definiert.

³ Eingebachte Dotierstoffe, wie Arsen (5 Außenelektronen), erhöhen über freie Elektronen die elektrische Leitfähigkeit des Siliziums (4 Außenelektronen) [93].

Bei 1000 °C wird beidseitig durch eine feuchte Oxidation⁴ eine Siliziumdioxidschicht (SiO₂) von 300 nm erzeugt (a). Diese Schicht dient unter anderem als Schutz für die Bondfläche und wird vor dem eutektischen Waferbond entfernt. Lithografie und ein nachfolgender RIE-Prozess öffnen die SiO₂-Schicht an Stellen der Leiterbahnenpfade (b). Zwei Sputterfahrten mit 40 nm Chrom und anschließend 330 nm Gold erzeugen die späteren Kontaktpads sowie die Leiterbahnen (c). In diesem Prozessablauf wird die Herstellung von Kontaktpads mit Gold beschrieben, Prozesse mit Ruthenium wurden parallel durchgeführt. Ein weiterer Lithografie-Schritt sowie ein IBE-Schritt definieren die Form der Kontaktpads und der Leiterbahnen (d). Eine Verrundung der Lackkanten verhindert beim Ätzen die sogenannten Fences oder auch Seitenwände. Die SiO₂-Schicht dient hier als Pufferzone für Überätzungen und ermöglicht dadurch ein vollflächiges, sauberes Strukturieren der Metallschicht.

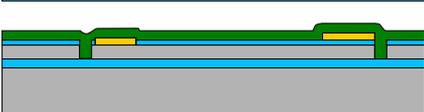
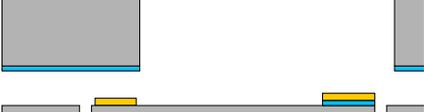
Die Definition der Balkengeometrie erfolgt über einen Lithografie-, einen RIE- sowie anschließenden DRIE-Schritt (e). Hierbei wird zuerst die SiO₂-Schicht geöffnet. Nach der Öffnung erfolgt ein DRIE-Prozess, der denselben strukturierten Fotolack verwendet. Als Ätzstopp fungiert der Box-Layer.

Ein vorderseitiger Fotolack mit einer Dicke von 8 µm dient als Schutz und ermöglicht eine Bearbeitung des SOI-Wafers auf der Rückseite (f). Im nächsten Schritt wird die Maske, anders als bei den vorangegangenen Schritten, an den Markern auf der Rückseite justiert. Der rückseitig aufgebraute Fotolack wird für die Öffnungen des Handle-Layers strukturiert. Ein RIE-Schritt entfernt an den gewünschten Stellen die SiO₂-Schicht (g). Die 400 µm tiefe Rückseitenöffnung wird mit dem DRIE-Verfahren (nähere Informationen siehe Abschnitt 2.10) erzeugt (h). Anschließend wird der BOX-Layer durch einen RIE-Schritt entfernt (i). Der Schutzlack wird durch ein Sauerstoffplasma verbrannt (j). Nach diesem Schritt kann der Balken frei schwingen.

Ein letzter Flusssäure-Schritt entfernt die auf dem Device-Layer befindliche Siliziumdioxidschicht (k). Dieser Schritt erfolgt direkt vor dem Waferbond (siehe Abschnitt 4.1.3) und dient ebenso als Aktivierung der Bondfläche.

⁴ Durch die Einleitung von H₂O („nass“) in den Oxidationsprozess wird die Wachstumsrate von SiO₂ aber auch die Porosität erhöht (höhere Porosität → höhere Ätzrate in HF) [94].

Tabelle 4.2: Prozessabfolge SOI-Wafer.

a)		<ul style="list-style-type: none"> • SOI (10-1-400) μm • Kristallorientierung $\langle 100 \rangle$ • SiO_2
b)		<ul style="list-style-type: none"> • Lithografie • RIE • Entfernen des Fotolacks
c)		<ul style="list-style-type: none"> • Sputtern Cr/Au • (Sputtern Cr/Ru)
d)		<ul style="list-style-type: none"> • Lithografie • IBE • Entfernen des Fotolacks
e)		<ul style="list-style-type: none"> • Lithografie • RIE • DRIE
f)		<ul style="list-style-type: none"> • Schutzlack Vorderseite
g)		<ul style="list-style-type: none"> • Lithografie Rückseite • RIE
h)		<ul style="list-style-type: none"> • DRIE
i)		<ul style="list-style-type: none"> • RIE
j)		<ul style="list-style-type: none"> • O_2-Plasmaverascher
k)		<ul style="list-style-type: none"> • HF-Ätzen

4.1.3. Waferbonden

Für den eutektischen Bond wird der zuvor beschriebene Glas-Wafer aus der Tabelle 4.1h) und der SOI-Wafer aus der Tabelle 4.2k) verwendet. Die Justage der beiden

Wafer zueinander erfolgt mithilfe eines Bond-Aligners durch den Glas-Wafer hindurch. Eine Fixierung klemmt das Wafer-Paar und ermöglicht den Transport zum Waferbonder. Die Bondung wird unter Vakuum ($3 \cdot 10^{-3}$ mbar) durchgeführt. Durch den mechanischen Druck zweier Heizplatten wird der Bond bei 400°C erzeugt. Weitere Informationen zum Bond sind im Kapitel „Entwicklung Prozess- und Messtechnik“ im Abschnitt 4.3.2 aufgeführt. Das entwickelte Bondprogramm ist im Anhang A.2 aufgeführt. In der Abbildung 4.3 ist das gebondete Wafer-Paar mit Beschriftung der sichtbaren Elemente als Schaubild dargestellt.

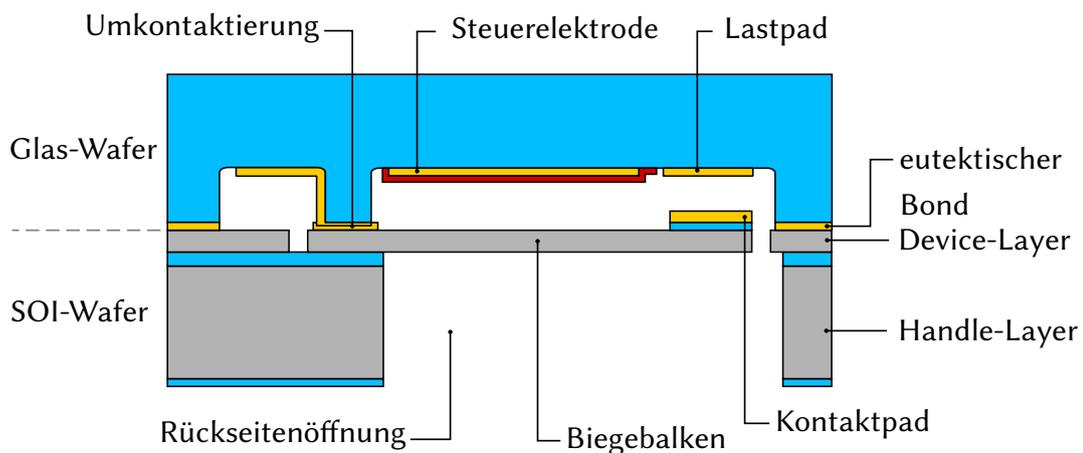


Abbildung 4.3: Schaubild der gebondeten Wafer mit Beschriftung der einzelnen Elemente.

4.2. Package - C-Dip

Um eine bessere Handhabung bei Vermessungen der Schalter zu gewährleisten, werden die in Abschnitt 4.1.3 gebondeten Wafer mit einem Wafer-Säge-Prozess vereinzelte. Als Gehäuse dienen zwei Ceramic-Dual-Inline-Packages (C-Dip) in der Variante mit 8 (Abbildung 4.4a) oder 14 (Abbildung 4.4b) Pins. Die gesägten Chips werden mit einem durch UV-Licht aushärtenden Kleber in die C-Dips eingeklebt und mittels Ball-Wedge-Waferbonden ankontaktiert.

a)



b)

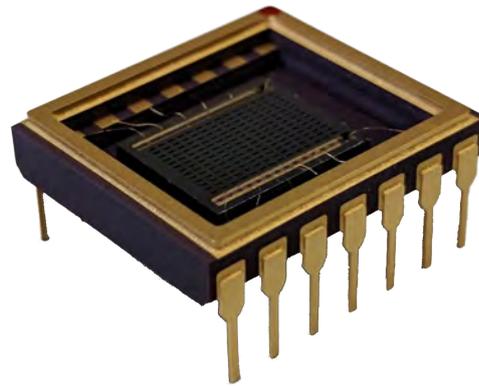


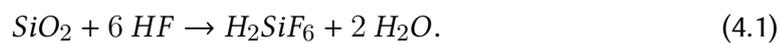
Abbildung 4.4: Ceramic-Dual-inline-packages mit eingeklebten Einzelchips und Kontaktierungen mittels Drahtbonden: a) 8 Pin Variante, b) 14 Pin Variante.

4.3. Entwicklung Prozess- und Messtechnik

In diesem Kapitel werden einige für die Arbeit benötigte und entwickelte Prozesse aufgezeigt sowie beschrieben. Des Weiteren wird der Messaufbau für Vermessung auf Wafer-Level aufgeführt und die Einzelchipmessung erläutert.

4.3.1. Glasätzen mit Hydrogenfluorid

Hydrogenfluorid (HF) ist ein gängiges Ätzmedium für die Strukturierung von Glas-Wafern. Dabei wird das Glas durch eine wässrige Hydrogenfluorid-Lösung (HF) an den freiliegenden Stellen aufgelöst. Die Gesamtreaktion kann wie folgt beschrieben werden [95]:



Für das Strukturieren von Glas-Wafern mit HF werden geeignete Maskierungsschichten benötigt. Bei verdünnten HF-Lösungen sind hauptsächlich spezielle Fotolacke in Gebrauch [96]. Ist die Lösung hoch konzentriert, sinkt die Haftung von Fotolacken und eine Delamination ist möglich [97]. In diesen Fällen werden andere Materialien wie z. B. Silizium benötigt.

Silizium ist in HF basierten Lösungen ein inertes Material mit hydrophoben Eigenschaften. Dieses Verhalten erschwert das Eindringen von HF durch kleine Fehlstellen [98]. Eine Siliziumschicht bietet daher gute Voraussetzungen für eine Hartmaskierung beim Ätzprozess. Ein entsprechender Prozess wurde in dieser Arbeit entwickelt und etabliert.

Wie in Abbildung 4.5 gezeigt, wird der Wafer vollflächig mit amorphem Silizium (a-Si) beschichtet und an gewünschten Stellen geöffnet. Homogenere Ätzergebnisse über den Wafer können mit einem vorangegangenen Benetzungsschritt erreicht werden. Hierbei wird der Wafer in vollentsalztem Wasser (VE-Wasser) getaucht und an den Öffnungen mit VE-Wasser benetzt. Die Ausrichtung des Wafers ist während des Ätzprozesses horizontal, was eine höhere Homogenität der Strukturen bewirkt. Die Konzentration von HF ist so gewählt, dass eine ausreichend lange Ätzzeit gegenüber dem Umlagern zum QDR-Spülbecken⁵ gegeben ist.

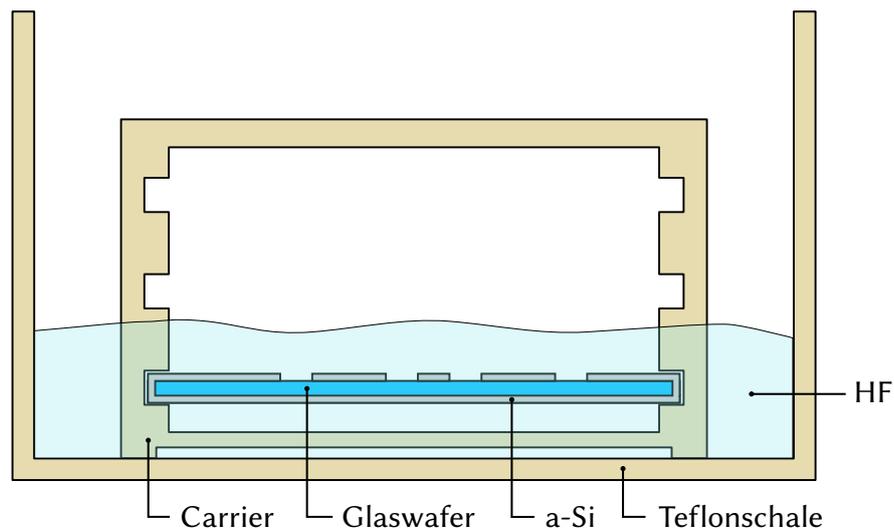


Abbildung 4.5: Glasätzprozess mit a-Si-Hartmaske in Hydrogenfluorid.

4.3.2. Eutektischer Waferbond

Wie in Abschnitt 2.4 beschrieben, gibt es bei dem binären System von Gold und Silizium einen eutektischen Punkt bei $(363 \pm 2)^\circ\text{C}$. Dies ermöglicht einen Waferbond bei Temperaturen von unter 400°C . Für die Prozessentwicklung erfolgten Vorversuche,

⁵ Engl.: quick dump rinser; zyklisches, schnelles Entleeren und Auffüllen des Spülbeckens.

mit denen die Parametergrenzen des Versuchs festgelegt wurden. Der erstellte Versuchsplan ist im Anhang A1 aufgeführt. Folgende drei veränderbare Faktoren wurden für die Versuchsdurchführung bestimmt:

- **Temperatur** der Heizplatten
- **Druck**, den die beheizten Platten auf den Wafer ausüben
- **Haltezeit** der Bondtemperatur.

Für die Versuchsdurchführung wurden zwei Wafer (Glas und SOI) mit vereinfachter Prozessfolge erstellt. Borosilikatglas-Wafer mit den Prozessschritten 4.1e) und 4.1f) aus der Tabelle 4.1e) und SOI-Wafer mit den Prozessschritten 4.2e) und 4.2k) aus Tabelle 4.2 dienten als Ausgangsmaterial. Im Anhang A.2 ist das entwickelte und für die Versuche veränderte Bondprogramm des Waferbonders dargestellt. Die Auswertung der Ergebnisse erfolgte mit der Double-Cantilever-Beam-Methode (DCB-Methode)⁶. In der Abbildung 4.6 wird ein gebondeter Wafer gezeigt. Die Sicht auf die Bondstrukturen erfolgt durch den Glas-Wafer hindurch.

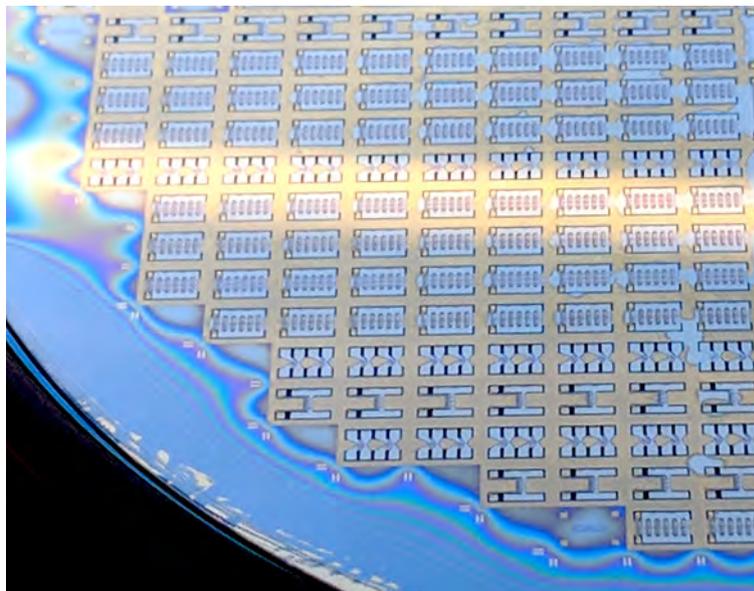


Abbildung 4.6: Gebonderter Wafer mit Sicht durch den Glas-Wafer.

⁶ Bei der DCB-Messung eines Waferbonds werden die Wafer durch Einführen einer dünnen Klinge in die Bond-Grenzfläche auseinander gedrückt. Die resultierende Risslänge ist ein Maß für die Festigkeit des Bonds [99].

Zusammenfassend zeigt sich, dass höhere Temperaturen sowie längere Haltezeiten einen positiven Einfluss auf den Waferbond haben. Zu geringe Temperaturen sowie zu kurze Haltezeiten führen zu partiell nicht gebondeten Stellen auf dem Wafer. Die Erhöhung des Drucks hat keine Auswirkungen auf den Waferbond.

4.3.3. Messtechnik für die Charakterisierung

Angewendete Messverfahren sowie entwickelte Schaltungen werden in diesem Abschnitt aufgezeigt. Zuerst wird die Messung auf Waferlevel mit einem Waferprober beschrieben. Nachfolgend wird die Schaltplatine näher betrachtet.

Messungen auf Waferlevel - Waferprober

Die Vermessung der Chips auf Waferlevel erfolgt mit einem manuellen Waferprober der Firma Süss. Ein beheizbarer Vakuum-Chuck fixiert und erwärmt⁷ den Wafer. Zusätzlich lässt sich der Chuck in x- und y-Richtung verfahren und somit die einzelnen Chips auf dem Wafer anfahren. Vier Präzisions-Positionierer ermöglichen die genaue Ankontaktierung der Nadeln auch auf kleinen Pads. Der grundlegende Aufbau wird in Abbildung 4.7 in vereinfachter Form gezeigt. Zur besseren Übersicht ist der Handle-Layer sowie ein Teil des Device-Layers nicht dargestellt. Die Steuerspannung wird durch eine Source Measure Unit (SMU) bereitgestellt und auf Knopfdruck geschaltet. Eine zweite SMU, angeschlossen an der Lastseite, prägt eine Spannung ein und gibt den gemessenen Strom im Lastpfad aus.

⁷ Erwärmung des Wafers über Raumtemperatur, um Kondensation zu vermeiden und gleichbleibende Verhältnisse zu gewährleisten.

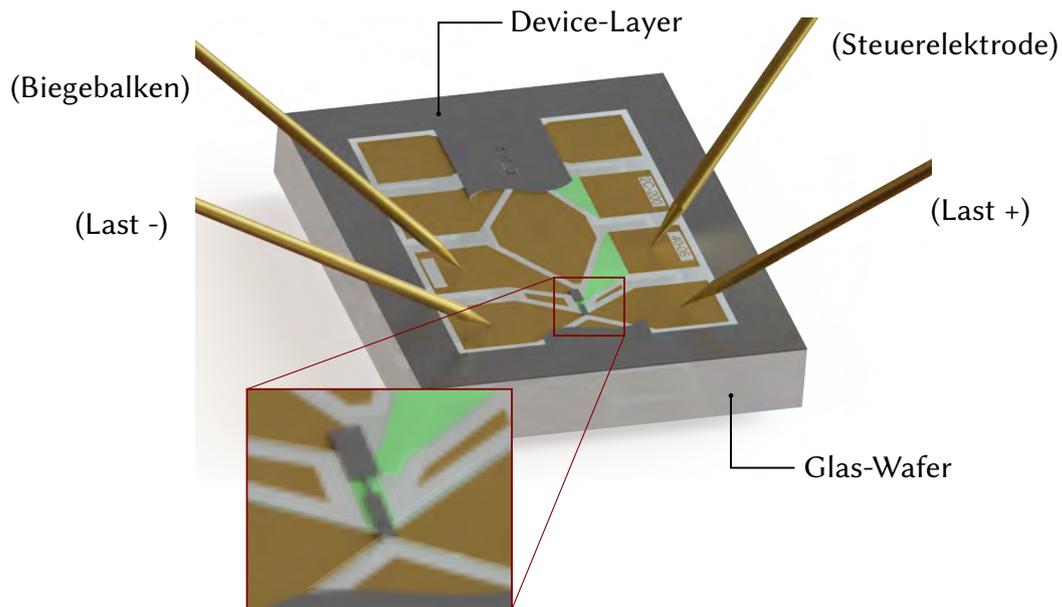


Abbildung 4.7: Messung der Schalter auf Waferlevel in vereinfachter Darstellung ohne Handle- und mit reduziertem Device-Layer sowie einer Vergrößerung des Biegebalkens.

Einzelchipmessung - Messaufbau

Die Vermessung der Einzelchips erfolgt mithilfe einer speziell hierfür entwickelten Schaltung. Die Charakteristik der Steuerspannung, wie Steigung und Überschwingen der Spannungs-Zeit Kennlinie, wurde definiert und durch Veränderung von Schaltkomponenten optimiert (Schaltplan im Anhang B). Aus dem resultierenden Aufbau entstand ein Platinen-Layout, welches in der Vergrößerung in Abbildung 4.8 zu sehen ist. Weiter sind zwei SMUs für die Bereitstellung der Steuer- und Lastspannung, ein Auslösetaster für das Starten des Schaltvorgangs sowie ein Oszilloskop für die Auswertung zu erkennen.

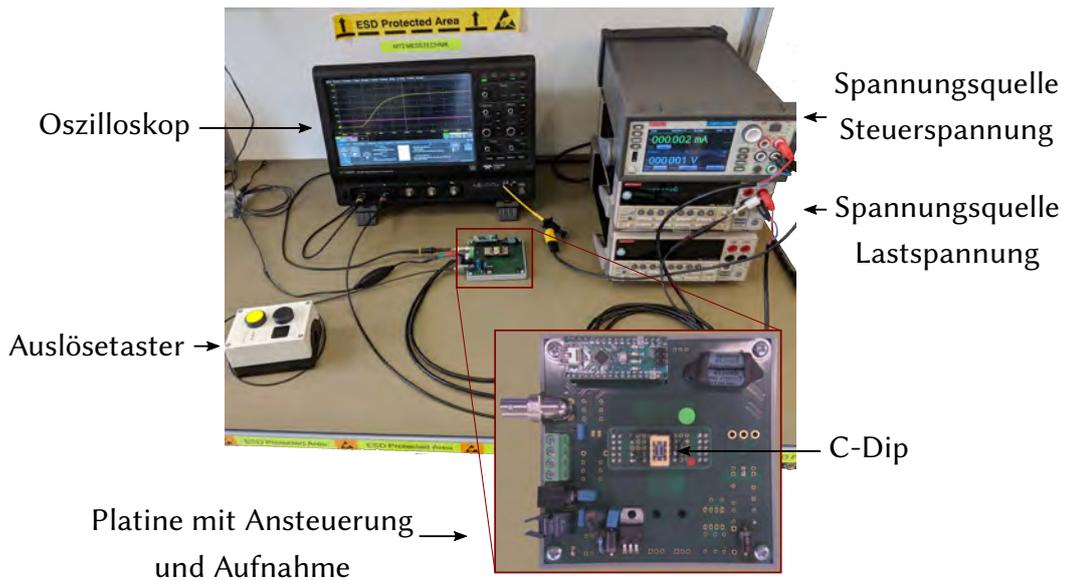


Abbildung 4.8: Messaufbau für Einzelchipmessungen mit einer Vergrößerung der Steuerplatine.

Die Bestimmung der Pull-in-Spannung, der Schaltzeit sowie Kontaktwiderstandes erfolgte mit diesem Aufbau. Die Schaltcharakteristik der Steuerspannung sowie die Definition der Schaltzeit sind im Anhang B3 und Anhang B4 näher beschrieben

4.4. Hergestellte und charakterisierte Chipsdesigns

Ein typischer Einzelschalter ist in der Abbildung 4.9 zu sehen. Die Sicht auf die Strukturen erfolgt hierbei durch den Glas-Wafer hindurch. Der Biegebalken liegt größtenteils verdeckt unter der Steuerelektrode. Die Passivierungsschicht verläuft zwischen der Steuerelektrode sowie dem Biegebalken und streckt sich über die Außenkanten der Steuerelektrode hinweg. Bereiche mit dem eutektischen Bond sind in der oberen und unteren, mittigen Bildhälfte zu sehen. Die Kontaktfindung und der dadurch entstehende Stromfluß findet durch das Kontaktpad und die Lastelektroden statt.

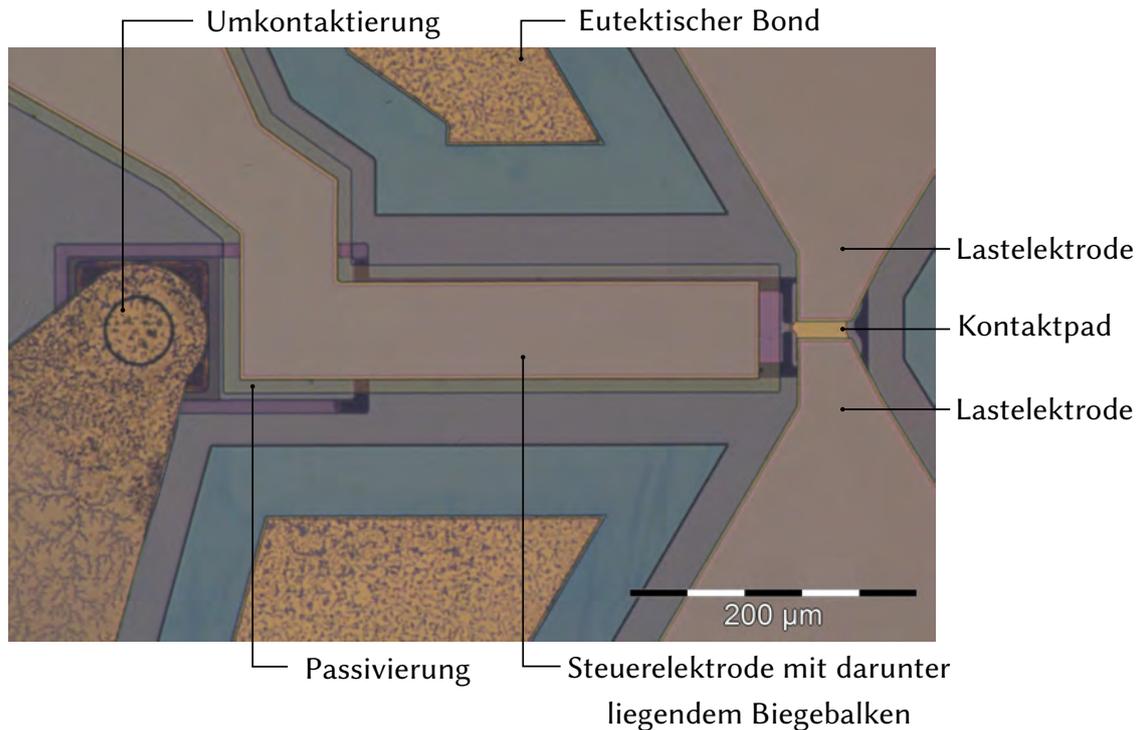


Abbildung 4.9: Mikroskopaufnahme eines BT-4 Biegebalkens durch den Glas-Wafer.

In diesem Bild ist ein Biegebalkentyp BT-4 zu sehen. In der Tabelle 4.3 sind alle MEMS-Chips abgebildet, die im Kapitel 5 näher untersucht werden. Die unterschiedlichen Chip-Typen (CT) sind nummeriert. CT-1 bis CT-4 sind Einzelschalter mit den Balkentypen BT-1 und BT-2 sowie den Kontaktmaterialien Gold-Gold und Gold-Ruthenium. Die Typen CT-5 bis CT-8 sind Array-Verschaltungen mit den gleichen Balkentypen (BT-1 und BT-2) und den Kontaktmaterialien Gold-Gold und Gold-Ruthenium. Jeweils 18 Biegebalken sind in einer Verschaltung von 6x3 in dem Chip integriert.

Tabelle 4.3: Übersicht der hergestellten und charakterisierten MEMS-Chips.

Typ	Chip	Biegebalken			Kontakt
	Größe	Typ	Anzahl	Parallel x Reihe	Material
CT-1	6 x 4 mm ²	BT-1	1	1 x 1	Au/Au
CT-2	6 x 4 mm ²	BT-4	1	1 x 11	Au/Au
CT-3	6 x 4 mm ²	BT-1	1	1 x 1	Au/Ru
CT-4	6 x 4 mm ²	BT-4	1	1 x 1	Au/Ru
CT-5	6 x 4 mm ²	AT-1*	18	1 x 1	Au/Au
CT-6	6 x 4 mm ²	AT-2**	18	1 x 1	Au/Au
CT-7	6 x 4 mm ²	AT-1*	18	1 x 1	Au/Ru
CT-8	6 x 4 mm ²	AT-2**	18	1 x 1	Au/Ru

* mit BT-1 

** mit BT-4 

5. Experimentelle Ergebnisse und Diskussion

Die Ergebnisse der Wafer-Charakterisierungen und der vermessenen MEMS-Schalter werden in diesem Kapitel näher beleuchtet. Zuerst wird auf den Glasätzprozess und nachfolgend auf die Umkontaktierungen der Leiterbahnen eingegangen sowie die Messergebnisse der Metall-Silizium Übergangswiderstände und die ermittelten spezifischen Widerstände behandelt. Der Diskussion dieser Ergebnisse wird ein eigener Abschnitt gewidmet. Im zweiten Hauptabschnitt steht die Charakterisierung der entwickelten und prozessierten MEMS-Schalter im Vordergrund. Eine detaillierte Betrachtung der passiven mechanischen Vorverspannungen der Biegebalken, der elektrischen Kapazitäten und der parasitären Ströme erfolgt zuerst. Die Ergebnisse der Pull-in-Spannungsmessungen und die erzielten Kontaktwiderstände folgen, bevor die Diskussion das Kapitel abschließt.

5.1. Charakterisierung der prozessierten Wafer

5.1.1. Glasätzen

Das Glasätzen wird in normalen mikroelektromechanischen Prozessketten (z.B. CMOS) nicht benötigt, ist jedoch bei der Herstellung der MEMS-Schalter ein ganz wesentlicher und entscheidender Prozessschritt. Der spätere Elektrodenabstand zwischen Steuerelektrode und Biegebalken (Gap) wird bei diesem Schritt eingestellt. Eventuelle Abweichungen der Ätztiefe wirken sich unmittelbar auf das Schaltverhalten der jeweiligen Einzelschalter aus. Daher ist eine stetige Kontrolle der Homogenität der Ätztiefe ganz wesentlich für die Prozessüberwachung. Eine steigende Abweichung bei steigender Ätztiefe ist in der Abbildung 5.1a) zu erkennen. Beträgt die Standardabweichung bei einer Ätztiefe von $0,5\ \mu\text{m}$ noch $13\ \text{nm}$, steigt diese auf $20\ \text{nm}$ bei $1,0\ \mu\text{m}$ Ätztiefe und auf $39\ \text{nm}$ bei $2,0\ \mu\text{m}$ Ätztiefe an. In der Abbildung 5.1b) sind neun Messpositionen über einen $150\ \text{mm}$ Wafer verteilt dargestellt. Dabei zeigt die Einfärbung den Wert des Fehlers an dieser Stelle zum Mittelwert der Messungen. Die Messungen wurden mit einem Tastschnittgerät¹ P-17 der Firma KLA Corporation aufgenommen. Ein Anstieg des Fehlers vom Flat Richtung Antiflat ist zu erkennen.

¹ Taktiles Messgerät für die Erfassung von Rauigkeit, Welligkeit und Konturen an offenen 2D-Profilen.

Der größte Fehler beträgt 2,5 %. Im Bereich des Flats beträgt der Fehler 0,5 %. Die Messstellen inmitten der Waferfläche weisen bis auf eine Ausnahme ausschließlich negative Fehler auf. Positive Fehler sind im Randbereich zu erkennen.

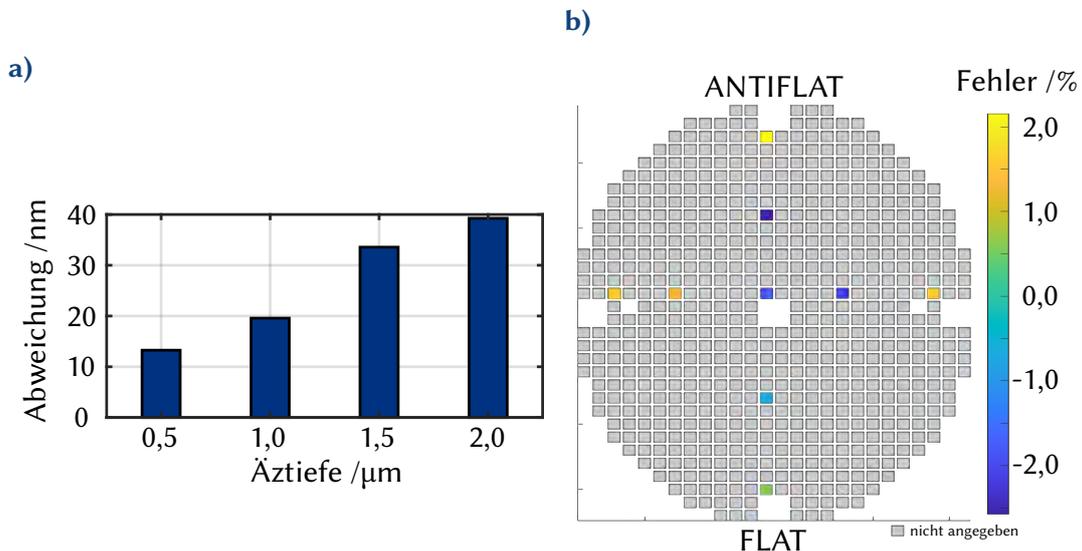


Abbildung 5.1: Abweichung nach dem Glasätzprozess: a) Standardabweichung vom Mittelwert bei unterschiedlichen Äztiefen, b) Prozentualer Fehler der gewünschten $1\ \mu\text{m}$ Äztiefe an neun Positionen über den Wafer verteilt.

5.1.2. Umkontaktierung

Eine Umkontaktierung im Chipaufbau ermöglicht eine Verschaltung der MEMS-Schalter auf zwei Ebenen. Überkreuzungen von Leiterbahnen sind dadurch im Design realisierbar, zusätzliche Widerstände werden in den Stromkreis integriert. Messungen an den Teststrukturen (siehe Abschnitt 3.3.2) sollen die Auswirkung einer Umkontaktierung zeigen. Untersucht wurden Gold-Gold und Gold-Ruthenium als Kontaktmaterialien sowie jeweils Silizium oder Siliziumdioxid als oberste Substratschicht. Als Haftvermittler kamen jeweils 40 nm Chrom zwischen Substrat und Metallschicht zum Einsatz. In der Abbildung 5.2 sind die Messungen an den Teststrukturen dargestellt. Jeder Messwert beinhaltet jeweils zwei Umkontaktierungen.

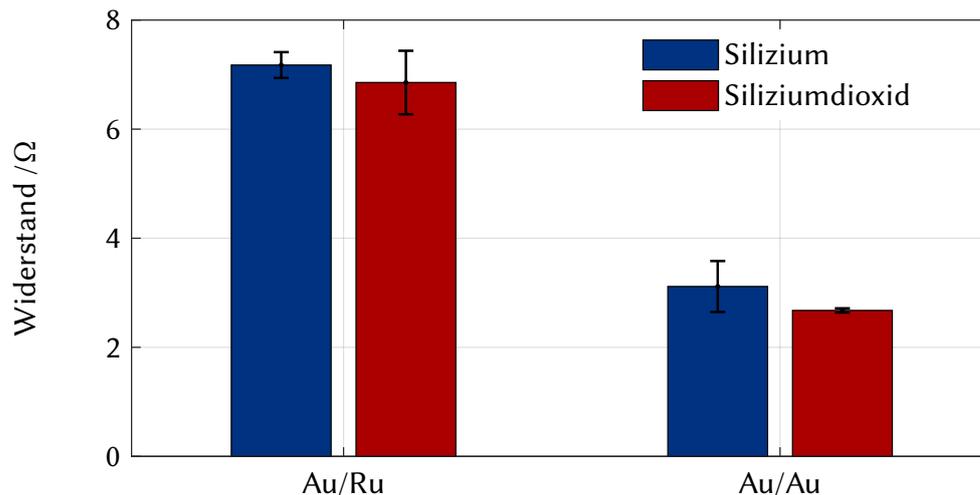


Abbildung 5.2: Elektrischer Widerstand der Umkontaktierungen mit den Kontaktmaterialien Au-Ru und Au-Au, jeweils direkt auf einem Siliziumsubstrat bzw. auf Substrat mit Siliziumdioxid-Grenzschicht.

Umkontaktierungen mit Gold-Gold als Metallschicht haben einen geringeren Widerstand als bei Verwendung von Gold-Ruthenium-Schichten. Siliziumdioxid als Untergrund hat einen tendenziell geringeren Widerstand zur Folge. Die Umkontaktierungen mit zwei Goldschichten und einer Schicht auf Silizium haben einen mittleren Widerstand von $(3,12 \pm 0,47) \Omega$. Auf Siliziumdioxid liegt er bei $(2,68 \pm 0,04) \Omega$. Das Schichtsystem mit Gold-Ruthenium besitzt auf Silizium einen Widerstand von $(7,18 \pm 0,24) \Omega$ und auf Siliziumdioxid $(6,86 \pm 0,58) \Omega$.

5.1.3. Übergangswiderstand Metall-Silizium

Wie im Abschnitt 2.1 beschrieben, wird beim Schaltvorgang an den Biegebalken ein Bezugspotential angelegt. Dies ist notwendig, um einen definierten Potentialunterschied zur Steuerelektrode zu erzeugen. Dabei ist ein ohmscher Übergang von der Metallzuleitung zum Siliziumbiegebalken essenziell. Dieser sollte polungsunabhängig und niederohmig sein. Unterschiedliche Austrittsarbeiten und Elektrodenkonfigurationen an dem Übergangsbereich von Metall zum Halbleiter können zu einem sogenannten Schottky-Kontakt² führen.

² Nichtlineare, unsymmetrische Strom-Spannungscharakteristik. Kontaktverhalten wie bei einer Diode mit schlechten Sperreigenschaften [93].

Eine Kontrolle des Metall-Halbleiterkontakts findet an den CBKR-Strukturen (siehe Abschnitt 2.5) über eine gepulste³ Widerstandsmessung mit der Vier-Spitzen-Methode statt. Hierbei wird der Strom vom negativen in den positiven Bereich sowie zurück gesweept und jeweils der Spannungsabfall gemessen. Die Ergebnisse einer Messung von zwei Wafern sind in Abbildung 5.3 dargestellt. Die normierte Spannung U/U_0 ist in Abhängigkeit des normierten Stroms I/I_0 aufgetragen.

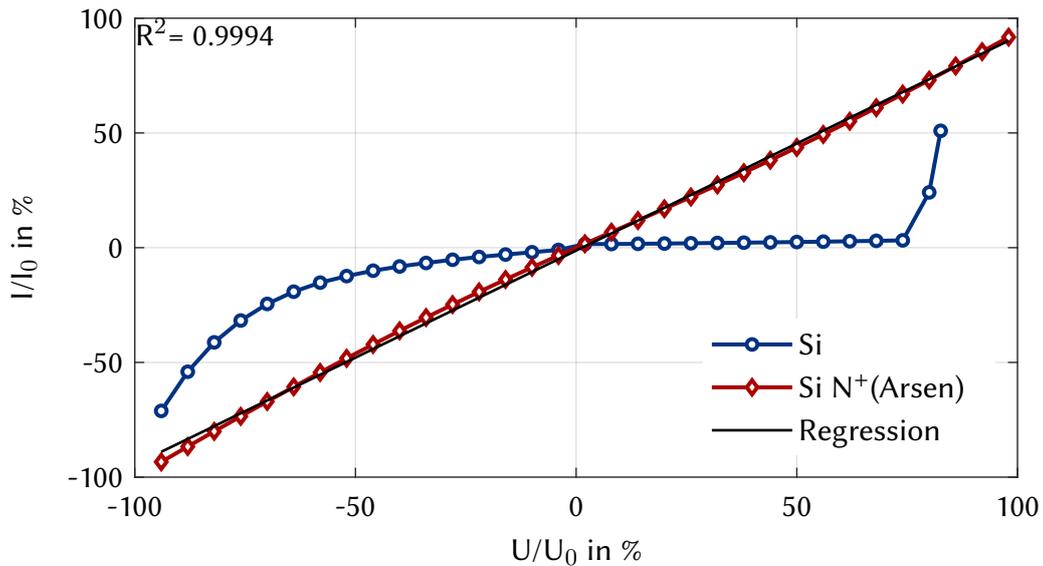


Abbildung 5.3: Messungen des Übergangs von Metall zu Silizium an den CBKR-Strukturen.

Exemplarisch werden die Messungen an einem mit Arsen hochdotierten Wafer (N^+ , $>10^{19} \text{ cm}^{-3}$) und zum Vergleich eine Messung mit einem undotierten Siliziumwafer gezeigt. Im Fertigungsprozess werden alle Wafer auf ein lineares Verhalten hin untersucht. Der mit Arsen dotierte Wafer zeigt einen linearen Verlauf der Strom-Spannungs-Kennlinie. Der undotierte Siliziumwafer, welcher die gleichen Prozessschritte gesehen hat, zeigt dagegen einen unsymmetrischen, nichtlinearen Verlauf. Dies deutet auf einen Schottky-Übergang am Übergang von Silizium und Metall hin.

³ Vermeidung von Überbelastung und Widerstandsänderungen durch eine thermische Belastung.

5.1.4. Spezifischer elektrischer Widerstand

Die spezifischen elektrischen Widerstandswerte ρ wurden in dieser Arbeit mit der Vier-Spitzen-Methode gemessen, welche in Abschnitt 2.5 beschrieben ist. Die Messergebnisse sind Mittelwerte aller prozessierten Wafer und erfolgten jeweils an neun Positionen auf dem Wafer. Messergebnisse der Wafer mit Einzelschichten aus Gold und Ruthenium sind in der Abbildung 5.4 dargestellt.

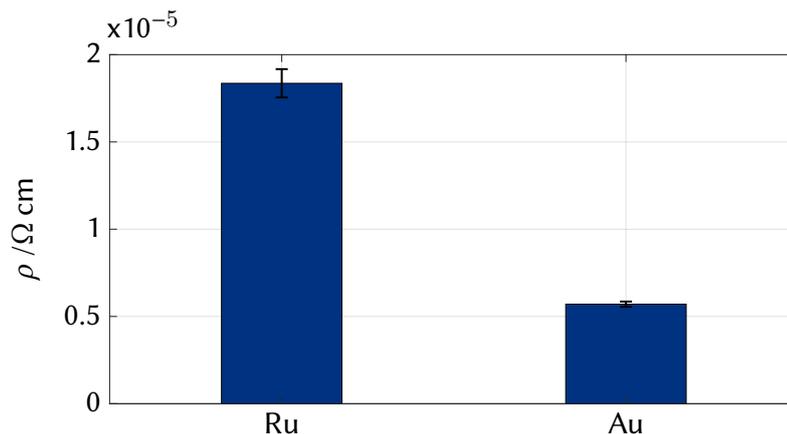


Abbildung 5.4: Spezifische elektrische Widerstandswerte gemessen an den Metallschichten Ruthenium bzw. Gold, die jeweils eine Dicke von 330 nm aufweisen. Als Haftlayer wurden 40 nm Chrom aufgebracht.

Verglichen werden die Messergebnisse mit bekannten spezifischen Widerständen für Dünnschichten aus der Literatur. Für Gold wird in [100] ein spezifischer Widerstand von $2,3 \cdot 10^{-6} \Omega \text{ cm}$ und in [101] ein spezifischer Widerstand von $6,7 \cdot 10^{-6} \Omega \text{ cm}$ für Ruthenium angegeben. Die in der Abbildung 5.4 aufgeführten ermittelten spezifischen Widerstände sind gegenüber den Literatureintragungen deutlich erhöht. Das gesputterte Gold, welches einen spezifischen Widerstand von $(5,71 \pm 0,02) \mu\Omega \text{ cm}$ aufweist, ist mehr als doppelt so hoch wie in der Literatur angegeben. Auch der gemessene mittlere spezifische Widerstand der Rutheniumschichten von $(18,40 \pm 0,81) \mu\Omega \text{ cm}$ ist deutlich höher als angegeben. Die Leitfähigkeit des gesputterten Rutheniums beträgt etwa ein Drittel des gesputterten Goldes.

5.2. Diskussion der Wafer-Charakterisierung

Ziel des Glasätzprozesses ist die Einstellung des Abstandes von Steuerelektrode zum Biegebalken. Dabei soll der Abstand über den gesamten Wafer nur minimale Unterschiede aufweisen. Bei steigender Ätztiefe nimmt die Abweichung über den Wafer zu (Abbildung 5.1a), liegt aber nahezu konstant bei 2% zur Ätztiefe. Geringere Ätztiefen in der Wafermitte können durch einen schlechteren Austausch der HF-Lösung im Gegensatz zu den Randbereichen entstehen. Durch eine Bewegung des Carriers in der HF-Lösung könnte dies noch reduziert werden, da der Austausch der HF-Lösung und ein Abtransport der Reaktionsprodukte über den gesamten Wafer gleichmäßiger stattfinden kann. Dies wurde aus Sicherheitsgründen unterlassen, da der Ätzprozess von Hand durchgeführt wurde. Verbesserungen könnten durch einen automatisierten Prozess mit Ätzvorrichtungen erreicht werden.

Eine Erklärung für die Zunahme des Fehlers Richtung Antiflat (Abbildung 5.1b) ist ebenso ein Vorgehen, um die Sicherheit zu erhöhen. Im Handlingsprozess wird der Carrier aus der Horizontalen geneigt, um ein Herausfallen des Wafers zu vermeiden. Dies führt zu einer längeren Ätzzeit für die Bereiche am Antiflat, da diese zuerst in die HF-Lösung eintauchen und beim Entladen zuletzt auftauchen. Auch dieser Fehler könnte durch eine Vorrichtung und einen automatisierten Ätzprozess verringert werden. Es sei noch erwähnt, dass dies ein isotroper Ätzprozess ist und auch eine laterale Abtragung stattfindet. Somit werden die kleinstmöglichen Strukturen durch die Unterätzung definiert.

Der geringere Widerstand (siehe Abbildung 5.2) der Gold-Gold-Umkontaktierung kann auf die höhere Leitfähigkeit des Gold-Materials zurückgeführt werden. Der spezifische Widerstand der abgeschiedenen Gold-Schichten beträgt $5,71 \Omega \text{ cm}$, die Werte liegen $12,69 \Omega \text{ cm}$ unter denen von Ruthenium. Eine mögliche Ursache für die erhöhten Widerstandswerte bei den Gold-Schichten, die nur über eine 40 nm dünne Chrom-Schicht getrennt auf dem Silizium liegen, ist die Bildung einer eutektischen Legierung (siehe Abschnitt 2.4) zwischen Gold und Silizium. Durch die Temperaturen von 400°C beim Bondprozess kann Chrom in das Gold diffundieren [102]. Somit kann es ebenso zu einer Diffusion von Gold und Silizium kommen und eine eutektische

Konzentration entsteht, die beim Abkühlen in die beiden Einzelkomponenten kristallisiert. Die neu gebildete Legierung besitzt Anteile von Silizium und von Chrom, welche eine geringere Leitfähigkeit als Gold aufweisen.

Das Verhalten des undotierten Siliziumwafers (Si) in Abbildung 5.3 ist durch Potentialbarrieren an den Grenzflächen zu erklären. Durch die Austrittsarbeitendifferenz an den Grenzflächen tritt eine Potentialbarriere auf. Eine Verarmungszone wird gebildet. Durch Dotierung (Si N⁺ (Arsen)) kann die Weite der Bandaufwölbung so reduziert werden, dass die Ladungsträger den Übergang bereits aufgrund ihrer thermischen Energie überwinden können. Dabei wird die Verarmungszone so reduziert, dass ein Metall-Halbleiterkontakt mit linearem Strom-Spannungsverhalten aufgrund des Tunneleffekts entsteht (N⁺-Dotierung) [93].

Es kann angenommen werden, dass die gegenüber Literaturwerten erhöhten spezifischen Widerstände der abgeschiedenen Schichten (siehe Abbildung 5.4) durch geringere Abscheidetemperaturen beim Sputterprozess entstehen. Das Aufwachsen der Schichten erfolgte ohne zusätzlichen Temperatureintrag. Mit höherem Energieeintrag sowie mit höherer Substrattemperatur erhöht sich die Beweglichkeit der Atome, welche noch nicht verbunden sind. Somit steigt die Wahrscheinlichkeit, dass sich ein Atom auf der Oberfläche zu einem energetisch günstigeren Gitterplatz bewegt. Dichtere Schichten mit weniger Defekten und dadurch geringeren Widerstandswerten können aufwachsen [103]. Weitere Untersuchungen sind nicht Bestandteil dieser Arbeit.

5.3. Charakterisierung der MEMS-Schalter

In diesem Abschnitt werden die Ergebnisse der angefertigten MEMS-Schalter aufgeführt. Die Auswahl bezieht sich auf ausgesuchte, fehlerfreie Chips ohne erhöhte parasitäre Stromwerte. Die Charakterisierungen erfolgen, wenn nicht anders beschrieben, anhand der Varianten CT-1 bis CT-8. Die restlichen Messungen werden aufgrund des Umfangs nicht in dieser Arbeit dargestellt. Als Erstes werden die passive Krümmung der Biegebalken, die parasitären Ströme der Chips sowie die Pull-in-Spannungen der einzelnen Biegebalken untersucht. Anschließend wird auf die Messungen des Kon-

taktwiderstandes eingegangen. Die Diskussion folgt zu guter Letzt.

5.3.1. Passive Krümmung

Die passive Krümmung gibt die Vorverkrümmung des Biegebalkens ohne angelegte Steuerspannung an. Eine passive Krümmung liegt vor, wenn der Biegebalken entlang seiner Längsachse eine Auslenkung durch intrinsische Spannungen bzw. Verspannungen durch eine Beschichtung erfährt. Vermessen werden die Biegebalken mit einem optischen Scanning-Profilometer der Firma NanoFocus. Hierbei beleuchtet eine Lichtquelle das Messobjekt durch eine Lochblende hindurch. Ein konfokaler Punktsensor misst die erhöhte Lichtintensität des reflektierten Lichts, wenn sich das Messobjekt im Fokus befindet. Außerhalb des Fokus wird keine Intensität detektiert. Die Messung kann nur bei intransparenten⁴ Materialien angewendet werden. Messungen der Schalter-Typen BT-1 und BT-4 sind in der Abbildung 5.5 dargestellt. Abweichungen zur Ausgangslage liegen sowohl beim Balken BT-1 (siehe Abbildung 5.5a) als auch beim Balken-Typ BT-4 (siehe Abbildung 5.5b) unterhalb der Auflösungsgrenze des Scanning-Profilometers (± 100 nm). Der Vergleich findet zu den umliegenden Gebieten der gezeigten Biegebalken statt. Diese sind Teile des Device-Layers, an denen keine Ätzung durchgeführt wurde.

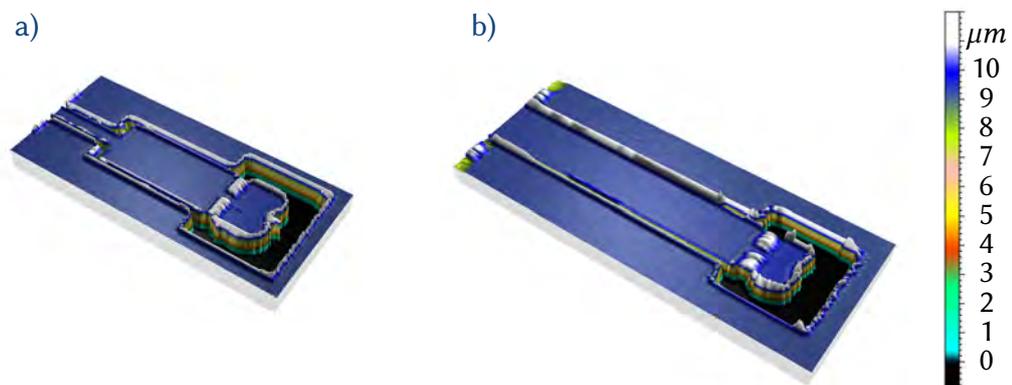


Abbildung 5.5: Untersuchung der passiven Krümmung der Balkenelemente (Eigenschaften siehe Tabelle 3.2): a) Balkentyp BT-1, b) Balkentyp BT-4.

⁴Optische Eigenschaft des Materials. Abhängig von der Frequenz der elektromagnetischen Welle (Wellenlänge des Lichts)

5.3.2. Elektrische Kapazität

Für weitere Validierungen wurde die Kapazität der Einzelschalter (CT-1 bis CT-4) sowie die der Arrays (CT-5 bis CT-8) mit einem Agilent 4284A Precision LCR Meter (Wechselspannungsbrücke) bestimmt. Um die Einflüsse der Zuleitungen zu reduzieren, kam eine Testhalterung für Bauteile mit axialen Anschlüssen (Shorting Plate Connection) zum Einsatz. Die Anschlüsse für Steuerelektrode und Biegebalken werden in die Testhalterung eingeklemmt und ein Wechselstrom wird angelegt. Dieser Wechselstrom fließt auch durch einen Blindwiderstand und erzeugt dort eine frequenzabhängige Wechselspannung. Die Größe und Phasenlage werden mit dem Originalsignal verglichen und daraus die Kapazität errechnet. Alle Messungen sind bei einer Frequenz von 1 kHz und bei einer Antriebsspannung von 1002 mV durchgeführt worden. Die gemessenen Chips wurden zuvor in C-Dips eingebettet und durch Drahtbonds mit dem Gehäuse verbunden. Eine Kapazität bei den Einzelschaltern von $(4,1 \pm 1,0)$ pF und bei den Arrays von (59 ± 4) pF konnte ermittelt werden. Theoretische Berechnungen, unter Berücksichtigung der Gleichung 2.12, ergeben für Einzelschalter eine Kapazität von 0,08 pF–0,15 pF und für Arrays 1,1 pF–3,8 pF. Zuleitungen, das C-Dip-Gehäuse und Randeffekte wurden für die Berechnung vernachlässigt.

5.3.3. Parasitäre Ströme

Der Strom I_{el} zwischen Steuerelektrode und Biegebalken ist bei elektrostatisch aktuierten MEMS-Schaltern in der Theorie gleich null ($I_{el} = 0$). In der Praxis treten dennoch parasitäre Ströme auf. Diese können entlang von Oberflächen, durch dielektrische Schichten sowie infolge des Tunnelstroms (bei hohen Feldstärken) entstehen. Bei Messungen an den Einzelschaltern können durch unterschiedliche Designs verschiedene Ströme gemessen werden, da Längen von Oberflächen und Abstände variieren. Bei einer Chiptemperatur von 25 °C und einer relativen Luftfeuchtigkeit der Umgebung von 40 % wird bei Einzelschaltern ein Strom von $(0,029 \pm 0,012)$ nA und bei Arrays von $(0,133 \pm 0,028)$ nA gemessen.

5.3.4. Pull-in-Spannung

Die gemessenen Pull-in-Spannungen sind in diesem Abschnitt aufgeführt. Bei der Messung liegt an den Lastelektroden eine definierte Spannung an. Die Steuerspan-

nung wird stufenweise erhöht (siehe Anhang B5), bis an den Lastelektroden ein Spannungseinbruch detektiert wird. Dieser Spannungseinbruch tritt bei einem Stromfluss und daher bei einem Kontakt auf.

Die durch Messungen ermittelten Pull-in-Spannungen der Einzelschalter sind in Abbildung 5.6 dargestellt. Der Elektrodenabstand beträgt bei diesen Bauteilen $(1,96 \pm 0,26) \mu\text{m}$. Dargestellt sind auch die analytisch berechneten Pull-in-Spannungen. Die mittlere Pull-in-Spannung liegt beim Einzelschalter BT-1 bei $(42,5 \pm 2,8) \mu\text{m}$ und damit $0,23 \text{ V}$ unter dem errechneten Wert. Die Einzelschalter BT-4 schalten bei einem mittleren Wert von $(39,8 \pm 3,5) \mu\text{m}$ das erste Mal. Errechnet wurden $38,25 \text{ V}$.

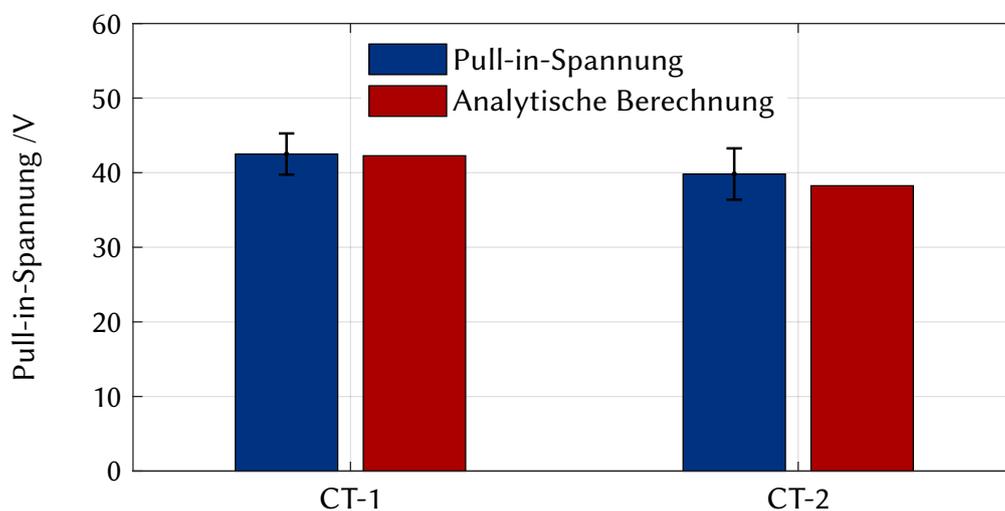


Abbildung 5.6: Pull-in-Spannung der Einzelschalter BT-1 und BT-4 bei einem Elektrodenabstand von $(1,96 \pm 0,26) \mu\text{m}$.

Messungen der Array-Verschaltungen sind in Abbildung 5.7 aufgeführt. Wie bei den Einzelschaltern ist auch hier der errechnete Wert im Diagramm eingetragen. Die mittlere Pull-in-Spannung der Array-Verschaltungen AT-1 liegt bei $(34,33 \pm 2,62) \text{ V}$ und der errechnete Wert bei $31,27 \text{ V}$. Die Typen AT-2 konnten eine mittlere Pull-in-Spannung von $(28,67 \pm 3,86) \text{ V}$ aufweisen, was um $0,09 \text{ V}$ über dem errechneten Wert liegt.

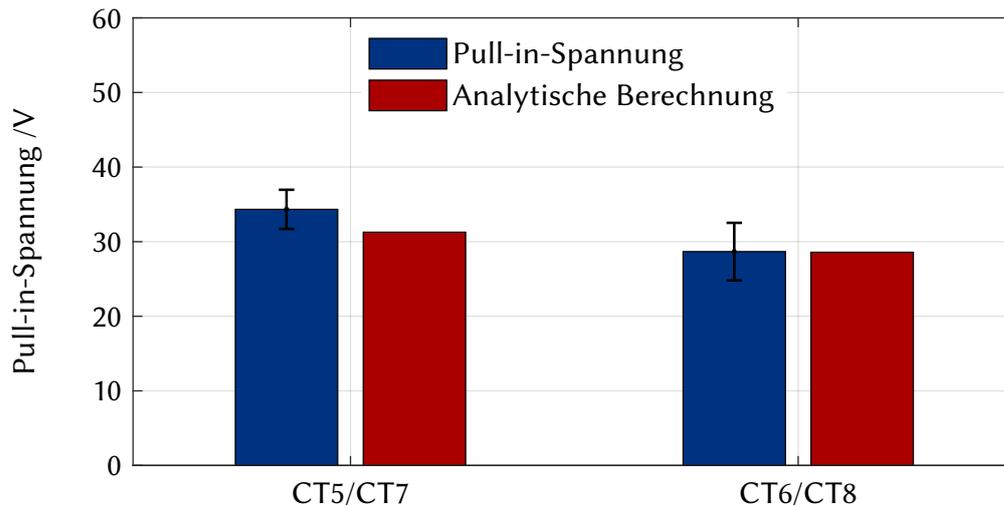


Abbildung 5.7: Pull-in-Spannung der Array-Verschaltungen AT-1 und AT-2 bei einem Elektrodenabstand von $(1,64 \pm 0,03) \mu\text{m}$.

5.3.5. Kontaktwiderstand

Wie bei der Messung der Pull-in-Spannung wird auch bei der Widerstandsmessung die Steuerspannung stufenweise erhöht. Die Erhöhung fand hier aber über die Pull-in-Spannung hinaus statt. Die Detektion des Gesamtwiderstandes erfolgte mit der Vier-Spitzen-Methode an den Lastkontakten.

Abbildung 5.8 zeigt eine Gegenüberstellung der Chip-Typen CT-1 bis CT-4. In die Analyse ging jeweils der niedrigste Widerstanswert der vermessenen Chips ein. Die Schaltspannung wurde bei jedem Chip von 0 V auf 80 V erhöht. Diese Einzelschalter sind in der Ausführung CT-1 und CT-2 mit Gold-Gold-Kontakten und in der Ausführung CT-3 bis CT-4 mit Gold-Ruthenium-Kontakten versehen (siehe auch Tabelle 4.3 in Kapitel 4). Die Mediane der Messreihen der Chips CT-1 und CT-2 liegen bei $14,27 \Omega$. Im Vergleich zu dem Chip CT-4 ($13,13 \Omega$) sind die Werte geringfügig höher. Mit $11,16 \Omega$ ist der Median der Widerstandswerte aus der Messreihe von Chip CT-3 am niedrigsten. Bei $62,77 \Omega$ liegt das 75-Perzentil und bei $78,00 \Omega$ der höchste Wert innerhalb des 1,5 Fachen Interquartilabstands (IQR) des Chips CT-4. Ausreißer sind bei CT-2, CT-3 und CT-4 zu erkennen. Die Zuleitungswiderstände der Einzelschalter wurden durch Messungen an modifizierten Strukturen im Maskendesign bestimmt. Für Einzelschalter ergeben sich Zuleitungswiderstände von $(2,98 \pm 0,02) \Omega$.

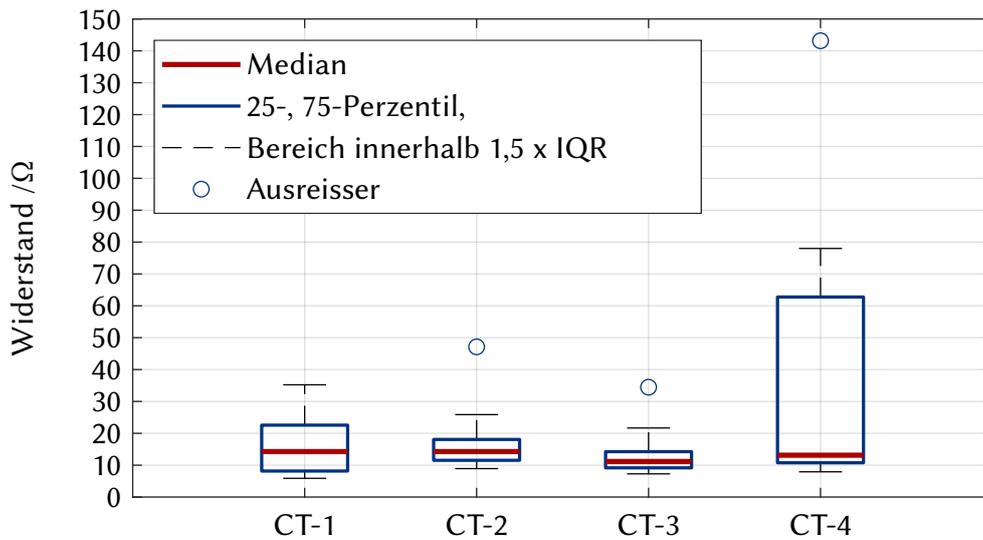


Abbildung 5.8: Widerstandsmessungen von Einzelschaltern an den Chip-Typen CT-1 bis CT-4.

In der Abbildung 5.9 sind vier Array-Verschaltungen mit den Chip-Typen CT-5 bis CT-8 dargestellt. Der CT-5 zeigt die geringsten Widerstandswerte sowie den kleinsten Median (15,25 Ω) der Messungen. Der Median der Messreihe CT-6 liegt bei 39,37 Ω und der von CT-7 bei 35,90 Ω. Beide Messreihen zeigen Ausreißer nach oben. Die Messreihe CT-8 spannt den größten Widerstandsbereich auf. Der Median der Messwerte CT-8 liegt bei 45,54 Ω. Wie auch bei den Einzelschaltern wurde der Zuleitungswiderstand durch Messungen bestimmt. Bei Array-Verschaltungen liegt der Zuleitungswiderstand bei $(6,04 \pm 0,06) \Omega$.

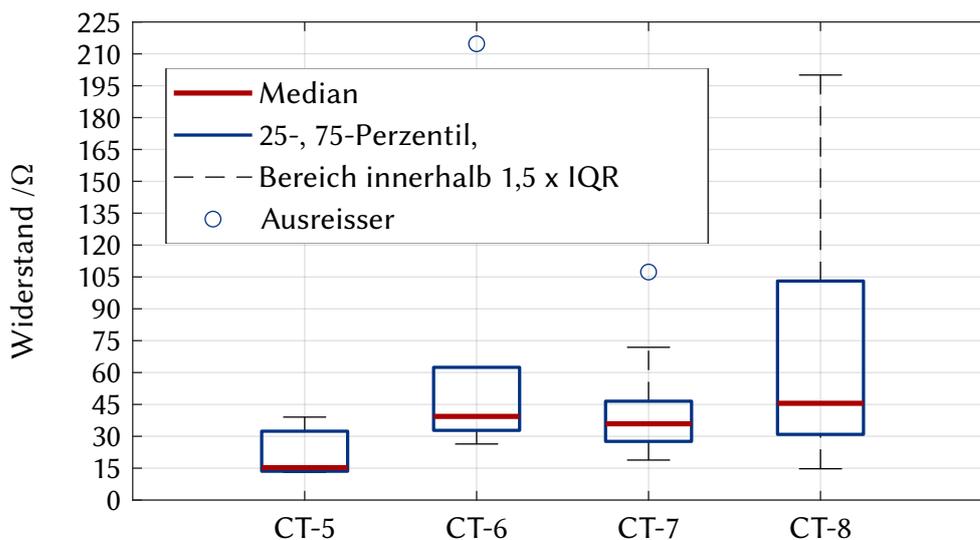


Abbildung 5.9: Widerstandsmessungen von Array-Verschaltungen der Chip-Typen CT-5 bis CT-8. Jeweils der geringste Messwert eines Chips, bei einer Steuerspannung von 1 V bis 80 V, ist in die Auswertung eingeflossen.

Zwei Messungen von Array-Verschaltungen sind in der Abbildung 5.10 gezeigt. Dargestellt ist der normierte Widerstand in Abhängigkeit von der normierten Schaltspannung. Vermessen wurden die Chip-Typen CT-5 und CT-7 mit den Biegebalken-Typen BT-4. Die Kontaktmaterialien sind beim Chip CT-5 Au/Au und Au/Ru beim Chip CT-7. Zu erkennen ist ein Sinken des Widerstandes R/R_0 von 100 % auf unter 73 % bei Erhöhung der Schaltspannung in der Messreihe CT-5. Der Widerstand steigt bei der Messreihe CT-7 nach $U/U_{Pull-in} = 100 %$ auf $R/R_0 = 116 %$ und sinkt anschließend auf $R/R_0 = 89 %$, bevor ein erneuter Anstieg bei $U/U_{Pull-in} = 119 %$ auf $R/R_0 = 150 %$ zu erkennen ist. Der Widerstandswert sinkt anschließend wieder auf $R/R_0 = 94 %$.

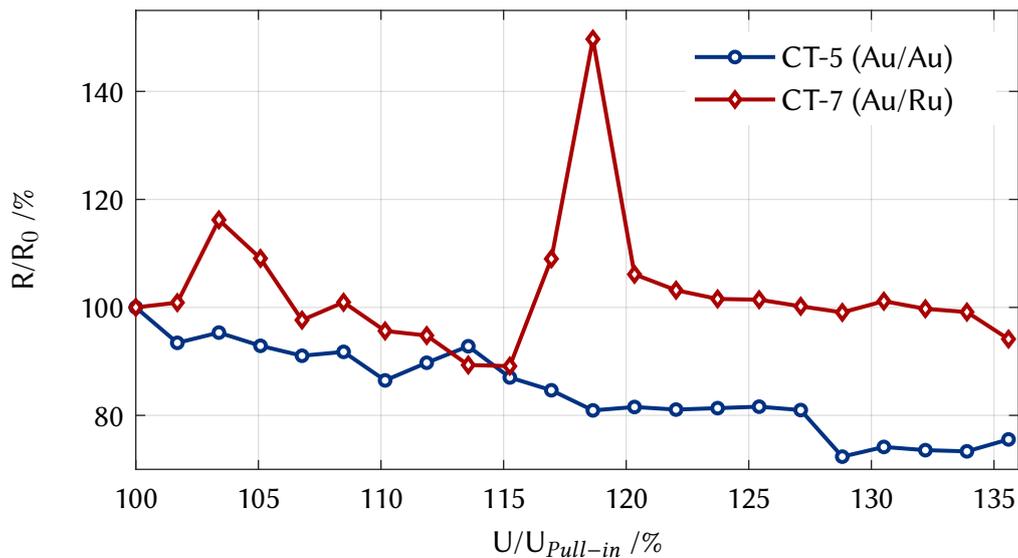


Abbildung 5.10: Widerstand von 6 x 3 Array-Verschaltungen mit den Kontaktmaterialien Au/Au (CT-5) und Au/Ru (CT-7) in Abhängigkeit von der Schaltspannung.

5.4. Diskussion

Die in der Abbildung 5.6 aufgeführten Pull-in-Spannungen der Einzelschalter zeigen eine gute Übereinstimmung zu den berechneten Werten. Kleinere Schwankungen könnten durch die Device-Layer-Toleranzen des verwendeten SOI-Wafers ($\pm 0,1 \mu\text{m}$) sowie durch die Toleranzen im Glas-Ätzprozess ($\pm 2\%$) entstehen. Die berechneten Pull-in-Spannungen werden jeweils mit den gemittelten Werten ermittelt. Die Abweichungen einzelner Chips des Designs CT5 und CT7 liegen bei verschiedenen Messungen im Bereich von $\pm 2,76 \text{ V}$ und bei den Schaltern CT6 und CT8 liegt die Abweichung bei $\pm 3,43 \text{ V}$. Die hier dargestellten Schwankungen zeigen die Unterschiede in der Pull-in-Spannung bei gleichen Schalterdesigns von verschiedenen Schaltern auf unterschiedlichen Positionen auf dem Wafer. Die Schwankungen zeigen somit die Homogenität der Schalter über den Wafer auf. Die Schwankungen wurden durch neun verteilte Messungen auf dem Wafer und nicht über Messung jedes einzelnen Chips abgebildet.

Gemessene und berechnete Pull-in-Spannungen der AT-2 Arrays in der Abbildung 5.7 zeigen eine gute Übereinstimmung. Die Chips mit dem Aufbau AT-1 haben leicht

erhöhte Werte gegenüber den Berechnungen. Ursache könnte die Einschnürung am proximalen Ende der Biegebalken sein, da Schwankungen beim Lithografieprozess höhere Auswirkungen auf das Schaltverhalten als bei den AT-2 Varianten haben.

Bei den Einzelschaltern in der Abbildung 5.8 liegen die Mediane der Widerstandswerte von CT-3 und CT4, die jeweils einen Gold-Ruthenium-Kontakt besitzen, unterhalb der Gold-Gold-Kontakte der Chip-Typen CT-1 und CT-2. Die wahrscheinliche Erklärung für dieses Phänomen ist die Materialkombination. Das weichere Gold wird verformt und passt sich an die Rauheit des härteren Rutheniums an. Die Vergrößerung der Oberfläche führt zu einem geringeren Widerstand. Die Streuung der Widerstandswerte ist sehr groß. So spannt der Chip-Typ CT-4 einen Bereich von $7,9 \Omega$ bis $143,2 \Omega$ auf. Da die hohe Homogenität des Herstellungsprozesses durch die Kontrollmessungen nachgewiesen werden konnte, ist eine prozessbedingte Geometrieschwankung als Begründung für die hohen Schwankungen der Widerstände eher unwahrscheinlich. Eine genauere Analyse von nachträglich geöffneten Chips zeigt Partikel auf der Kontaktfläche. In der Abbildung 5.11 ist eine Aufnahme einer Kontaktfläche mit einem Rasterelektronenmikroskop (REM) zu sehen. Ein Partikel im oberen, linken Bereich wurde detektiert und in der Vergrößerung markiert.

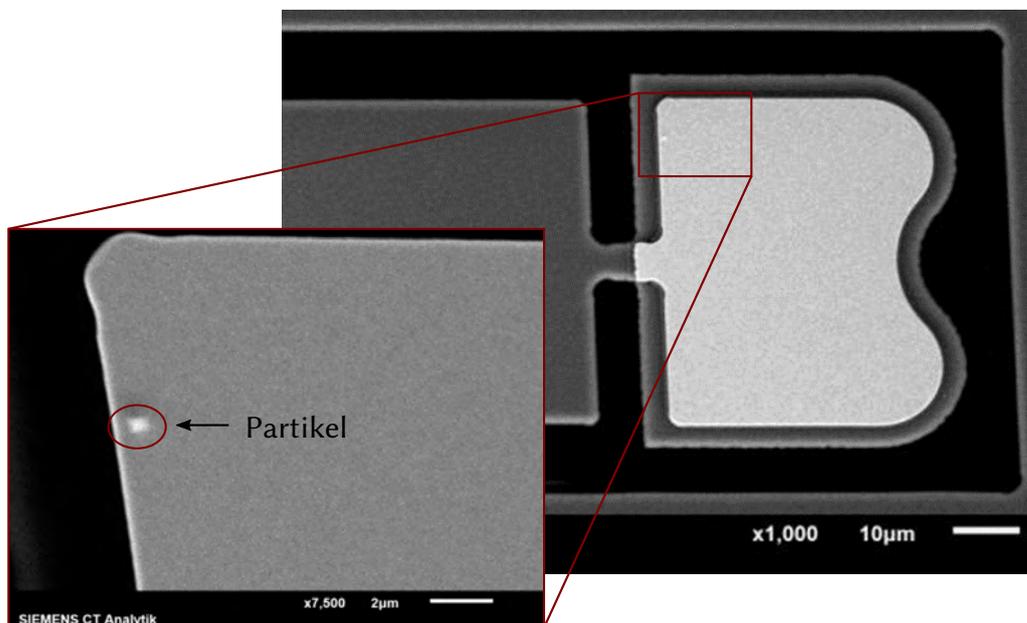


Abbildung 5.11: REM-Aufnahmen eines Biegebalkens und Detektion eines Partikels nach dem Öffnen des Chip-Typs BT-4.

Eine Analyse dieses Partikels mit der wellenlängendispersiven Röntgenspektroskopie (WDS)⁵ wurde durchgeführt. Die Abbildung 5.12 zeigt das WDS-Spektrum. Im Bereich von 0,86 keV ist eine Erhöhung der Counts, die Nickel (Ni) zugeordnet werden können, zu erkennen. In einigen Fällen liegen die Partikel in oxidierter Form (NiO) vor. Partikel dieser Art stammen von Prozessen mit verunreinigten Medien und können den Widerstand beim Kontakt erhöhen, was für die erhöhten Werte sprechen würde.

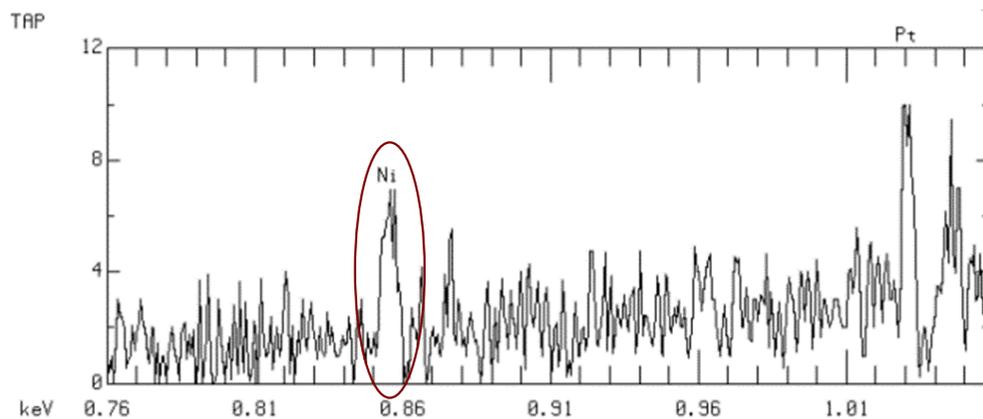


Abbildung 5.12: WDS-Analyse des detektierten Partikels aus Abbildung 5.11.

Die Widerstandswerte von Array-Verschaltungen in der Abbildung 5.9 streuen höher als die der Einzelschalter (siehe Abbildung 5.6). Aufgrund der Parallelschaltung der Biegebalken müssten niedrigere Widerstandswerte erreicht werden. Eine Hypothese für die erhöhten Werte sind auch die Nickel-Partikel. Ein Kontakt wird gemessen, sobald bei einem der sechs parallel geschalteten Reihenschaltungen ein Strom fließt. Aufgrund von Partikeln (Ni oder NiO) kann ein Kontakt verschlechtert oder unterbunden werden. Zum Beispiel kann ein Partikel als nicht gewollter Abstandshalter fungieren und den Kontakt verhindern oder als zusätzlicher Widerstand zu einer Erhöhung des Gesamtwiderstandes führen. Zusätzlich sind, wie in Abschnitt 5.3.5 angegeben, die Zuleitungswiderstände bei den Array-Verschaltungen ($(6,04 \pm 0,06) \Omega$) höher als bei den Einzelschaltern ($(2,98 \pm 0,02) \Omega$). Fallen einzelne Zweige der Parallelisierung aus, erhöht sich der Widerstand durch die Addition der Kontaktwiderstände der in Reihe geschalteten MEMS-Schaltern. Es kann angenommen werden,

⁵ Die wellenlängendispersive Röntgenspektroskopie ist eine Methode der Elektronenstrahlmikroanalyse. Dabei werden die durch Elektronenbeschuss emittierten charakteristischen Röntgenstrahlen eines Festkörpers qualitativ und quantitativ analysiert.

dass nur wenige Schalter in einem Array funktionieren.

Eine Erklärung für die Zunahme von R/R_0 der Messreihe CT-7 in der Abbildung 5.10 sind Verunreinigungen durch Partikel. Auch die Hypothese der Materialkombination findet hier Anwendung. Eine Erhöhung der Steuerspannung erfolgte bei den Messungen nicht stetig, sondern gepulst (siehe Anhang B5). Ein Partikel könnte sich hierbei während der Ein- oder Ausschaltphasen auf den Kontaktflächen bewegen und so zu Widerstandsänderungen führen.

Zusammenfassend lässt sich sagen, dass mit dem entwickelten Prozess MEMS-Schalter hergestellt werden können, die eine gewünschte Schaltcharakteristik besitzen. Diese können reduzierte Pull-in-Spannungen bei gleicher Größe oder auch schnellere oder langsamere Schaltzeiten aufweisen. Die Abweichungen der Schaltspannungen sind über den Wafer verteilt sehr gering, was dem homogenen Schalten im Chip zugutekommen müsste. Ausgehend von den Widerstandsmessungen ist die Reduzierung der Kontaktwiderstände enorm wichtig. Weitere aussagekräftige Ergebnisse können nur mit sauberen Oberflächen der Kontaktstellen entstehen. Für die Schaltung von höheren Lasten ist eine Reduzierung der Zuleitungswiderstände sowie der Kontaktwiderstände essenziell, da bei höheren Widerständen die Erwärmung des Chips stark in den Vordergrund rückt. Durch Weiterentwicklungen am Maskenlayout und der Prozesse können die Kontakt- und Zuleitungswiderstände reduziert werden, sodass das Schalten von höheren Strömen möglich wäre. Die Zuverlässigkeit der Schalter muss noch in Langzeitversuchen unter Beweis gestellt werden.

6. Zusammenfassung und Ausblick

Im Rahmen dieser Arbeit wurden MEMS-Schalter auf Siliziumbasis entwickelt, welche die reproduzierbare Herstellung von Array-Verschaltungen ermöglicht. Basierend auf einem Zwei-Wafer-Prozess konnten sowohl Einzelschalter als auch Array-Verschaltungen hergestellt und charakterisiert werden. Hierbei wurde ein Maskendesign, bei dem die entwickelten Teststrukturen mit eingeflossen sind, erstellt. Neben der Auswahl eines geeigneten Maskierungsmaterials kamen eigens entwickelte Prozesse wie das Glasätzen oder das Waferbonden für die Herstellung der Schalter zum Einsatz. Das unabhängige Design und Layout des Zwei-Wafer-Prozesses erlaubt eine Umkontaktierung zwischen den Ebenen. Erfolgreich konnte ein Prozessablauf für das Waferbonden entwickelt und in den Fertigungsablauf integriert werden. Eine Bestimmung der Schaltcharakteristik der MEMS-Schalter durch analytische Berechnung ist möglich. So kann die Pull-in-Spannung über das Design des Biegebalkens eingestellt werden. Es wurden zwei unterschiedliche Materialkombinationen für die Kontaktbereiche der MEMS-Schalter untersucht. Das Augenmerk dieser Arbeit lag auf der Entwicklung eines Fertigungsprozesses mit folgenden Hauptergebnissen:

- Es wurde ein Zwei-Wafer-Prozess mit drei Masken für den Glas-Wafer und vier Masken für den SOI-Wafer etabliert. Die beiden Substrate werden mit einem eutektischen Waferbond vereint, welcher für diese Arbeit entwickelt wurde.
- Für den Glasätzprozess konnte amorphes Silizium als geeignete Maskierung gefunden werden. Mit einem Fehler von $< 2\%$ über den Wafer verteilt, sind Ätzungen für $2\ \mu\text{m}$ Kavitäten realisierbar.
- Durch Reduzierung der Balkensteifigkeit am proximalen Ende ist es möglich, einen $200\ \mu\text{m}$ langen Biegebalken mit vergleichbaren Schaltcharakteristiken zu einem $300\ \mu\text{m}$ langen Biegebalken herzustellen, was eine deutliche Reduzierung der benötigten Fläche und dadurch eine Kostenersparnis des Bauteils auf dem Wafer bewirkt.

- Die Kapazität der hergestellten Einzelschalter liegt zwischen 3,1 und 5,1 pF und die der Array-Verschaltungen bei 55 pF bis 63 pF.
- Gemessene parasitäre Ströme von Einzelschaltern liegen bei $(0,029 \pm 0,012)$ nA und bei Array-Verschaltungen bei $(0,133 \pm 0,028)$ nA.
- Bei Erhöhung der Steuerspannung über den Pull-in hinaus konnte beim Kontaktmaterial Gold-Gold und mit Einschränkungen bei Gold-Ruthenium eine Abnahme des Kontaktwiderstandes festgestellt werden.
- Kontaktwiderstände der MEMS-Schalter streuen sowohl bei der Materialkombination Gold-Gold als auch bei Gold-Ruthenium. Bei den Einzelschaltern konnte bei den Kontaktmaterialien Gold-Ruthenium ein kleinerer Widerstand nachgewiesen werden.
- Ein Prozessablauf wurde entwickelt, der für Einzelschalter sowohl für Array-Verschaltungen angewendet werden kann.

Zusammengefasst zeigt sich, dass die berechnete Schaltcharakteristik für Einzelschalter auch für Array-Verschaltungen eingesetzt werden kann. Der vorgestellte Prozessablauf ermöglicht es, reproduzierbare MEMS-Schalter für Array-Anwendungen herzustellen.

Weitere Arbeiten, die auf den gezeigten Ergebnissen aufbauen, sind sinnvoll, um die Kontaktbedingungen und die resultierenden Kontaktwiderstände zu optimieren. Ebenso müssen die Lebensdauer der MEMS-Schalter untersucht und Leistungstests (Power-Handling) durchgeführt werden. In den Prozessablauf müssen weitere Analyseverfahren, wie z. B. die energiedispersive Röntgenspektroskopie (EDS), eingeführt werden, um Verunreinigungen frühzeitig zu erkennen. Darüber hinaus sollte die MEMS-Schalter unter Schutzgas oder Vakuum untersucht und deren Einfluss auf den Schaltvorgang näher betrachtet werden. Weiterentwicklungen sollten Richtung hermetisch dichte Packages getrieben werden, was Störeinflüsse der Umgebung deutlich reduzieren könnte.

Literaturverzeichnis

- [1] K. E. Petersen. “Micromechanical Membrane Switches on Silicon”. In: *IBM Journal of Research and Development* 23.4 (1979), S. 376–385.
- [2] M. Tilli. *Handbook of silicon based MEMS materials and technologies*. 2. ed. Micro & nano technologies series. Amsterdam: Elsevier, William Andrew, 2015.
- [3] H. Seidel, U. Fritsch, R. Gottinger, J. Schalk, J. Walter und K. Ambaum. “A Piezoresistive Silicon Accelerometer With Monolithically Integrated CMOS-circuitry”. In: *Proceedings of the International Solid-State Sensors and Actuators Conference - TRANSDUCERS '95*. IEEE, 1995, S. 597–600.
- [4] J. W. Weigold, T. J. Brosnihan, J. Bergeron und X. Zhang. “A MEMS Condenser Microphone for Consumer Applications”. In: *IEEE 19th Annual International Conference on Micro Electro Mechanical Systems (MEMS)*. Piscataway, NJ: IEEE Operations Center, 2006, S. 86–89.
- [5] K. Isagawa, D. F. Wang, T. Kobayashi, T. Itoh und R. Maeda. “Developing MEMS DC electric current sensor for end-use monitoring of DC power supply”. In: *2011 Symposium on Design, Test, Integration Packaging of MEMS/MOEMS (DTIP)*. 2011, S. 231–236.
- [6] C. W. Hall. *Laws and models: Science, engineering, and technology*. Boca Raton, FL: CRC Press, 2018.
- [7] G. M. Rebeiz, C. D. Patel, S. K. Han, C.-H. Ko und K. Ho. “The Search for a Reliable MEMS Switch”. In: *IEEE Microwave Magazine* 14.1 (2013), S. 57–67.
- [8] S. Michaelis. “Entwicklung von mikromechanischen Schaltern für neuartige MEMS-Produkte unter Aspekten industrieller Fertigungsprozess”. Dissertation. Bremen: Universität Bremen, 2001.
- [9] J. J. Yao. “RF MEMS from a device perspective”. In: *Journal of Micromechanics and Microengineering* 10.4 (2000), S. 9–38.
- [10] L. E. Larson, R. H. Hackett, M. A. Melendes und R. F. Lohr. “Micromachined microwave actuator (MIMAC) technology-a new tuning approach for microwave integrated circuits”. In: *IEEE 1991 Microwave and Millimeter-Wave Monolithic Circuits Symposium* (1991), S. 27–30.

- [11] M. P. J. Tiggelman, K. Reimann, F. van Rijs, J. Schmitz und R. J. E. Hueting. “On the Trade-Off Between Quality Factor and Tuning Ratio in Tunable High-Frequency Capacitors”. In: *IEEE Transactions on Electron Devices* 56.9 (2009), S. 2128–2136.
- [12] S. Klein, S. Thilmont, V. Ziegler, U. Prechtel, U. Schmid und H. Seidel. “High temperature stable RF MEMS switch based on tungsten-titanium”. In: *TRANSDUCERS 2009 - 2009 International Solid-State Sensors, Actuators and Microsystems Conference*. IEEE, 2009, S. 1409–1412.
- [13] M. Staab. “Elektrothermisch aktuiertes magnetostatisch bistabiles Mikrorelais für Schaltmatrizen”. Dissertation. Technische Universität Darmstadt, 2013.
- [14] G. M. Rebeiz. *RF MEMS: Theory, design, and technology*. Hoboken, NJ: Wiley-Interscience, 2004.
- [15] R. Goggin, P. Fitzgerald, J.-e. Wong, B. Hecht und M. Schirmer. “Fully integrated, high yielding, high reliability DC contact MEMS switch technology & control IC in standard plastic packages”. In: *2011 IEEE SENSORS Proceedings*. IEEE, 2011, S. 958–961.
- [16] C. Keimel, G. Claydon, B. Li, J. N. Park und M. E. Valdes. “Microelectromechanical-Systems-Based Switches for Power Applications”. In: *IEEE Transactions on Industry Applications* 48.4 (2012), S. 1163–1169.
- [17] J.-e. Wong, J. H. Lang und M. A. Schmidt. “An electrostatically-actuated MEMS switch for power applications”. In: *IEEE Micro Electro Mechanical Systems*. Piscataway: IEEE, 2000, S. 633–638.
- [18] Y.-H. Yoon, Y.-H. Song, S.-D. Ko, C.-H. Han, G.-S. Yun, M.-H. Seo und J.-B. Yoon. “A Highly Reliable MEMS Relay With Two-Step Spring System and Heat Sink Insulator for High-Power Switching Applications”. In: *Journal of Microelectromechanical Systems* 25.1 (2016), S. 217–226.
- [19] J. H. Fabian, K. Niayesh, S. Kotilainen, E. Wapelhorst, L. Niemeyer und R. Strumpler. “Matrix combination of MEMS relays”. In: *International Conference on Micro Electro Mechanical Systems. Maastricht MEMS 2004 Technical Digest* (2004), S. 861–864.

- [20] M. Sakata, Y. Komura, T. Seki, K. Kobayashi, K. Sano und S. Horiike. "Micro-machined relay which utilizes single crystal silicon electrostatic actuator". In: *MEMS '99*. Piscataway, NJ: IEEE, 1999, S. 21–24.
- [21] J. Maciel, S. Majumder, J. Lampen und C. Guthy. "Rugged and reliable ohmic MEMS switches". In: *IEEE/MTT-S International Microwave Symposium digest (MTT), 2012*. Piscataway, NJ: IEEE, 2012, S. 1–3.
- [22] Y. Zhang, W. Liu, L. Kou, Y.-F. Liu und C. Keimel. "Design of a high power MEMS relay with zero voltage switching and isolated power and signal transfer". In: *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*. IEEE, 2018, S. 1974–1980.
- [23] J.-B. Yoon u. a. "Efforts toward ideal microelectromechanical switches: The 19th International Conference on Solid-State Sensors, Actuators and Microsystems : June 18-22, 2017, Kaohsiung, Taiwan". In: Piscataway, NJ: IEEE, 2017.
- [24] S. Fricke, A. Friedberger, H. Seidel und U. Schmid. "A robust pressure sensor for harsh environmental applications". In: *Sensors and Actuators A: Physical* 184 (2012), S. 16–21.
- [25] C. M. Jha u. a. "Cmos-Compatible Dual-Resonator MEMS Temperature Sensor with Milli-Degree Accuracy". In: *TRANSDUCERS 2007 International Solid-State Sensors, Actuators and Microsystems Conference*. Piscataway, NJ: IEEE Service Center, 2007.
- [26] M. Agah, G. R. Lambertus, R. Sacks und K. Wise. "High-Speed MEMS-Based Gas Chromatography". In: *Journal of Microelectromechanical Systems* 15.5 (2006), S. 1371–1378.
- [27] F. Ceyssens, S. Sadeghpour, H. Fujita und R. Puers. "Actuators: Accomplishments, opportunities and challenges". In: *Sensors and Actuators A: Physical* 295 (2019), S. 604–611.
- [28] R. Femi, S. Clement, A. Agrawal und A. A. Prince. "Investigation of Microelectromechanical Switches for Next Generation DC Power Distribution System". In: *International Journal of Emerging Electric Power Systems* 15.6 (2014).
- [29] H.-C. Lee, J.-Y. Park und J.-U. Bu. "Piezoelectrically actuated RF MEMS DC contact switches with low voltage operation". In: *IEEE Microwave and Wireless Components Letters* 15.4 (2005), S. 202–204.

- [30] C. Keimel, M. Aimi, S. Bansal und R. Corderman. “Switch structure and method”. Patentschrift EP 2315221 A1. 2011.
- [31] B. Li, C. Keimel, G. Claydon, J. Park, A. D. Corwin und M. Aimi. “Power switch system based on Microelectromechanical switch”. In: *2011 16th International Solid-State Sensors, Actuators and Microsystems Conference*. 2011, S. 675–678.
- [32] H.-S. Lee, C. H. Leung, J. Shi, S.-C. Chang, S. Lorincz und L. Nedelescu. “Integrated microrelays: concept and initial results”. In: *Journal of Microelectromechanical Systems* 11.2 (2002), S. 147–153.
- [33] J. Rösler und M. Bäker. *Mechanisches Verhalten der Werkstoffe*. 3., durchges. und korr. Aufl. Studium. Wiesbaden: Vieweg + Teubner, 2008.
- [34] B. Ma, Z. You, Y. Ruan, S. Chang und G. Zhang. “Electrostatically actuated MEMS relay arrays for high-power applications”. In: *Microsystem Technologies* 22.4 (2016), S. 911–920.
- [35] G. T. A. Kovacs. *Micromachined transducers sourcebook*. Boston, Ma.: WCB/McGraw-Hill, 1998.
- [36] W. Demtröder. *Experimentalphysik 2*. Berlin, Heidelberg: Springer Berlin Heidelberg, 2017.
- [37] Ernst-Wilhelm Otten. *Repetitorium Experimentalphysik*. Berlin, Heidelberg: Springer Berlin Heidelberg, 2009.
- [38] B. Kaiser. “Simulation und Charakterisierung eines neuartigen mikromechanischen elektrostatischen Aktors”. Dissertation. BTU Cottbus - Senftenberg, 2016.
- [39] C. Hatzfeld und T. A. Kern. *Engineering haptic devices: A beginner’s guide*. 2nd ed. Springer series on touch and haptic systems. London: Springer, 2014.
- [40] K. Knothe und H. Wessels. “Das Prinzip der virtuellen Verrückungen und das Prinzip vom Minimum der potentiellen Energie”. In: *Finite Elemente*. Hrsg. von K. Knothe und H. Wessels. Lehrbuch. Berlin: Springer Vieweg, 2017.
- [41] J. G. Korvink und O. Paul, Hrsg. *MEMS: A Practical Guide to Design, Analysis, and Applications*. Berlin, Heidelberg: Springer Berlin Heidelberg, 2006.
- [42] M. Shimbo, K. Furukawa, K. Fukuda und K. Tanzawa. “Silicon-to-silicon direct bonding method”. In: *Journal of Applied Physics* 60.8 (1986), S. 2987–2989.

- [43] H. A. Rump. *Untersuchung und Beschreibung physikalischer Mechanismen von Adhäsion in mikromechanischen Inertialsensoren: Zugl.: Halle, Univ., Diss., 2001.* Osnabrück: Der Andere Verl., 2001.
- [44] C. H. Mastrangelo. "Suppression of Stiction in MEMS". In: *MRS Proceedings* 605 (1999), S. 105.
- [45] N. Tas, T. Sonnenberg, H. Jansen, R. Legtenberg und M. Elwenspoek. "Stiction in surface micromachining". In: *Journal of Micromechanics and Microengineering* 6.4 (1996), S. 385–397.
- [46] J. N. Israelachvili. *Intermolecular and surface forces*. 3rd ed. Burlington MA: Academic Press, 2011.
- [47] S. Yamada. "Molecular Interactions (Molecular and Surface Forces)". In: *Encyclopedia of Polymeric Nanomaterials*. Hrsg. von S. Kobayashi und K. Müllen. Berlin, Heidelberg: Springer Berlin Heidelberg, 2014, S. 1–7.
- [48] H. Sandmaier. *Skalierung der physikalischen Gesetze und mathematischen Modellierung: Mit Anwendungen aus der Mechanik, Thermodynamik, Hydrodynamik und Elektrodynamik*. 1st ed. 2019. Berlin, Heidelberg: Springer Berlin Heidelberg, 2019.
- [49] J.-P. Colinge. *Silicon-on-Insulator Technology: Materials to VLSI*. 3rd Edition. Boston, MA: Springer US, 2004.
- [50] U. Hilleringmann. *Mikrosystemtechnik: Prozessschritte, Technologien, Anwendungen*. Wiesbaden: B.G. Teubner Verlag / GWV Fachverlage GmbH Wiesbaden, 2006.
- [51] S. Globisch, Hrsg. *Lehrbuch Mikrotechnologie für Ausbildung, Studium und Weiterbildung*. München: Fachbuchverl. Leipzig im Carl-Hanser-Verl., 2011.
- [52] C. Koch und T. J. Rinke. *Fotolithografie: Grundlagen der Mikrostrukturierung*. 1. Auflage 2017. Ulm: MicroChemicals, 2017.
- [53] Laermer, Franz und Schilp, Andrea. "Verfahren zum anisotropen Ätzen von Silicium". Patentschrift DE4241045C1. 1992.
- [54] F. Chollet und H. Liu. *A (not so) short introduction to MEMS*. 2018.
- [55] S. Büttgenbach. *Mikrosystemtechnik: Vom Transistor zum Biochip*. Technik im Fokus. Berlin und Heidelberg: Springer, 2016.

- [56] K. S. Collins. “Plasma reactor using UHF/VHF and RF triode source, and process”. Patentschrift 5707486. 1998.
- [57] T. Matsui und M. Kondo. “Advanced materials processing for high-efficiency thin-film silicon solar cells”. In: *Solar Energy Materials and Solar Cells* 119 (2013), S. 156–162.
- [58] F. E. Rasmussen, B. Geilman, M. Heschel, O. Hansen und A. M. Jorgensen. “Development and characterization of KOH resistant PECVD silicon nitride for microsystem applications”. In: *Electrochem. Soc. Proc.* 1 (2003), S. 218–229.
- [59] A. Bagolini, A. S. Savoia, A. Picciotto, M. Boscardin, P. Bellutti, N. Lamberti und G. Caliano. “PECVD low stress silicon nitride analysis and optimization for the fabrication of CMUT devices”. In: *Journal of Micromechanics and Microengineering* 25 (2015).
- [60] K. Seshan. *Handbook of Thin Film Deposition*. 3rd revised edition. Norwich: Elsevier Science und William Andrew Publishing, 2012.
- [61] O. Instruments. *Prozess Manual: PECVD Overview from Oxford Instruments*. https://nanolab.berkeley.edu/process_manual/chap6/6.20PECVD.pdf. Zuletzt geprüft am 29.11.2019. 2003.
- [62] Crystec. *Crystec Technology Trading GmbH. Abscheidung von Siliciumnitrid-Schichten*. <https://www.crystec.com/kllnitrd.htm>. Zuletzt geprüft am 05.12.2019.
- [63] B. Bhushan, Hrsg. *Springer Handbook of Nanotechnology*. 4th Edition. Springer Handbooks. Berlin, Heidelberg: Springer Berlin Heidelberg, 2017.
- [64] M. Hansen und K. Anderko. *Constitution of binary alloys*. Metallurgy and metallurgical engineering series. McGraw-Hill, 1965.
- [65] H. Okamoto und T. B. Massalski. “The Au–Si (Gold-Silicon) system”. In: *Bulletin of Alloy Phase Diagrams* 4.2 (1983), S. 190–198.
- [66] S. Lani, A. Bosseboeuf, B. Belier, C. Clerc, C. Gousset und J. Aubert. “Gold metallizations for eutectic bonding of silicon wafers”. In: *Microsystem Technologies* 12.10 (2006), S. 1021–1025.

- [67] R. F. Wolffenbuttel. “Low-temperature intermediate Au-Si wafer bonding; eutectic or silicide bond”. In: *Sensors and Actuators A: Physical* 62.1 (1997), S. 680–686.
- [68] M. Morita, T. Ohmi, E. Hasegawa, M. Kawakami und M. Ohwada. “Growth of native oxide on a silicon surface”. In: *IEEE Transactions on Semiconductor Manufacturing* 68.3 (1990), S. 1272–1281.
- [69] P. A. Flinn. “Principles and Applications of Wafer Curvature Techniques for Stress Measurements in Thin Films”. In: *MRS Proceedings* 130 (1988), S. 41.
- [70] M. R. Ardigo, M. Ahmed und A. Besnard. *Stoney Formula: Investigation of Curvature Measurements by Optical Profilometer*. Bd. Volume 996. Advanced Materials Research. Pfaffikon, Switzerland: Trans Tech Publications und TTP, 2014.
- [71] G. G. Stoney. “The Tension of Metallic Films Deposited by Electrolysis”. In: *Proceedings of the Royal Society A: Mathematical, Physical and Engineering Sciences* 82.553 (1909), S. 172–175.
- [72] T. Mühl. *Einführung in die elektrische Messtechnik: Grundlagen, Messverfahren, Anwendungen*. 4, illustriert. Wiesbaden: Springer Fachmedien, 2014.
- [73] Keysight Technologies. “Sheet Resistance/Resistivity Measurement Using a Source/Measurement Unit (SMU): Application Note”. In: *Precision Current-Voltage Analyzer Series* (2017). <https://literature.cdn.keysight.com/litweb/pdf/5992-1329EN.pdf?id=2693341>. Zuletzt geprüft am 15.11.2019.
- [74] L. J. van der PAUW. “A METHOD OF MEASURING SPECIFIC RESISTIVITY AND HALL EFFECT OF DISCS OF ARBITRARY SHAPE”. In: *Semiconductor Devices: Pioneering Papers*. 1991, S. 174–182.
- [75] E. Gieva, G. Nikolov und B. Nikolova. “Sheet Resistance Measurement of Inkjet Printed Layers”. In: *2019 42nd International Spring Seminar on Electronics Technology (ISSE)*. 2019, S. 1–6.
- [76] Keithley. “Performing van der Pauw Sheet Resistance Measurements Using the Keithley S530 Parametric Tester: Application Note Series Number 3180”. In: (2012). <http://download.tek.com/document/S530-VanDerPauwSheetRstnce.pdf> Zuletzt geprüft am 15.11.2019.

- [77] W. M. Loh, S. E. Swirhun, T. A. Schreyer, R. M. Swanson und K. C. Saraswat. "Modeling and measurement of contact resistances". In: *IEEE Transactions on Electron Devices* 34.3 (1987), S. 512–524.
- [78] S. J. Proctor und L. W. Linholm. "A direct measurement of interfacial contact resistance". In: *IEEE Electron Device Letters* 3.10 (1982), S. 294–296.
- [79] N. Stavitski, M. van Dal, J. H. Klootwijk, R. Wolters, A. Kovalgin und J. Schmitz. "Cross-Bridge Kelvin Resistor (CBKR) structures for silicide-semiconductor junctions characterization". In: *Journal of Fluid Mechanics - J FLUID MECH* (2006).
- [80] N. Stavitski, J. H. Klootwijk, H. W. van Zeijl, A. Y. Kovalgin und R. A. M. Wolters. "Cross-Bridge Kelvin Resistor Structures for Reliable Measurement of Low Contact Resistances and Contact Interface Characterization". In: *IEEE Transactions on Semiconductor Manufacturing* 22.1 (2009), S. 146–152.
- [81] J. E. Sader, I. Larson, P. Mulvaney und L. R. White. "Method for the calibration of atomic force microscope cantilevers". In: *Review of Scientific Instruments* 66.7 (1995), S. 3789–3798.
- [82] F. Robert, A. Prince, A. Agrawal und S. Clement. "Modeling and Analysis of Scalable Arcless Micromechanical Switch for Battery Powered Electrical System". In: *Micro and Nanosystems* 10.1 (2018), S. 23–34.
- [83] Han-Sheng Lee, C. H. Leung, J. Shi, Shih-Chia Chang, S. Lorincz und L. Nedelcu. "Integrated microrelays: concept and initial results". In: *Journal of Microelectromechanical Systems* 11.2 (2002), S. 147–153.
- [84] M. H. Ziko und A. Koel. "Optimum Electromagnetic Modelling of RF MEMS Switches". In: *Elektronika ir Elektrotechnika* 24.5 (2018).
- [85] S. C. Saha, U. Hanke, G. U. Jensen und T. Saether, Hrsg. *Modeling of Spring Constant and Pull-down Voltage of Non uniform RF MEMS Cantilever: 2006 IEEE International Behavioral Modeling and Simulation Workshop*. 2006.
- [86] M. Schwarz, F. Lambrecht, A. Bauer und H. Seidel. "Design of a MEMS relay based on SOI fabrication technology". In: *Journal of Physics: Conference Series* 1407 (2019).

- [87] J. M. Gere und B. J. Goodno. *Mechanics of materials*. Brief ed., SI ed. Stamford, Conn.: Cengage Learning, 2012.
- [88] C. Spura. *Technische Mechanik 2. Elastostatik*. Wiesbaden: Springer Fachmedien Wiesbaden, 2019.
- [89] K. Hiltmann. “Tastschalter in BulkMikromechanik”. Dissertation. Universität Stuttgart, 2008.
- [90] M.-A. Nicolet. “Diffusion barriers in thin films”. In: *Thin Solid Films* 52.3 (1978), S. 415–443.
- [91] H. Lu, M. R. Wang, J. Wang und M. Shen. “Tear film measurement by optical reflectometry technique”. In: *Journal of biomedical optics* 19.2 (2014).
- [92] D. Poelman und P. F. Smet. “Methods for the determination of the optical constants of thin films from single transmission measurements: a critical review”. In: *Thin Solid Films* 36.15 (2003), S. 1850–1857.
- [93] U. Hilleringmann. *Silizium-Halbleitertechnologie*. Wiesbaden: Springer Fachmedien Wiesbaden, 2014.
- [94] B. E. Deal und M. Sklar. “Thermal Oxidation of Heavily Doped Silicon”. In: *Journal of The Electrochemical Society* 112.4 (1965), S. 430.
- [95] G. A. C. M. Spierings. “Wet chemical etching of silicate glasses in hydrofluoric acid based solutions”. In: *Journal of Materials Science* 28.23 (1993), S. 6261–6273.
- [96] M. Stjernström und J. Roeraade. “Method for fabrication of microfluidic systems in glass”. In: *Journal of Materials Science* 8.1 (1998), S. 33–38.
- [97] D. C. S. Bien, P. V. Rainey, S. J. N. Mitchell und H. S. Gamble. “Characterization of masking materials for deep glass micromachining”. In: *Journal of Micromechanics and Microengineering* 13.4 (2003), S. 34–40.
- [98] J. C. Wolf und L. Lange. *Glass materials research progress*. Accidental scientific discoveries that changed the world. New York, NY: Nova Science Publishers, 2008.
- [99] Ö. Vallin, K. Jonsson und U. Lindberg. “Adhesion quantification methods for wafer bonding”. In: *Materials Science and Engineering: R: Reports* 50.4-5 (2005), S. 109–165.

- [100] R. Holm. *Electric Contacts: Theory and Application*. Berlin, Heidelberg: Springer Berlin Heidelberg, 1967.
- [101] W. Jöhler. “Precious metal-reduced contact materials in telecom- and signal relays”. In: *Electrical Contacts–2001*. Piscataway, N.J: IEEE, 2001, S. 104–116.
- [102] D. Li, Z. Shang, Y. She und Z. Wen. “Investigation of Au/Si Eutectic Wafer Bonding for MEMS Accelerometers”. In: *Micromachines* 8.5 (2017), S. 158.
- [103] B. Heimke. *RF überlagertes DC-Sputtern von transparenten leitfähigen Oxiden: Techn. Univ. Chemnitz, Techn. Univ., Diss., 2013*. Chemnitz: Universitätsverl., 2013.

Danksagung

An dieser Stelle möchte ich mich bei all denjenigen bedanken, die mich bei der Anfertigung meiner Dissertation tatkräftig unterstützt und motiviert haben.

Danken möchte ich an erster Stelle meinem Doktorvater Herrn Prof. Dr. rer. nat. Helmut Seidel. Durch seine wissenschaftlichen Anregungen und seine freundliche Unterstützung hat er maßgeblich zum Erfolg dieser Arbeit beigetragen.

Bei Frau Prof. Dr. rer. nat. habil. Gabriele Schrag möchte ich mich für die Bereitschaft der Übernahme des Zweitgutachtens bedanken.

Danke an Herrn Dr. Sebastian Kisban, Frau Dr. Franziska Lambrecht und Herrn Oliver Raab für die ausgiebige Betreuung. Durch Anregungen und konstruktive Kritik auf der Suche nach Lösungswegen haben sie mir sehr geholfen.

Bedanken möchte ich mich bei Herrn Dr. Stefan Stegmeier, für seine stets kritische Hinterfragung sowie die konstruktiven Kritiken zu meiner Arbeit. Vielen Dank für die investierte Zeit und Mühe.

Ebenfalls gilt der Dank meinem Vorgesetzten Herrn Jörg Zapf und allen Mitarbeitern der Abteilung, welche mir bei Fragen und Problemstellungen stets hilfsbereit zur Seite standen und mich unterstützten. Besonderen Dank gebührt Herrn Oliver Freudenberg, der mich jederzeit fachlich begleitet und durch seine Anregungen zum Gelingen dieser Arbeit maßgeblich beigetragen hat. Recht herzlich bedanken möchte ich mich auch bei Herrn Christian Baar, Herrn Eric Patz, Herrn Jakob Koppold und Herrn Manfred Schreiner, die durch Ihre große Hilfsbereitschaft und langjährigen Erfahrungen eine sehr große Hilfe für mich waren.

Ganz besonders bedanke ich mich bei meiner Familie, die mich immer unterstützt und ermutigt hat. Nicht zuletzt Danke ich meiner Freundin, die mich in meiner Arbeit stets bestärkt und motiviert hat.

Anhang

A. Prozessentwicklung eutektischer Waferbond

A.1. Versuchsplan Prozessentwicklung eutektischer Waferbond

Tabelle A1: Versuchsplan für Prozessentwicklung eines eutektischen Waferbonds.

			-	+
Temperatur	/°C	A	370	410
Druck(Kraft)	/mBar	B	4000	9000
Zeit	/min	C	5	35

		Faktor		
		A	B	C
Versuch	1	-	-	-
	2	+	-	-
	3	-	+	-
	4	+	+	-
	5	-	-	+
	6	+	-	+
	7	-	+	+
	8	+	+	+

A.2. Bondprogramm für eutektischen Waferbond

Schritt	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Temp. oben /°C	100	100	100	100	100	100	100	100	100	350	390	390	250	150	150	150
Temp. unten /°C	100	100	100	100	100	100	100	100	100	350	390	390	250	150	150	150
Kammerdruck /mBar	1,0E+3	5,0E-2	5,0E-3	5,0E-3	5,0E-3	5,0E-3	5,0E-3	5,0E-3	5,0E-3	5,0E-3	5,0E-3	5,0E-3	1,0E+3	1,0E+3	1,0E+3	1,0E+3
Tool-druck /mBar	0	0	0	0	0	0	0	0	9000	9000	7550	7550	7550	7550	0	0
Aktion					Kontakt Stempel		Klemme auf	Tool unten								

Abbildung A1: Au-Si eutektischer Waferbond - Bondprogramm 150 mm Wafer.

B. Messplatine für Einzelchipmessung

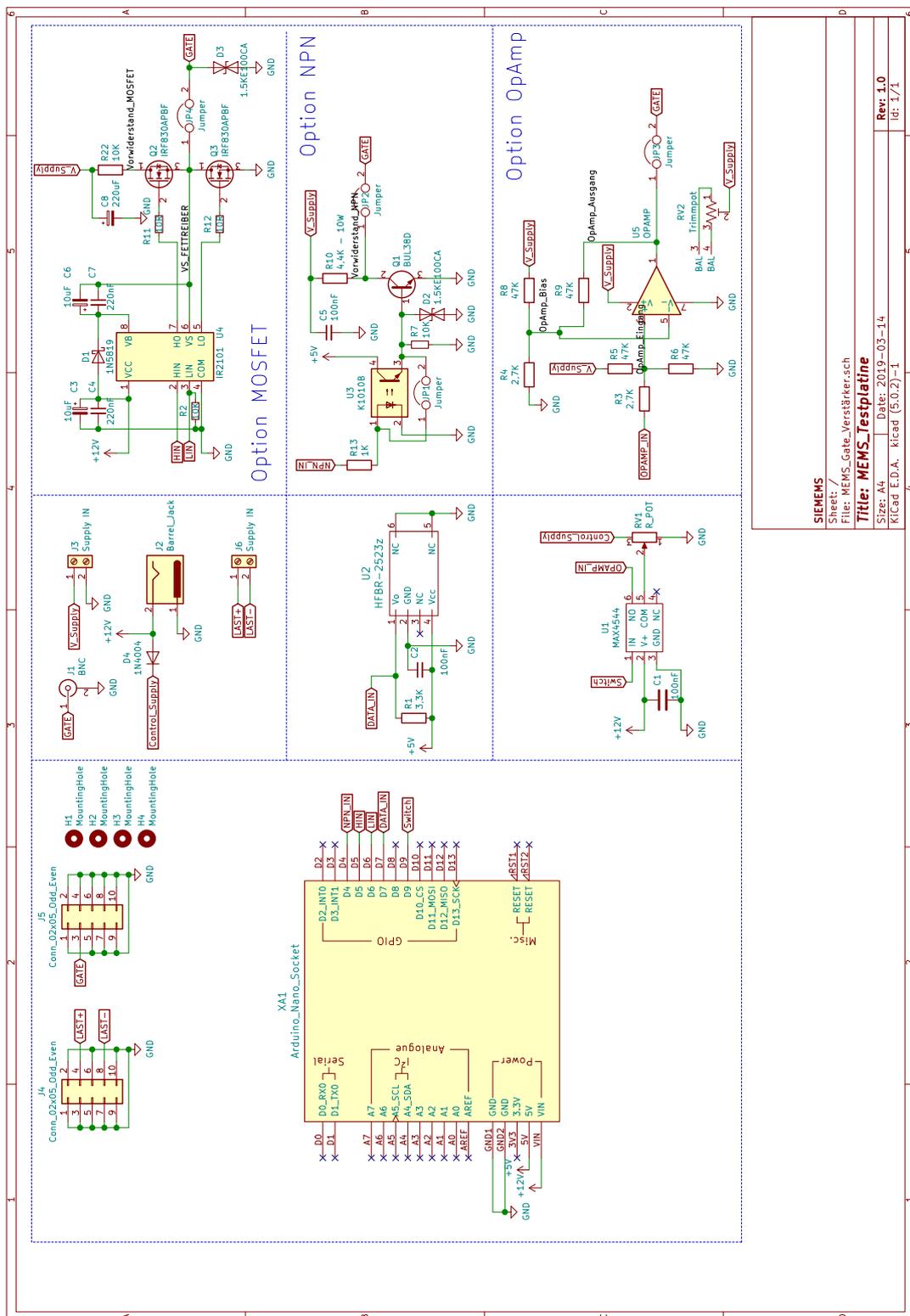


Abbildung B2: Schaltplan für die Herstellung der Platine Einzelchipmessung.

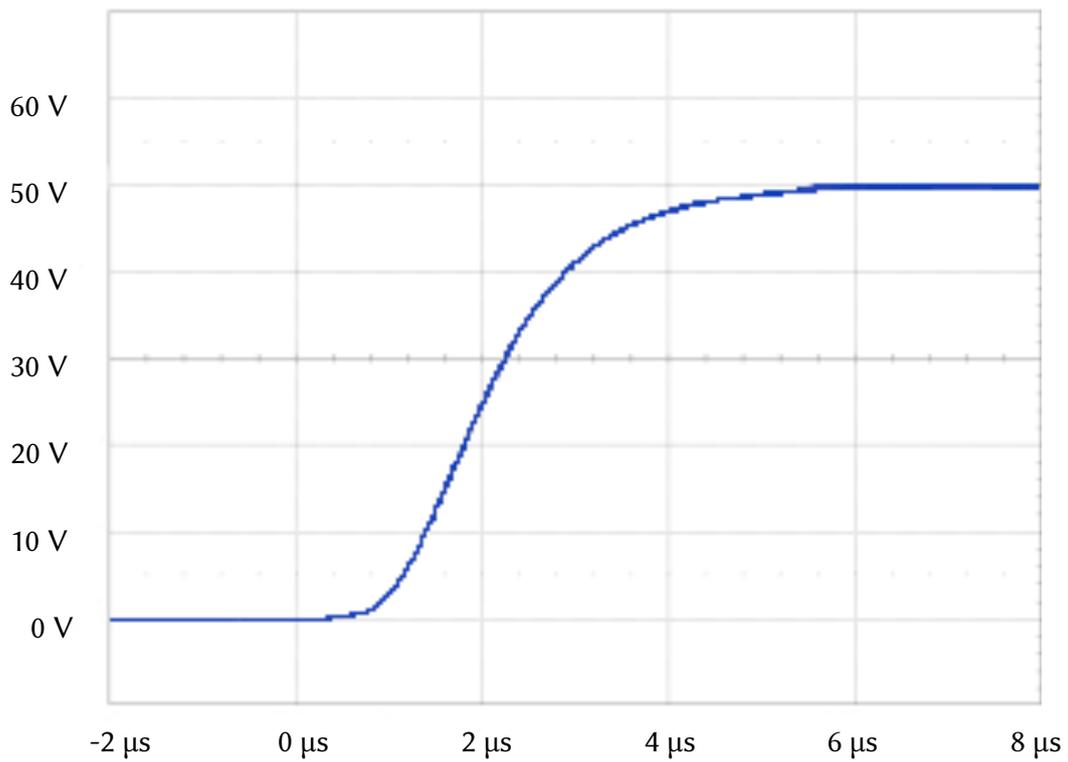


Abbildung B3: Schaltcharakteristik der Steuerspannung bei 50 V.

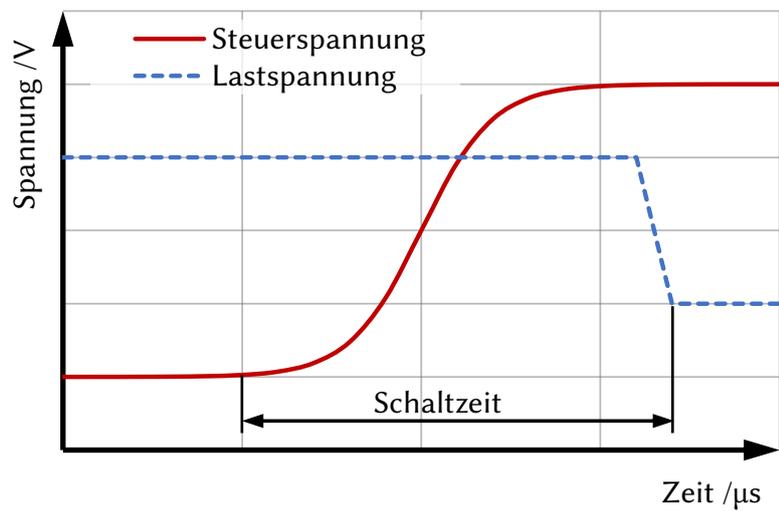


Abbildung B4: Definition zur Bestimmung der Schaltzeit im Messverlauf.

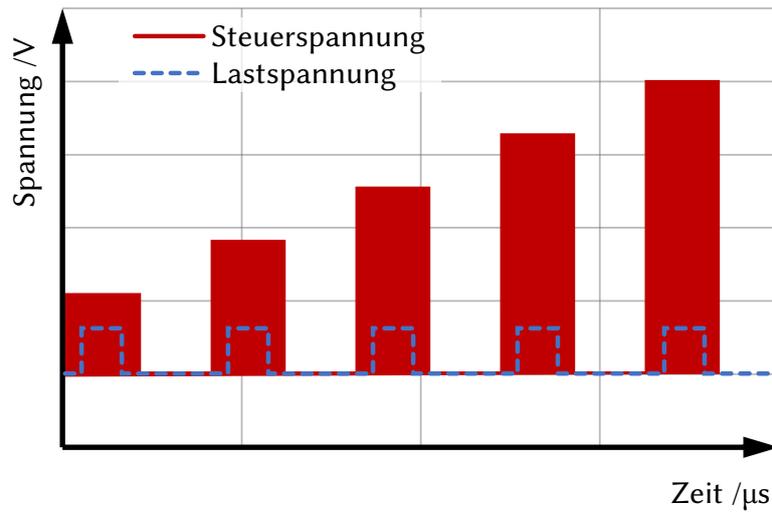


Abbildung B5: Messablauf zur Bestimmung der Pull-in-Spannung und des Widerstandes.