

# **Optimierung mit Taktsignalen angesteuerter Stromschalter in breitbandigen Hochgeschwindigkeitsschaltungen in Bipolar-Technologie**

**Dissertation**

zur Erlangung des akademischen Grades  
des Doktors der Ingenieurwissenschaften  
der Naturwissenschaftlich-Technischen Fakultät  
der Universität des Saarlandes

von

Christopher Uhl

Saarbrücken

2019

Tag des Kolloquiums: 25.09.2020

Dekan: Prof. Dr. Guido Kickelbick

Berichterstatter: Prof. Dr.-Ing. Michael Möller  
Prof. Dr. techn. Romanus Dyczij-Edlinger  
Prof. Dr.-Ing. Christoph Scheytt

Vorsitz: Prof. Dr. Andreas Schütze

Akad. Mitarbeiter: Dr.-Ing. Paul Motzki

## Kurzzusammenfassung

Die vorliegende Arbeit behandelt die Optimierung von mit Taktsignalen angesteuerten Stromschaltern in Bipolar-Technologie im Hinblick auf Ausgangsamplitude, Grenzfrequenz, Flankensteilheit und Tastgradfehler bzw. Gleichanteil. Diese Größen sind bei Taktverteilungsschaltungen sowie allgemein bei mit Taktsignalen angesteuerten Schaltungen entscheidend, um hohe Taktfrequenzen bis möglichst nahe an die Technologiegrenze zu erreichen. Die Besonderheit der vorliegenden Arbeit liegt in der Betrachtung breitbandiger Schaltungen, welche von niedrigen bis hohen Taktfrequenzen eingesetzt werden.

Die Arbeit ist zweigeteilt in einen theoretischen und einen experimentellen Teil.

Im theoretischen Teil werden analytische Modelle zur Beschreibung der Einflussfaktoren auf die betrachteten Größen vorgestellt. Die Modelle erlauben eine zielführende Schaltungsoptimierung. Sie geben zudem teilweise erstmalig Einblicke in Zusammenhänge, welche bis dato lediglich experimentell oder simulativ beobachtet worden sind.

Der experimentelle Teil stellt die Entwicklung zweier Varianten einer Multiplexer-Schaltung vor. Hierfür werden neben dem Anwenden der analytischen Modelle ein spezielles Konzept zur breitbandigen Phasenverschiebung von Taktsignalen und ein darauf basierender Frequenzverdoppler eingesetzt. Beide realisierten Varianten der Multiplexer-Schaltung stellen mit hohen Datenraten bei hohen Ausgangshüben zum Zeitpunkt der jeweiligen Veröffentlichungen einen Rekord auf.

## **Abstract**

The present thesis deals with the optimization of clock-driven current switches in bipolar technology with regard to output amplitude, cut-off frequency, edge steepness and duty cycle error or DC component. These criteria are important in clock distribution circuits as well as generally in circuits driven by clock signals in order to operate at clock frequencies close to the semiconductor technology limit. The peculiarity of the present work lies in the consideration of broadband circuits, which are used at low to high clock frequencies.

The thesis is divided into a theoretical and an experimental part.

In the theoretical part, analytical models for describing the influencing factors on the considered criteria are presented. By these, dimensioning and optimization of the circuits under investigation can be performed in a fast and target-aiming way. For the first time, the models also provide insights into relationships that have so far only been observed experimentally or by simulation.

In the experimental part, two variants of a multiplexer circuit are presented. Besides applying the analytical models, a special concept for a broadband clock phase shifter circuit is proposed and applied in a frequency doubler. Both variants of the multiplexer circuit realized with these methods and circuit concepts form a record at the time of the corresponding publications with their high data rates at high output voltage swings.

# Inhaltsverzeichnis

<b>1</b>	<b>Motivation und Ziel der Arbeit</b>	<b>1</b>
<b>I</b>	<b>Theoretischer Teil</b>	<b>9</b>
<b>2</b>	<b>Grundlegende Optimierungsüberlegungen und Randbedingungen</b>	<b>10</b>
2.1	Eingesetzte Schaltungstopologie und -partitionierung . . . . .	10
2.2	Realisierung der internen und externen Schnittstellen . . . . .	14
2.3	Verifikation der Schaltung und Maßnahmen zur vereinfachten Testbarkeit	19
2.4	Fazit . . . . .	21
<b>3</b>	<b>Grundlegende Funktionsweise und Modellierung nichtlinearer, mit Taktsignalen angesteuerter Stromschalter</b>	<b>22</b>
3.1	Verwendetes Transistor-Ersatzschaltbild . . . . .	22
3.2	Grundlegende Funktionsweise eines Stromschalters . . . . .	24
3.3	Verwendetes Modell zur dynamischen Beschreibung von Stromschaltern	27
3.3.1	Notation zur Beschreibung von Größen im Frequenzbereich . . .	27
3.3.2	Ersatzschaltbild und zugehöriges Gleichungssystem zur Beschreibung von mit Taktsignalen angesteuerten Stromschaltern . . . .	29
3.3.3	Fourier-Transformation von mit einem Taktsignal angeregter tanh-Funktion . . . . .	31
3.3.4	Analytische Beschreibung des Transferstroms von mit Taktsignalen angesteuerten Stromschaltern im Frequenzbereich . . . . .	33
3.4	Fazit . . . . .	34
<b>4</b>	<b>Maximierung von Grenzfrequenz, Amplitude und Flankensteilheit</b>	<b>36</b>
4.1	Definition der betrachteten Größen . . . . .	40
4.2	Analyse des Ausgangsstroms sinusförmig angesteuerter Stromschalter . .	46
4.2.1	Analyse des statischen Anteils des Gegentakt-Transferstroms . .	47
4.2.2	Analyse des den dynamischen Überhöhungseffekt bedingenden Anteils des Gegentakt-Transferstroms . . . . .	50
4.2.3	Analyse des durch ein Gleichtakt-Eingangssignal bedingten Anteils des Gegentakt-Transferstroms . . . . .	59
4.2.4	Beziehung zwischen Gegentakt-Transferstrom und -Ausgangsstrom	61
4.2.5	Simulationsvergleich von analytischem und HICUM-Modell . . .	64
4.3	Randbedingungen bei der Dimensionierung von Stromschaltern . . . . .	67
4.4	Fazit . . . . .	72

---

<b>5</b>	<b>Modellierung und Minimierung von frequenzabhängigen Tastgradfehlern</b>	<b>74</b>
5.1	Definition und Abgrenzung der Größen Tastgradfehler und Gleichanteil	77
5.2	Modellierung von Tastgradfehler und Gleichanteil an einer Stromschalter-Stufe . . . . .	80
5.2.1	Modellierung des Tastgradfehlers . . . . .	82
5.2.2	Modellierung des Gleichanteils . . . . .	85
5.3	Anpassung des Modells an typische Anwendungsfälle . . . . .	89
5.3.1	Tastgradfehler und Gleichanteil bei einer sinusförmig angesteuerten Stromschalter-Stufe . . . . .	89
5.3.2	Tastgradfehler-Verstärkung von Stromschalter-Stufen . . . . .	97
5.4	Maßnahmen zur Verringerung von Tastgradfehlern und Gleichanteilen .	102
5.4.1	Maßnahmen zur Minimierung der Ursachen von Tastgradfehlern und Gleichanteilen . . . . .	102
5.4.2	Schaltungskonzepte zur Verringerung von vorhandenen Gleichanteilen und Tastgradfehlern bzw. von deren Verstärkung . . . . .	106
5.5	Fazit . . . . .	114
<b>II</b>	<b>Experimenteller Teil</b>	<b>116</b>
<b>6</b>	<b>Anwendung der Theorie am Beispiel zweier integrierter Multiplexer-Schaltungen</b>	<b>117</b>
6.1	Topologie der entwickelten Multiplexer-Schaltungen . . . . .	120
6.2	Power-Multiplexer als 2:1-Selektor und als Ausgangstreiber . . . . .	122
6.2.1	Gewählte Topologie und Schaltung . . . . .	122
6.2.2	Dimensionierung der Schaltung . . . . .	127
6.3	Aufbau und Entwicklungsaspekte der Taktverteilung . . . . .	132
6.3.1	Wahl der Topologie der Taktverteilung . . . . .	133
6.3.2	Aufbau und Dimensionierung des Takt-Eingangverstärkers . . .	136
6.3.3	Entwurf der Schaltungen zur einstellbaren Verzögerung bzw. Phasenverschiebung von Taktsignalen . . . . .	141
6.3.4	Aufbau und Dimensionierung des finalen Takt-Treibers . . . . .	159
6.3.5	Entwurf eines integrierten Frequenzverdopplers . . . . .	162
6.4	Ergebnisse und Fazit . . . . .	172
<b>7</b>	<b>Messergebnisse der integrierten Multiplexer-Schaltungen</b>	<b>175</b>
7.1	Methode zur Abschätzung der Eingangsamplitude am Takt-Eingangverstärker . . . . .	176
7.2	Charakterisierung des integrierten Frequenzverdopplers . . . . .	182
7.3	Charakterisierung der einstellbaren Verzögerungsstufen . . . . .	186
7.4	Gemessene Augendiagramme . . . . .	189
7.5	Fazit . . . . .	196
<b>8</b>	<b>Zusammenfassung der Arbeit</b>	<b>197</b>

---

<b>III Herleitungen</b>	<b>200</b>
<b>A Herleitungen zu Kapitel 3</b>	<b>201</b>
A.1 Herleitung von Gleichung 3.11 . . . . .	201
A.2 Herleitung von Gleichung 3.16 . . . . .	202
A.3 Herleitung von Gleichung 3.21 . . . . .	202
A.4 Lösung von Gleichung 3.13 im Frequenzbereich . . . . .	203
<b>B Herleitungen zu Kapitel 4</b>	<b>205</b>
B.1 Effektive Phase der dritten Harmonischen bei einem Tiefpass-Filter . . .	205
B.1.1 Herleitung für PT1-Glied . . . . .	206
B.1.2 Herleitung für PT2-Glied . . . . .	206
B.2 Herleitungen zum dynamischen Überhöhungseffekt . . . . .	207
B.2.1 Herleitung von Gleichung 4.3 . . . . .	207
B.2.2 Monotonie der Amplitude . . . . .	209
B.2.3 Monotonie der Phase bei der Grundfrequenz . . . . .	210
B.2.4 Herleitung von Gleichung 4.5 . . . . .	211
B.2.5 Monotonie der Phase bei der dritten Harmonischen . . . . .	212
B.2.6 Herleitung von Gleichung 4.7 . . . . .	213
<b>C Herleitungen zu Kapitel 5</b>	<b>216</b>
C.1 Herleitung von Gleichung 5.9 . . . . .	216
C.2 Herleitung von Gleichung 5.11 . . . . .	218
C.3 Herleitung von Gleichung 5.13 . . . . .	219
C.4 Herleitung von Gleichung 5.19 . . . . .	221
<b>D Herleitung zu Kapitel 7</b>	<b>223</b>
<b>Literatur</b>	<b>225</b>

# Verwendete Abkürzungen und Formelgrößen

Im Folgenden werden die in dieser Arbeit verwendeten Abkürzungen sowie die Notation von Formelzeichen und eine Liste sämtlicher verwendeter Formelgrößen im Überblick vorgestellt.

## Abkürzungen

**BS** Basisstufe

**TSS** Takt-Stromschalter

**CML** Current Mode Logic

**CPM** Clock Phase Margin

**SS** Stromschalter

**dc** Gleichstrom (direct current)

**DSS** Daten-Stromschalter

**EF** Emitterfolger

**ESB** Ersatzschaltbild

**ESD** elektrostatische Entladung (electro-static discharge)

**FFT** Fast Fourier Transformation

**GSSG** Ground-Signal-Signal-Ground

**HBT** Heterojunction-Bipolartransistor

**MUX** Multiplexer

**MZM** Mach-Zehnder-Modulator

**NRZ** non-return-to-zero

**OOK** on-off-keying

**PAM** Pulsamplitudenmodulation

**PEEC** Partial Element Equivalent Circuit



---

<b>PMUX</b>	Power-Multiplexer
<b>PRBS</b>	pseudozufällige Datenfolge (pseudo-random bit sequence)
<b>SEL</b>	Selektor
<b>SNR</b>	Signal-Rausch-Verhältnis
<b>TAS</b>	Transadmittanzstufe
<b>TIS</b>	Transimpedanzstufe
<b>TML</b>	Übertragungsleitung (transmission line)
<b>VNA</b>	Vektor-Netzwerk-Analysator
<b>XOR</b>	exklusiv Oder-Funktion

## Verwendete Formelgrößen und Notation

In der nachfolgenden Tabelle sind sämtliche in der Arbeit verwendeten Formelgrößen aufgeführt und die Stelle ihrer Definition bzw. ihres ersten Auftretens angegeben. Einige der Größen sind speziell für eine bestimmte Schaltungsstufe, andere gelten allgemein für alle betrachteten Schaltungen. Im Falle von Spannungen und Strömen an einer Stelle „ $x$ “ gelten durchgängig folgende Konventionen:

- Für die Darstellung im Zeitbereich werden Kleinbuchstaben  $u_x, i_x$  verwendet. Auf die explizite Notation  $u_x(t), i_x(t)$  der Abhängigkeit von der Zeit  $t$  wird üblicherweise zugunsten einer kompakteren Darstellung verzichtet.
- ${}^n U_x$  und  ${}^n I_x$  bezeichnen die zu  $u_x, i_x$  gehörenden Fourier-Koeffizienten bei der Harmonischen  $n$  der Taktfrequenz  $f_{\text{clk}}$  gemäß der Definition in Gleichung 3.6.
- ${}^0 U_x$  und  ${}^0 I_x$  bezeichnen konsistent hierzu den Beitrag bei der Frequenz 0, entsprechend des Gleichanteils der Spannung bzw. des Stroms.
- Handelt es sich um reine Gleichspannungen oder -ströme, wird auf die Angabe des hochgestellten Indexes „0“ verzichtet und es werden Großbuchstaben  $U_x, I_x$  verwendet.
- Im Falle von monofrequenten Zeitsignalen  $u_x, i_x$  werden die zugehörigen Amplituden mit  $\hat{U}_x, \hat{I}_x$  bezeichnet, wobei gilt (vgl. Gleichung 3.9)

$$\hat{U}_x := 2 |{}^1 U_x|, \quad \hat{I}_x := 2 |{}^1 I_x|. \quad (1)$$

- Bei Zerlegung einer Spannung oder eines Stroms in einen Gleich- und einen Gegentaktanteil werden die jeweiligen Anteile durch einen hochgestellten Index „+“ für den Gleich- und „-“ für den Gegentakt gekennzeichnet, z. B.  $u_x^-, {}^n I_x^+$ .

- Komplexe Übertragungsfunktionen und Impedanzen werden als Funktion der zu einer Frequenz  $f_x$  gehörenden komplexen Winkelfrequenz  $j\omega_x := j2\pi f_x$  definiert, z. B.

$$H(j\omega_x). \quad (2)$$

In der folgenden Tabelle wird bei zeitabhängigen Spannungen oder Strömen, die in mehreren der obigen Formen verwendet werden, nur die Zeitdarstellung  $u_x, i_x$  angegeben. Wird eine Spannung oder ein Strom stets nur in einer bestimmten Form (z. B. nur in Form des Gleichanteils) verwendet, wird diese Form aufgeführt.

Größe	Bedeutung	Definition in
$A_E$	Emitterfläche eines Transistors	Tabelle 4.1
$\alpha_T$	Von der Signalform am Ausgang eines SS abhängiger Faktor bei der Bestimmung des Gleichanteils	Gleichung 5.12
$\alpha_\varphi$	Abkürzende Schreibweise für den Term aus	Gleichung 5.21
$B$	Großsignal-Stromverstärkung eines Transistors	Abschnitt 3.1
$C_{90}$	Last-Kapazität des SS des 90° Phasenschiebers	Abbildung 6.16
$C_{BE0}$	Gesamter zeitlich konstanter Anteil der zwischen Basis und Emitter eines SS-Transistors wirkenden Kapazität (Sperrschicht- und parasitäre bzw. externe Kapazitäten)	Abschnitt 3.3
$C_{BEd}$	Diffusionskapazität der Basis-Emitter-Diode eines Transistors	Abschnitt 3.1
$C_{BEd1}$	Diffusionskapazität der Basis-Emitter-Diode des linken SS-Transistors in	Abbildung 3.4
$C_{BEd2}$	Diffusionskapazität der Basis-Emitter-Diode des rechten SS-Transistors in	Abbildung 3.4
$C_{BEj}$	Als konstant angenommene Sperrschichtkapazität der Basis-Emitter-Diode eines Transistors	Abschnitt 3.1
$C_{BT}$	Tiefpassfilter-Kapazität des Bias-Tees des 90°-Phasenschiebers	Abbildung 6.16
$C_{CB}$	Als konstant angenommene Sperrschichtkapazität zwischen Basis und Kollektor eines Transistors	Abschnitt 3.1
$C_{CB0}$	Gesamter zeitlich konstanter Anteil der zwischen Basis und Kollektor eines SS-Transistors wirkenden Kapazität (Sperrschicht- und parasitäre bzw. externe Kapazitäten)	Abschnitt 3.3

$C_{CS}$	Als konstant angenommene Sperrschichtkapazität zwischen Kollektor und Substrat eines Transistors	Abschnitt 3.1
$C_{CS0}$	Gesamter zeitlich konstanter Anteil der zwischen Kollektor und Substrat eines SS-Transistors wirkenden Kapazität (Sperrschicht- und parasitäre bzw. externe Kapazitäten)	Abschnitt 3.3
$C_E$	Gesamter zeitlich konstanter Anteil der am gemeinsamen Emitterknoten von SS-Transistoren wirkenden Kapazität	Gleichung 3.12
$C_{E,q}$	Kapazität $C_E$ eines die betrachtete Stufe ansteuernden SS	Abschnitt 4.2
$C_{FB}$	Kapazität eines zur Verringerung eines Gleichanteils in die Emitterzweige der SS-Transistoren eingeführten R-C-Glieds	Abschnitt 5.4
$C_{i0}$	Zeitlich konstanter Anteil der am gemeinsamen Emitterknoten der SS-Transistoren gegen Masse bzw. die Versorgungsspannung wirkenden Kapazität	Abschnitt 3.3
$C_L$	Lastkapazität eines SS	Abbildung 4.17
$C_{MZM}$	Kapazitätsanteil der Last-Impedanz eines plasmonischen MZM	Abbildung 6.4
$C_{par}$	Gesamte parasitäre und intrinsische Kapazität am Ausgang eines SS gebildet durch die Transistoren des SS, das Layout und die Last	Gleichung 4.10
$C_{par,0}$	Von der Dimensionierung des Betriebsstroms des SS und der Größe seiner Transistoren unabhängiger Anteil an $C_{par}$	Gleichung 4.10
$c_{par,I}$	Zum Betriebsstrom $I_0$ des SS und der daran angepassten Größe seiner Transistoren proportionaler Anteil an $C_{par}$	Gleichung 4.10
$C_{TG}$	Kapazität des zur Reduktion von Tastgradfehlern und Gleichanteilen verwendeten R-C-Glieds in den Emitterpfaden der SS-Transistoren der Verzögerungsstufe aus	Abbildung 6.13
$D$	Tastgrad	Abschnitt 3.3.3
$\Delta D$	Tastgradfehler	Abschnitt 3.3.3
$\Delta D_a$	Tastgradfehler am Ausgang einer Stufe	Abschnitt 6.3.3
$\Delta D_e$	Tastgradfehler am Eingang eines SS	Abschnitt 5.2
$\Delta D_q$	Tastgradfehler am Eingang einer SS-Stufe	Abschnitt 5.2

$\Delta D_T$	Tastgradfehler des Transferstroms eines SS	Abschnitt 5.2
$\Delta\varphi$	Phasenverschiebung einer Verzögerungsstufe	Gleichung 6.1
$\Delta t$	Zeitverzögerung einer Verzögerungsstufe	Gleichung 6.1
$\Delta t_{\text{clk}}$	Zeit-Jitter eines Taktsignals	Gleichung 5.1
$e$	Elementarladung eines Elektrons	Abschnitt 3.1
$f_{3\text{dB},e}$	Grenzfrequenz des Eingangs-Taktsignals eines SS	Abbildung 4.8
$f_{3\text{dB},a}$	Grenzfrequenz des Ausgangs-Taktsignals eines SS	Abbildung 4.8
$f_{\text{clk}}$	Frequenz des betrachteten Taktsignals	Abschnitt 3.3
$f_{\text{max}}$	maximale Schwingfrequenz eines Transistors	Kapitel 6
$f_{\text{peak}}$	Frequenz der Resonanzüberhöhung bei einer Übertragungsfunktion mit Resonanzüberhöhung	Abschnitt 5.3.2
$f_{\text{sig}}$	Frequenz eines sinusförmigen Eingangs- bzw. Ausgangssignals eines Analog-Digital- oder Digital-Analog-Wandlers	Gleichung 5.2
$f_T$	Transitfrequenz eines Transistors	Kapitel 6
$\varphi_1$	Phase eines Signals bei seiner Grundfrequenz	Abschnitt 4.1
$\varphi_3$	Phase eines Signals bei der dritten Harmonischen	Abschnitt 4.1
$\tilde{\varphi}_3$	effektive Phase der dritten Harmonischen eines Signals	Gleichung 4.1
$\varphi_{e,n}^-$	Phase des Gegentakt-Eingangssignals eines SS bei der Frequenzkomponente $n f_{\text{clk}}$	Gleichung 5.17
$\varphi_{e,n}^+$	Phase des Gleichtakt-Eingangssignals eines SS bei der Frequenzkomponente $n f_{\text{clk}}$	Gleichung 5.18
$H^-(j\omega)$	Gegentakt-Übertragungsfunktion in einer SS-Stufe	Abschnitt 5.2
$H^+(j\omega)$	Gleichtakt-Übertragungsfunktion in einer SS-Stufe	Abschnitt 5.2
$H_{\text{CCB}}(j\omega)$	Übertragungsfunktion zwischen Transferstrom und Ausgangsstrom eines SS	Gleichung 4.9
$H_e^-(j\omega)$	Gegentakt-Übertragungsfunktion von externer Signalquelle zu erstem SS in einer Taktverteilung	Abbildung 5.2
$H_e^+(j\omega)$	Gleichtakt-Übertragungsfunktion von externer Signalquelle zu erstem SS in einer Taktverteilung	Abbildung 5.2
$H_{\text{casc}}^-(j\omega)$	Gegentakt-Übertragungsfunktion zwischen den kaskadierten SSs in einer Taktverteilung	Abbildung 5.2
$H_{\text{casc}}^+(j\omega)$	Gleichtakt-Übertragungsfunktion zwischen den kaskadierten SSs in einer Taktverteilung	Abbildung 5.2

$I_0$	Betriebsstrom eines SS	Abbildung 3.2
$I_{0,90}$	Betriebsstrom des SS des 90°-Phasenschiebers	Abbildung 6.16
$I_{0,ET}$	Betriebsstrom des SS des Eingangsverstärkers der Taktverteilung	Abbildung 6.10
$I_{0,FT1}$	Betriebsstrom des SS der ersten Stufe des finalen Takttreibers	Abbildung 6.20
$I_{0,FT2}$	Betriebsstrom des SS der zweiten Stufe des finalen Takttreibers	Abbildung 6.20
$I_{0,FV}$	Betriebsstrom der SSs des Phasenaufspalter des Frequenzverdopplers	Abbildung 6.23
$I_{0,Phase}$	Betriebsstrom der TAS einer Verzögerungsstufe	Abbildung 6.13
$I_{0,SEL}$	Betriebsstrom des TSS des 2:1 SEL	Abbildung 6.4
$I_{0,XOR}$	Betriebsstrom der SSs des XOR des Frequenzverdopplers	Abbildung 6.25
$i_a^-$	Gegentakt-Ausgangsstrom eines SS	Gleichung 3.4
$i_a^+$	Gleichtakt-Ausgangsstrom eines SS	Gleichung 3.4
$i_{a1}$	Strom in Ausgangstor 1 des SS in	Abbildung 3.2
$i_{a2}$	Strom in Ausgangstor 2 des SS in	Abbildung 3.2
$i_B$	Basisstrom eines Transistors	Abschnitt 3.1
$i_{cap}$	Gesamter durch die am gemeinsamen Emitterknoten eines SS wirkenden Kapazitäten fließender Strom	Gleichung 3.10
$i_C$	Kollektorstrom eines Transistors	Abschnitt 3.1
$i_{CBE01}$	Strom durch die gesamte zeitlich konstante Basis-Emitter-Kapazität des linken SS-Transistors in	Abbildung 3.4
$i_{CBE02}$	Strom durch die gesamte zeitlich konstante Basis-Emitter-Kapazität des rechten SS-Transistors in	Abbildung 3.4
$i_{CBEd}$	Strom durch die Basis-Emitter-Diffusionskapazität eines Transistors	Abschnitt 3.1
$i_{CBEd1}$	Strom durch die Basis-Emitter-Diffusionskapazität des linken SS-Transistors in	Abbildung 3.4
$i_{CBEd2}$	Strom durch die Basis-Emitter-Diffusionskapazität des rechten SS-Transistors in	Abbildung 3.4
$i_{CBEj}$	Strom durch die Basis-Emitter-Sperrschichtkapazität eines Transistors	Abschnitt 3.1

$nI_{CCB}^-$	Durch Kollektor-Basis-Kapazitäten verursachter, dem Gegentakt-Transferstrom überlagerter Anteil bei der Bestimmung des Gegentakt-Ausgangsstroms eines SS	Gleichung 4.9
$i_{Ci0}$	Strom durch die am gemeinsamen Emitterknoten eines SS gegen Masse bzw. die Versorgungsspannung wirkende Kapazität	Abschnitt 3.3
$i_{DBE}$	Strom durch die Basis-Emitter-Diode eines Transistors	Abschnitt 3.1
$i_{DBE1}$	Strom durch die Basis-Emitter-Diode des linken SS-Transistors in	Abbildung 3.4
$i_{DBE2}$	Strom durch die Basis-Emitter-Diode des rechten SS-Transistors in	Abbildung 3.4
$i_e^-$	Gegentakt-Eingangsstrom eines SS	Gleichung 3.4
$i_e^+$	Gleichtakt-Eingangsstrom eines SS	Gleichung 3.4
$i_{e1}$	Strom in Eingangstor 1 des SS aus	Abbildung 3.2
$i_{e2}$	Strom in Eingangstor 2 des SS aus	Abbildung 3.2
$i_E$	Emitterstrom eines Transistors	Abschnitt 3.1
$I_{EF3}$	Betriebsstrom des als Verzögerungsglied verwendeten EF-Paares aus	Abbildung 6.14
$I_{EF,a}$	Betriebsstrom des ersten EF-Paares einer Kaskade von zwei EF-Paaren	Abbildung 6.6
$I_{EF,b}$	Betriebsstrom des zweiten EF-Paares einer Kaskade von zwei EF-Paaren	Abbildung 6.6
$I_{EF,ges}$	Gesamter Betriebsstrom der einen SS ansteuernden EF	Abschnitt 4.3
$i_q^-$	Gegentakt-Eingangsstrom einer SS-Stufe	Abschnitt 5.2
$i_q^+$	Gegentakt-Eingangsstrom einer SS-Stufe	Abschnitt 5.2
$I_S$	Sättigungsstrom eines Transistors	Abschnitt 3.1
$I_{stat}$	statischer differentieller Ausgangspegel eines SS	Abbildung 4.3
$I_{dyn}$	dynamischer differentieller (Spitzen-)Ausgangshub eines SS	Abbildung 4.3
$i_T$	Transferstrom eines Transistors	Abschnitt 3.1
$i_{T1}$	Transferstrom des linken SS-Transistors in	Abbildung 3.4
$i_{T2}$	Transferstrom des rechten SS-Transistors in	Abbildung 3.4
$i_T^-$	Gegentakt-Transferstrom eines SS	Abschnitt 3.3

$i_T^+$	Gleichtakt-Transferstrom eines SS	Abschnitt 3.3
$nI_{T,A}^-$	Anteil A des Gegentakt-Transferstroms eines SS im Frequenzbereich	Gleichung 3.24
$nI_{T,B}^-$	Anteil B des Gegentakt-Transferstroms eines SS im Frequenzbereich	Gleichung 3.25
$nI_{T,C}^-$	Anteil C des Gegentakt-Transferstroms eines SS im Frequenzbereich	Gleichung 3.26
$k$	Boltzmann-Konstante	Abschnitt 3.1
$P$	Leistungsaufnahme der betrachteten Schaltung	Abschnitt 4.3
$W$	Durch die betrachtete Schaltung aus der Versorgung aufgenommene Energie	Abschnitt 4.3
$Q_{BED}$	Ladung der Diffusionskapazität der Basis-Emitter-Diode eines Transistors	Abschnitt 3.1
$R_{BS}$	Vorwiderstand an den Basen der BS des 2:1 SEL	Abbildung 6.4
$R_{BT}$	Tiefpassfilter-Widerstand des Bias-Tees des 90°-Phasenschiebers	Abbildung 6.16
$R_{EF3}$	Vorwiderstand am Eingang des als Verzögerungsglied verwendeten EF-Paares aus	Abbildung 6.14
$R_{FB}$	Widerstand eines zur Verringerung eines Gleichanteils in die Emitterzweige der SS-Transistoren eingeführten R-C-Glieds	Abschnitt 5.4
$R_{Phase}$	Gegenkopplungswiderstände bei der TAS der Verzögerungsstufe aus	Abbildung 6.13
$R_q$	Reeller Ausgangswiderstand einer Signalquelle bzw. Lastwiderstand eines die betrachtete Stufe ansteuernden SS	Abschnitt 4.2
$R_L$	Reeller Lastwiderstand eines SS	Abbildung 4.17
$R_{L,ext}$	Externe reelle Abschluss- bzw. Lastwiderstände der entwickelten MUX-Schaltung	Abbildung 6.4
$R_{L,SEL}$	Interne Abschluss- bzw. Lastwiderstände des 2:1 SEL	Abbildung 6.4
$R_{stab}$	Zur Gewährleistung der Stabilität des 90°-Phasenschiebers eingesetzte Widerstände	Abbildung 6.16
$R_{TG}$	Widerstand des zur Reduktion von Tastgradfehlern und Gleichanteilen verwendeten R-C-Glieds in den Emitterpfaden der SS-Transistoren der Verzögerungsstufe aus	Abbildung 6.13

---

$t_H$	Verzögerungszeit eines mit einer linearen Übertragungsfunktion gefilterten Sprungs	Abschnitt 5.2.1
$T$	absolute Temperatur	Abschnitt 3.1
$n_T$	Fourier-Koeffizienten der mit einem Eingangssignal angeregten tanh-Kennlinie eines SS	Gleichung 3.19
$\tau_C$	Modifizierte Transitzeit der SS-Transistoren	Gleichung 3.14
$\tau_F$	Transitzeit eines Transistors	Abschnitt 3.1
$u^-$	Allgemeines Spannungssignal im Gegentakt	Abschnitt 5.1
$u_a^-$	Gegentakt-Ausgangsspannung eines SS	Gleichung 3.3
$u_a^+$	Gleichtakt-Ausgangsspannung eines SS	Gleichung 3.3
$u_{a1}$	Ausgangsspannung an Tor 1 des SS aus	Abbildung 3.2
$u_{a2}$	Ausgangsspannung an Tor 2 des SS aus	Abbildung 3.2
$u_{be}$	Basis-Emitter-Spannung eines Transistors	Abschnitt 3.1
$U_{BS}$	Vorspannung der Basen der BS des 2:1 SEL	Abbildung 6.4
$u_e^-$	Gegentakt-Eingangsspannung eines SS	Gleichung 3.3
$u_e^+$	Gleichtakt-Eingangsspannung eines SS	Gleichung 3.3
$u_{e1}$	Eingangsspannung an Tor 1 des SS aus	Abbildung 3.2
$u_{e2}$	Eingangsspannung an Tor 2 des SS aus	Abbildung 3.2
$u_{e,q}^-$	Gegentakt-Eingangsspannung eines die betrachtete Stufe ansteuernden SS	Abschnitt 4.2
$u_E$	Spannung zwischen gemeinsamem Emitterknoten eines SS und Masse	Abbildung 3.2
$U_{ee}$	(Negative) Versorgungsspannung der Schaltung	Abschnitt 2.1
$U_{Phase}$	Steuerspannung zur Einstellung der Verzögerung der Verzögerungsstufe aus	Abbildung 6.13
$u_{q,A}^-$	Eingangsspannung am Eingang A eines Mischers	Abbildung 6.21
$u_{q,B}^-$	Eingangsspannung am Eingang B eines Mischers	Abbildung 6.21
$u_{RC}^-$	Spannung an einem in einen Emitterzweig der SS-Transistoren eingeführten R-C-Glied	Abbildung 5.17
$U_{SS,stat}$	Statischer, einseitiger Spitze-Tal-Ausgangspegel eines SS	Abschnitt 4.3
$U_T$	Temperaturspannung	Abschnitt 3.1
$Z_L(j\omega)$	allgemeine, frequenzabhängige Lastimpedanz eines SS	Abbildung 4.2

---



# 1 Motivation und Ziel der Arbeit

In der vorliegenden Arbeit wird die Optimierung nichtlinearer, mit Taktsignalen angesteuerter Stromschalter (SSs) bei Hochgeschwindigkeitsschaltungen auf theoretischer und experimenteller Ebene mit Hinblick auf Ausgangsamplitude, Grenzfrequenz, Flankensteilheit und Tastgradfehler behandelt. Mit Taktsignalen angesteuerte SSs kommen in einer Vielzahl von Anwendungen vor. Vom einfachen Takttreiber bis hin zu Multiplexern (MUXs), Mischern, Frequenzteilern, -verdopplern, Flip-Flops, Sample&Hold-Gliedern und weiteren Schaltungen [1, 2, 3, 4, 5]. Die dabei eingesetzten SSs haben in nahezu allen Fällen die Aufgabe, ein Taktsignal zu verstärken, auf mehrere Lasten aufzuteilen oder von einem Spannungs- in ein Strom-Signal umzuwandeln. Gemeinsam ist jeweils, dass ein stationäres, monofrequentes Taktsignal verarbeitet wird. Dies bringt die Besonderheit mit sich, dass keine Anforderungen an das Übertragungsverhalten des SS bezüglich Linearität und Dispersion bestehen, was die Entwicklung und Optimierung von mit Taktsignalen angesteuerten SSs grundlegend von jener von linearen Verstärkerschaltungen unterscheidet.

Auch wenn die betrachteten Taktsignale monofrequent sind, gibt es zahlreiche Anwendungsszenarien, in denen die Taktfrequenz über einen großen Bereich variiert. Dies trifft beispielsweise auf Digital-Analog-Wandler mit einstellbarer Sampling-Rate, Frequenzverdoppler oder Taktverteilungsnetzwerke zu [1, 6, 7, 8]. Die Fähigkeit einer Schaltung, Taktsignale über einen großen Frequenzbereich zu verarbeiten, erlaubt zudem die Verwendung identischer Schaltungszellen für verschiedene Frequenzebenen innerhalb derselben oder bei verschiedenen integrierten Schaltungen. Dadurch wird die Entwicklungszeit verkürzt, da die Schaltung nicht für jede Anwendung getrennt auf eine bestimmte Taktfrequenz hin ausgelegt werden muss. Zu beachten ist, dass die hierfür benötigten breitbandigen SSs einen höheren Energiebedarf als vergleichbare schmalbandige SSs aufweisen. Dennoch kann sich der Einsatz breitbandiger Schaltungen auch im Falle des Betriebs mit nur einer oder wenigen unterschiedlichen Taktfrequenzen auszahlen, da die Toleranz gegenüber Prozessschwankungen im Vergleich zu schmalbandigen Schaltungen deutlich größer und die Schaltung robuster gegenüber Veränderungen der Umgebungsbedingungen ist. Auch im Bereich der Messtechnik ist häufig eine variable Takt- oder Abtastfrequenz erforderlich. Im Bereich der Forschung wiederum bieten breitbandige Schaltungen den Vorteil, dass die Fehlersuche erleichtert wird, indem die Taktfrequenz verändert und somit Probleme, die nur in bestimmten Taktfrequenzbereichen auftreten, identifiziert werden können.

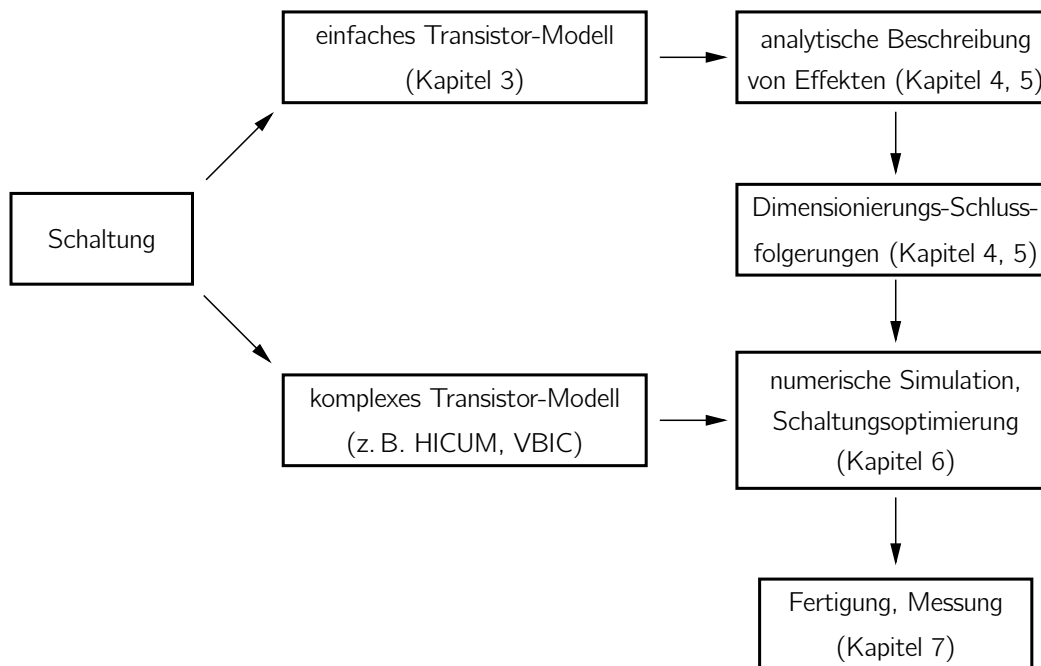
Die vorliegende Arbeit beschäftigt sich ausschließlich mit breitbandigen Hochgeschwindigkeitsschaltungen. Der Fokus liegt dabei auf Anwendungen, welche Taktfrequenzen bis

hin zur Grenze der Machbarkeit der verwendeten Transistortechnologie erfordern. Da sich nach dem gegenwärtigen Stand der Technik mit Bipolar-Transistortechnologien deutlich höhere Grenzfrequenzen als mit CMOS-Transistortechnologien erreichen lassen [9, 10], findet eine Beschränkung der Betrachtungen auf Bipolar-Transistoren statt. Beispielhaft wird eine aktuelle SiGe-BiCMOS-Technologie verwendet. Eine derartige Technologie hat gegenüber III/V-Technologien den Vorteil, dass innerhalb derselben integrierten Schaltung auch CMOS-Transistoren eingesetzt werden können. Auf diese Weise können sowohl Schaltungen, die mit hohen als auch die mit niedrigen Frequenzen arbeiten, kosten- und energieeffizient sowie platzsparend innerhalb einer einzigen integrierten Schaltung realisiert werden. Hiervon wird im Rahmen der vorliegenden Arbeit jedoch kein Gebrauch gemacht. Es werden ausschließlich die in der Technologie zur Verfügung stehenden Bipolar-Transistoren genutzt. Die darauf beruhenden Überlegungen lassen sich allgemein auch auf III/V-Technologien übertragen, sodass die Wahl der Technologie keine Einschränkung der Allgemeingültigkeit darstellt.

Die Entwicklung breitbandiger SSs an der Grenze der Technologie birgt mehrere Herausforderungen. Zum einen das Erreichen einer hohen Grenzfrequenz bei gleichzeitig hoher Ausgangsamplitude und Flankensteilheit. Zum anderen tritt insbesondere bei breitbandigen SSs, welche mit einem Taktsignal angesteuert werden, leicht ein frequenzabhängiger Gleichanteil bzw. Tastgradfehler, d. h. eine Abweichung des Tastgrads vom Idealwert von 50 % (vgl. Definition in Abschnitt 3.3.3) auf. Dieser hat negative Auswirkungen auf die mit dem Taktsignal angesteuerten Schaltungsteile und sollte daher minimiert werden. Um die Schaltung mit Blick auf die genannten Herausforderungen hin optimieren zu können, werden in der vorliegenden Arbeit analytische Modelle vorgestellt, welche die entsprechenden Größen und insbesondere ihre Einflussfaktoren beschreiben.

*Die vorliegende Arbeit besteht aus einem theoretischen und einem experimentellen Teil zur Verifikation der theoretischen Ergebnisse.*

Die theoretischen Überlegungen folgen einem *erkenntnisorientierten Optimierungsansatz*, der in Abbildung 1.1 veranschaulicht ist und auf folgender Grundidee basiert. Moderne Transistormodelle (z. B. VBIC [11], HICUM [12]) bilden eine Vielzahl von Effekten ab, welche insbesondere zur Beschreibung des Hochgeschwindigkeitsverhaltens wichtig sind. Die Anzahl der zu variierenden Einflussgrößen ist dabei häufig überschaubar. Neben der äußeren Beschaltung des Transistors (im Wesentlichen Arbeitspunkt sowie Quell- und Lastimpedanzen) kann beispielsweise bei der in dieser Arbeit eingesetzten Transistortechnologie lediglich die Emitterlänge in vorgegebenen, quantisierten Stufen verändert werden. Auch die im Zuge der Optimierung einer Schaltung betrachteten Größen sind häufig auf wenige beschränkt, z. B. Ausgangsamplitude, Grenzfrequenz und Tastgradfehler. Aufgrund der großen Komplexität der Transistormodelle findet jedoch keine unmittelbare Abbildung der betrachteten Eingangs- auf die Ausgangsgrößen statt, sondern die in ihrer Anzahl überschaubaren Eingangsgrößen werden auf einen hochkomplexen, multidimensionalen Raum aus zahlreichen Größen (Transistor-interne Ladungen, Spannungen, Ströme, Zeitkonstanten, ...) abgebildet, welcher wiederum auf den überschaubaren Raum der Ausgangsgrößen abgebildet wird. Hierdurch lassen sich zwar quantitativ



**Abbildung 1.1:** Ablaufdiagramm des in dieser Arbeit verfolgten erkenntnisorientierten Optimierungsansatzes.

und qualitativ gute Ergebnisse erzielen, ein Verständnis der Zusammenhänge zwischen Ein- und Ausgangsgrößen ist jedoch kaum möglich, was die Optimierung erschwert und häufig zu einer Schaltungsdimensionierung durch simulatives Ausprobieren sämtlicher Parameterkombinationen führt. Dabei handelt es sich jedoch um eine (rechen-)zeitintensive Aufgabe, welche zudem selbst bei geringfügiger Veränderung der Spezifikation stets komplett erneut durchgeführt werden muss.

In der vorliegenden Arbeit werden die Effekte von Interesse stattdessen basierend auf einem minimalen Transistor-Ersatzschaltbild (ESB), welches nur die zum Entstehen der zu beobachtenden Effekte benötigten Elemente enthält, analytisch beschrieben. Dies ermöglicht das Verständnis der Zusammenhänge und Einflussgrößen sowie des Optimierungspotenzials. Die Effekte lassen sich gut mit dem so erzeugten Modell studieren, wobei klar ist, dass sie sich unter Hinzunahme weiterer parasitärer Parameter verstärken bzw. abschwächen oder sogar umkehren. Eine zusätzliche Simulation mithilfe eines komplexen Transistormodells ist daher unerlässlich. Das einfache theoretische Modell erlaubt jedoch, die betrachteten Effekte in den Simulationsergebnissen zu identifizieren und je nach gewünschter Anwendung gezielte Maßnahmen zur Verstärkung oder Verringerung eines bestimmten Effekts zu treffen. Auf diese Weise ist zwar nach wie vor eine numerische Simulation zur Dimensionierung der Schaltung von Nöten, allerdings ist es nicht mehr erforderlich, sämtliche Parameter zu variieren, sondern es können gezielt die durch das theoretische Modell bekannten Einflussfaktoren optimiert werden. Dies erleichtert die Dimensionierung der Schaltung und beschleunigt so die Entwicklung. Teilweise ist

es sogar möglich, die entwickelten Modelle nachträglich für spezielle Anwendungsfälle zu kalibrieren und so auch quantitativ genaue Ergebnisse zu erhalten. Dies wird im experimentellen Teil der Arbeit am Beispiel einer Messmethode verdeutlicht, mit der durch Gleichspannungsmessungen die Wechsellspannungsamplitude am Eingang eines extern gespeisten, mit einem Taktsignal angesteuerten SS abgeschätzt werden kann.

Die Dimensionierung und Analyse der SSs in dieser Arbeit unterliegt folgenden grundlegenden Voraussetzungen und Randbedingungen.

- Es werden ausschließlich differenzielle Schaltungen in Current Mode Logic (CML) betrachtet. Die sich dadurch ergebenden Vorteile für Hochgeschwindigkeitsschaltungen werden in Abschnitt 2.1 näher aufgeführt.
- Mit Taktsignalen angesteuerte SSs werden üblicherweise weit im nichtlinearen Bereich ihrer Kennlinie betrieben. Eine Betrachtung im Kleinsignal ist daher ungeeignet und führt zu falschen Ergebnissen und Schlussfolgerungen (siehe Abschnitt 4.2.5).
- Die Signale an den Schnittstellen der betrachteten SSs werden in dieser Arbeit häufig in einen Gleich- und einen Gegentaktanteil aufgespalten. Diese Zerlegung ist dadurch motiviert, dass bei differenzieller Schaltungstechnik üblicherweise das Gegentaktsignal die Information trägt, während das Gleichtaktsignal nicht ausgewertet wird oder sogar negative Auswirkungen auf die Funktion der Schaltung hat. Zu beachten ist, dass zwar die Signale an den jeweiligen Schnittstellen stets in ihren Gleich- und Gegentaktanteil zerlegt werden können, nicht jedoch die Schaltung selbst. Aufgrund der Nichtlinearität gilt der Überlagerungssatz nicht und es findet eine Verkopplung zwischen Gleich- und Gegentaktsignalen statt (siehe auch Abschnitt 3.3).

Weitere allgemeine Voraussetzungen und Randbedingungen bei der Entwicklung von Hochgeschwindigkeitsschaltungen werden in Kapitel 2 vorgestellt.

Mit dem Begriff SS wird in dieser Arbeit der reine SS-Kern ohne die zugehörige Ansteuerung und Last bezeichnet. Eine entsprechende Partitionierung einer Beispielschaltung ist in Abbildung 3.2 dargestellt und wird im zugehörigen Kapitel näher erläutert. Typischerweise werden zum Treiben des SS ein oder mehrere Emitterfolger (EFs) und als Last Widerstände, eine Basisstufe (BS) oder eine Transimpedanzstufe (TIS) eingesetzt. Zur Dimensionierung von EF, BS und TIS gibt es zahlreiche Ansätze und Vorgehensweisen in der Literatur [13, 14, 15, 16, 17, 18, 19, 20, 21]. Aus diesem Grund wird darauf in dieser Arbeit nicht näher eingegangen. Der Fokus liegt auf dem SS selbst und den darin auftretenden, zum Teil noch nicht zuvor beschriebenen, nichtlinearen dynamischen Effekten.

Im Rahmen der vorliegenden Arbeit sind zwei integrierte MUX-Schaltungen entwickelt worden, deren Entwicklung und Messergebnisse im experimentellen Teil der Arbeit vorgestellt werden. Die MUX-Schaltungen sollen dazu eingesetzt werden, einen optischen Mach-Zehnder-Modulator (MZM) bei Datenraten von bis zu 100 Gbit/s respektive

200 Gbit/s und einem differentiellen Ausgangshub von  $2 V_{pp}$  anzusteuern. Die Besonderheit hierbei ist, dass diese hohen Datenraten bereits auf der elektrischen Ebene erzeugt und über einen einzelnen optischen MZM übertragen werden, welcher im finalen Entwicklungsschritt zusammen mit der MUX-Schaltung monolithisch integriert wird. Dies unterscheidet sich von bekannten Konzepten, bei denen mehrere optische Signale mit niedrigerer Datenrate auf der optischen Ebene kombiniert werden [22]. Ein erster Prototyp einer derartigen integrierten Schaltung erzielt gemessene Datenraten bis 120 Gbit/s auf der optischen Ebene [23]. Nähere Informationen zur intendierten Anwendung finden sich in Kapitel 6.

Varianten der entwickelten MUX-Schaltungen mit einem elektrischen Ausgang anstelle des integrierten MZM erreichen an einer externen Last von  $50 \Omega$  gemessene differentielle Ausgangshübe von  $1,2 V_{pp}$  bei einer Datenrate von 140 Gbit/s respektive von mehr als  $0,3 V_{pp}$  bei 180 Gbit/s oder alternativ von  $2,0 V_{pp}$  bei 100 Gbit/s. Zum Zeitpunkt der jeweiligen Veröffentlichung in [24] bzw. [25] stellten diese Werte einen Rekord für MUXs in SiGe-Bipolar-Technologie dar. Dies kann dem Vergleich mit dem Stand der Technik in Tabelle 1.1 entnommen werden. Die im Rahmen der vorliegenden Arbeit entwickelten MUX-Schaltungen sind in der Tabelle fett markiert. Bereits die in [24] erstmalig vorgestellte MUX-Variante weist bei einer Datenrate von 100 Gbit/s einen hohen differentiellen Ausgangshub von  $2 V_{pp}$  auf, was lediglich von MUXs in III/V-Technologie übertroffen wird. Die in [25] vorgestellte MUX-Variante (siehe Kapitel 6) zeigt mit ihrer Datenrate von 180 Gbit/s einen deutlichen Abstand zum nächstschnellsten MUX in SiGe-Bipolartechnologie mit 140 Gbit/s [2], welcher zudem einen niedrigeren Ausgangshub aufweist. Die entwickelte MUX-Variante wird bezüglich der Datenrate lediglich von dem MUX aus [26] übertroffen, welcher in einer III/V-Technologie mit einer deutlich höheren Transitfrequenz der Transistoren realisiert ist und dennoch einen geringeren Ausgangshub bereitstellt.

Im Zuge der vorliegenden Arbeit sind sämtliche auf der höchsten Geschwindigkeitsebene arbeitenden Stufen der MUX-Schaltungen entwickelt worden. Besondere Bedeutung liegt dabei auf dem Power-Multiplexer (PMUX), der einstellbaren Verzögerung der Taktsignale und dem Frequenzverdoppler. Für die letzteren beiden wird eine im Rahmen der Arbeit entwickelte, neuartige und in [25] vorgestellte Schaltung zur breitbandigen Phasenverschiebung von Taktsignalen eingesetzt. Details zum Entwurf der MUX-Schaltungen sind in Kapitel 6 zu finden. Die Stufen der MUX-Schaltungen, die mit niedrigeren Geschwindigkeiten arbeiten (im Wesentlichen der 8:2 bzw. 4:2 Prä-MUX) sind in Kooperation mit der MICRAM GmbH entwickelt worden und daher nicht Gegenstand der vorliegenden Arbeit.

Die Arbeit ist wie folgt strukturiert. Allgemeine Schaltungskonzepte und Optimierungsüberlegungen, die sich bei der Entwicklung von Hochgeschwindigkeitsschaltungen bewährt haben, sind in Kapitel 2 vorgestellt. Diese Grundlagen nach dem Stand der Technik schränken den Spielraum der zur Verfügung stehenden Schaltungstopologien ein und schaffen somit Randbedingungen sowohl für die Betrachtungen im theoretischen als auch im experimentellen Teil der Arbeit.

Tabelle 1.1: Stand der Technik von Hochgeschwindigkeits-MUXs in Bipolartechnologie.

Datenrate in Gbit/s	differenz. Hub in V	MUX- Verhältnis	Leistungsbe- darf in W	Ausgangs- stufe	Techno- logie	$f_T$ in GHz	Jahr	Referenz
212	0,2	2:1	0,5	Verstärker	InP	400	2019	[26]
<b>180</b>	> <b>0,3</b>	<b>4:1</b>	<b>9,9</b>	<b>PMUX</b>	<b>SiGe</b>	<b>300</b>	<b>2019</b>	[25]
165	0,7	4:1	1,6	Verstärker	InP	300	2006	[27]
<b>140</b>	<b>1,2</b>	<b>8:1</b>	<b>7,5</b>	<b>PMUX</b>	<b>SiGe</b>	<b>300</b>	<b>2017</b>	[24]
144	0,5	2:1	1,7	Verstärker	InP	245	2004	[28]
140	0,1	4:1	5,8	Verstärker	SiGe	300	2015	[2]
120	0,9	2:1	1,6	PMUX	InP	160	2004	[29]
112	7,2	2:1	3,8	verteilt	InP	320	2012	[30]
112	2,0	2:1	2,0	Verstärker	InP	350	2011	[31]
<b>100</b>	<b>2,0</b>	<b>8:1</b>	<b>7,5</b>	<b>PMUX</b>	<b>SiGe</b>	<b>300</b>	<b>2017</b>	[24]
50	2,0	2:1	2,0	PMUX	SiGe	72	1998	[32]

In Kapitel 3 wird das in den nachfolgenden Kapiteln der Arbeit verwendete Transistor-ESB eingeführt und die es beschreibenden Gleichungen aufgestellt. Da bei der Analyse von mit Taktsignalen angesteuerten SSs bei Hochgeschwindigkeitsschaltungen vor allem das nichtlineare, dynamische Verhalten von Interesse ist, findet die Modellierung mit Hinblick darauf statt. Es wird in diesem Zuge eine lineare Differenzialgleichung aufgestellt, welche es zusammen mit nichtlinearen algebraischen Gleichungen erlaubt, das nichtlineare, dynamische Verhalten zu beschreiben. Das derart hergeleitete Gleichungssystem bildet die Grundlage für die nachfolgenden analytischen Untersuchungen, ist jedoch bereits mit Blick auf die in der vorliegenden Arbeit bestehenden Randbedingungen und Zielsetzungen spezialisiert.

Kapitel 4 und Kapitel 5 stellen den Kern des theoretischen Teils der vorliegenden Arbeit dar. Beiden Kapiteln ist gemeinsam, dass das zuvor aufgestellte Gleichungssystem zur Beschreibung von nichtlinearen, mit einem Taktsignal angesteuerten SSs für jeweils bestimmte, zu optimierende Ausgangsgrößen analytisch untersucht wird. Dadurch lassen sich die auf die jeweils betrachteten Ausgangsgrößen wirkenden Eingangsgrößen identifizieren und Schlussfolgerungen zur Dimensionierung und Optimierung der Schaltung treffen.

Konkret hat Kapitel 4 die Zielsetzung, die Ausgangsamplitude, die Grenzfrequenz und die Flankensteilheit von mit Taktsignalen angesteuerten SSs zu optimieren. Im Zuge dessen zeigen sich bei der Analyse der Modellgleichungen mehrere Zusammenhänge und Einflussfaktoren. Neben bekannten Zusammenhängen, welche den Stand der Technik bestätigen, tritt ein bisher noch nicht analytisch modellierter und in dieser Arbeit als dynamischer Überhöhungseffekt bezeichneter Zusammenhang auf. Dieser vom Autor in [33] erstmals anschaulich und in der vorliegenden Arbeit auch analytisch beschriebene Effekt erlaubt es, (parasitäre) Kapazitäten an den SS-Transistoren gezielt zur Erhöhung der Ausgangsamplitude und der Grenzfrequenz bzw. der Flankensteilheit auszunutzen.

Kapitel 5 wertet das Gleichungssystem aus Kapitel 3 im Hinblick auf Tastgradfehler (siehe Definition in Abschnitt 3.3.3) und Gleichanteile am Ausgang von mit Taktsignalen angesteuerten SSs aus. Beide Größen erweisen sich als problematisch sowohl bei der Verteilung der Taktsignale selbst als auch insbesondere für die Funktionsfähigkeit der mit den Taktsignalen angesteuerten Schaltungsteile. Es ist daher wünschenswert, Tastgradfehler und Gleichanteile möglichst zu minimieren. In der Literatur finden sich hierzu verschiedene separate Betrachtungen für bestimmte Spezialfälle. Die analytischen Untersuchungen in Kapitel 5 bieten demgegenüber den Vorteil, dass ein geschlossenes Modell zur Beschreibung von Tastgradfehler und Gleichanteil am Ausgang einer allgemeinen SS-Stufe hergeleitet wird. Dadurch ist es möglich, auch eine Kaskade von derartigen Stufen und somit auch Taktverteilungsnetzwerke zu beschreiben. Das Modell beinhaltet und kombiniert nicht nur die wesentlichen bereits bekannten Erkenntnisse auf kompakte Weise, sondern erklärt zudem analytisch den zuvor lediglich messtechnisch bzw. simulativ beobachteten Effekt einer vermehrten Tastgradfehler-Verstärkung bei mittleren Taktfrequenzen und führt diesen auf Resonanzüberhöhungen im (linearen) Frequenzgang von der Signalquelle zum Eingang des betrachteten SS zurück. Der zugehörige Teil

des Modells ist vom Autor erstmals in [33] vorgestellt worden und in der vorliegenden Arbeit in das kompakte Gesamtmodell eingebunden. Basierend auf den Erkenntnissen aus dem Gesamtmodell werden Maßnahmen zur Verringerung von Tastgradfehlern und Gleichanteilen vorgeschlagen. Darüber hinaus werden hierfür typischerweise verwendete Schaltungskonzepte mithilfe des vorgestellten Modells eingeordnet und ihre Vor- und Nachteile bei verschiedenen Anwendungsfällen aufgezeigt.

Die im Rahmen des theoretischen Teils der Arbeit erlangten Erkenntnisse werden im experimentellen Teil in Kapitel 6 genutzt, um zwei integrierte MUX-Schaltungen bei Datenraten und Ausgangshüben nahe der Grenze der Technologie zu entwerfen und zu dimensionieren. Hierbei wird ein PMUX-Konzept eingesetzt, welches sich bereits in der Vergangenheit bewährt hat [32, 34] und dessen Vorzüge sich anschaulich mithilfe des analytischen Modells aus Kapitel 4 erklären lassen. Die für die Erzielung der Rekord-Ergebnisse der MUX-Schaltungen im Wesentlichen relevanten Stufen werden in Kapitel 6 vorgestellt und ihre Dimensionierung erläutert sowie beispielhaft mit den Ergebnissen aus dem theoretischen Teil der Arbeit verglichen. Darüber hinaus wird das vom Autor in [25] erstmals vorgestellte Schaltungskonzept zur Phasenverschiebung von breitbandigen Taktsignalen um  $90^\circ$  näher beleuchtet. Dieses wird in der Taktverteilung der MUX-Schaltungen für einstellbare Verzögerungsstufen und einen integrierten Frequenzverdoppler genutzt.

Messergebnisse in Kapitel 7 bestätigen die korrekte Funktion der entwickelten MUX-Schaltungen. Es wird im Zuge dessen darüber hinaus eine aus den analytischen Modellen des theoretischen Teils der Arbeit abgeleitete Methode zur Bestimmung der Eingangsamplitude des Takt-Eingangverstärkers mithilfe von Gleichspannungsmessungen vorgestellt.



# **Teil I**

## **Theoretischer Teil**

## 2 Grundlegende Optimierungsüberlegungen und Randbedingungen

Die vorliegende Arbeit präsentiert in ihrem theoretischen Teil Optimierungskriterien und Schlussfolgerungen zur Dimensionierung breitbandiger, mit Taktsignalen angesteuerter SSs und nutzt die daraus gewonnenen Erkenntnisse im experimentellen Teil zur Entwicklung und Verifikation zweier integrierter MUX-Schaltungen am Rande der maximalen Technologieschwindigkeit. Die integrierten MUX-Schaltungen bestehen neben dem eigentlichen MUX aus zahlreichen weiteren Schaltungsteilen zur Verteilung des Taktsignals sowie zur Aufbereitung der Datensignale. Die Entwicklung eines solchen aus zahlreichen Schaltungsteilen bestehenden Gesamtsystems setzt nicht nur das Verständnis eines einzelnen SS voraus, sondern erfordert eine akribische Planung und Partitionierung des Gesamtsystems unter Berücksichtigung der externen Peripherie. Hierfür haben sich in der Literatur Prinzipien und Methoden etabliert, welche im Folgenden vorgestellt werden. Daraus folgen Annahmen, Randbedingungen und Einschränkungen, welche für sämtliche nachfolgenden Kapitel vorausgesetzt werden und damit die Grundlage der vorliegenden Arbeit darstellen.

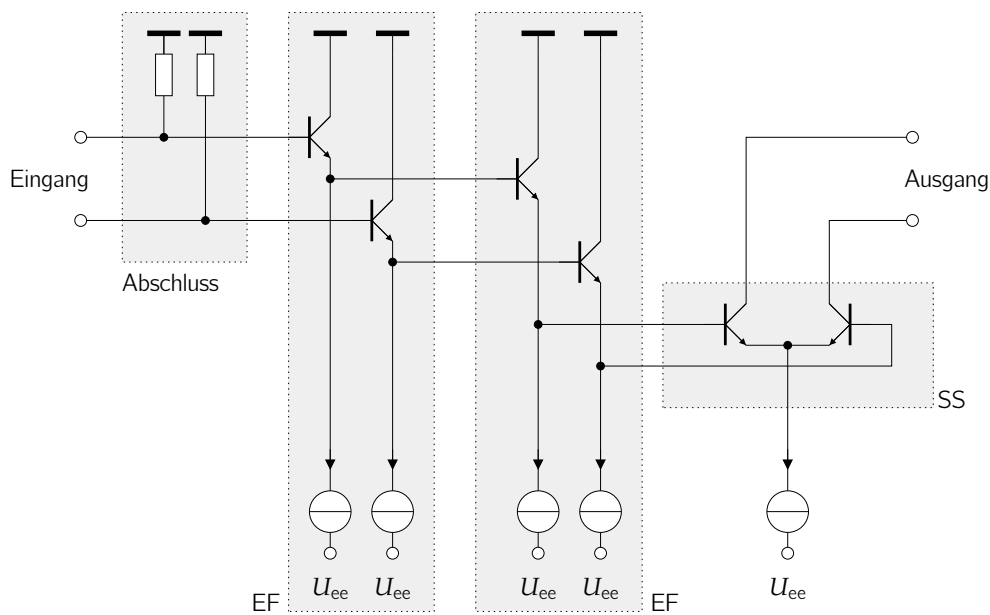
### 2.1 Eingesetzte Schaltungstopologie und -partitionierung

Aufgrund mehrerer Vorteile empfiehlt es sich, Hochgeschwindigkeitsschaltungen in differenzieller Schaltungstechnik auszuführen [35]. Dies bedeutet, dass sämtliche Signalpfade symmetrisch gestaltet werden, wobei als Nutzsignal das Gegentakt-Signal in Form der (halben) Differenz der Spannungen oder Ströme zwischen den differenziellen Signalleiterpaaren ausgewertet wird. Einer der wesentlichen Vorteile besteht darin, dass Gleichtakt-signale, welche durch Störungen auf der Versorgungsspannung bzw. der Masse verursacht oder eingekoppelt werden, keine oder kaum Auswirkungen auf die Schaltung haben. Der maximale Vorteil der differenziellen Schaltungstechnik ergibt sich, wenn nicht nur die Schnittstellen, sondern die komplette Schaltung sowohl bezüglich ihrer Topologie als auch des zugehörigen Layouts symmetrisch aufgebaut wird [36]. Dadurch entsteht bei Kleinsignal-Betrieb entlang der Symmetrielinie eine virtuelle Masse im Gegentakt, welche unabhängig von der realen Masse stets ideal ist [13]. Verkopplungen verschiedener Schaltungsteile über die Masse werden auf diese Weise vermindert. Bei den in der vorliegenden Arbeit betrachteten Schaltungen liegt üblicherweise kein Kleinsignal-Betrieb vor, weshalb auch entlang der Symmetrielinie Signalanteile auftreten. Dennoch hilft der symmetrische Aufbau auch in diesem Fall, potenzielle Störungen zu reduzieren.

Für die Signalschnittstellen zwischen den einzelnen Schaltungsteilen wird CML eingesetzt [35]. Dabei handelt es sich um Stromschnittstellen, womit auf einfache Weise (Logik-)Verknüpfungen realisiert werden können und welche eine gute Entkopplung der einzelnen Schaltungsteile ermöglichen, sodass diese getrennt voneinander entwickelt und optimiert werden können. In diesem Zusammenhang bietet sich die Verwendung des zellbasierten Entwurfkonzepts [13] an, bei welchem die einzelnen Schaltungsteile nicht nur logisch, sondern auch räumlich im Layout separiert in Form von einzelnen Zellen angeordnet werden. Die Entwicklung der einzelnen Zellen kann getrennt voneinander und somit parallelisiert durchgeführt werden. Die einzelnen Zellen werden auf einer übergeordneten Hierarchieebene miteinander verbunden und können so ohne zusätzlichen Entwicklungsaufwand mehrmals innerhalb einer Schaltung oder auch für verschiedene Schaltungen eingesetzt werden. Um unerwünschte Verkopplungen zwischen den Zellen zu vermeiden, werden um jede Zelle Ringe aus Metallen in den einzelnen Metallebenen gelegt und mit der Masse bzw. der Versorgungsspannung verbunden. Die Ringe dienen nicht nur als Abschirmung, sondern auch zur Verteilung der Versorgungsspannung und der Masse innerhalb der Zelle. Die Verbindung mit der globalen Masse und der globalen Versorgungsspannung erfolgt idealerweise nur an einer oder wenigen Stellen entlang der Symmetrieachse der Zelle, um zu verhindern, dass Querströme innerhalb der globalen Versorgungsspannungsverteilung durch die Zelle fließen. [13]

Damit die getrennte Entwicklung einzelner Zellen möglich ist, müssen die Schnittstellen zwischen den Zellen klar definiert sein. Dies bezieht sich einerseits auf Größen wie Stromamplitude oder Eingangsimpedanz und setzt andererseits voraus, dass durch die Verbindung zweier Zellen möglichst keine Rückwirkungen auftreten. Eine Minimierung der Rückwirkungen kann durch Fehlanpassung zwischen den Zellen erreicht werden, wofür die Schnittstellen vorzugsweise am Ausgang von SSs oder BSs gewählt werden [13]. Ein typisches Beispiel für eine nach den genannten Kriterien aufgebaute Zelle ist die in Abbildung 2.1 gezeigte Verstärkerzelle, welche aus Abschlusswiderständen am Eingang, zwei EFs zur Impedanztransformation und einem SS besteht [35]. Die Versorgungsspannung ist mit  $U_{ee}$  bezeichnet. Auf die Funktionsweise und die Eigenschaften der einzelnen Komponenten der Schaltung wird in Kapitel 3 näher eingegangen. An dieser Stelle liegt der Fokus auf der Betrachtung der Schnittstellen zu vor- und nachgeschalteten Zellen. Bei niedrigen Frequenzen stellt der Ausgang des SS näherungsweise eine (hochohmige) Stromquelle dar. Gleichzeitig wird die Eingangsimpedanz der Zelle im Wesentlichen durch die (niederohmigen) Abschlusswiderstände bestimmt. Bei einer Kaskadierung gleichartiger Zellen tritt an den Schnittstellen somit eine optimale Fehlanpassung auf, welche dafür sorgt, dass es zu keinen nennenswerten Rückwirkungen durch die Kaskadierung kommt. Auch bei höheren Frequenzen ist die Fehlanpassung aufgrund zueinander komplex konjugierter Ausgangs- und Eingangsimpedanzen weiterhin gegeben [13].

Die in Abbildung 2.1 gezeigte Schaltung bildet die Basis zahlreicher weiterer Schaltungen, welche sich durch Modifikationen oder Erweiterungen daraus erhalten lassen. Durch Kombination mehrerer SSs mit unterschiedlichen Eingangssignalen lassen sich beispielsweise Logikgatter (z. B. exklusives Oder, Selektieren) oder Frequenzteiler realisieren.



**Abbildung 2.1:** Beispiel für eine typische, in den Schaltungen des experimentellen Teils dieser Arbeit häufig eingesetzte Verstärker- bzw. Treiber-Zelle mit CML-Schnittstellen an Ein- und Ausgang im Einklang mit dem zellbasierten Entwurfskonzept [13, 35].

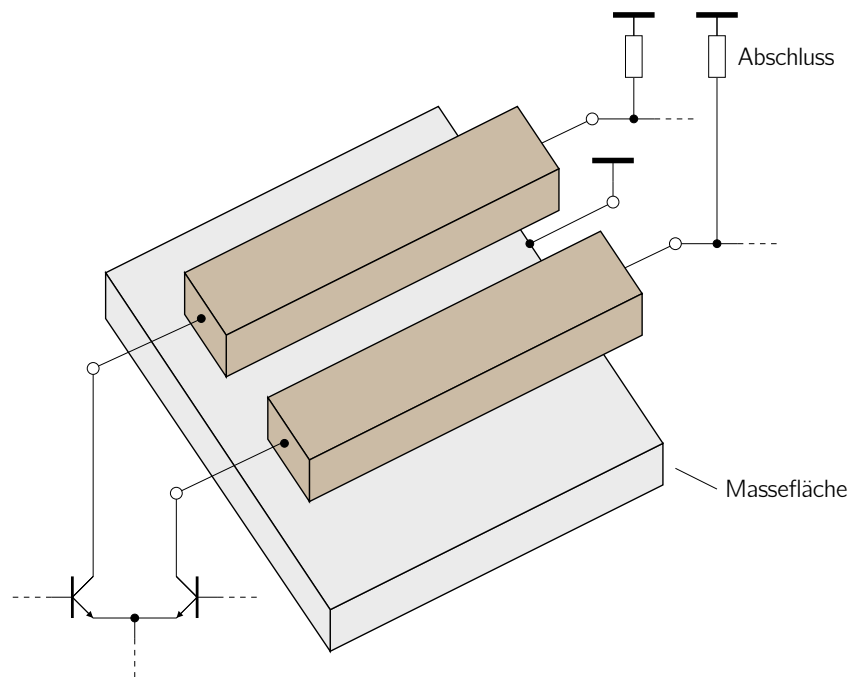
Wegen der elementaren Bedeutung dieser grundlegenden Schaltung beschäftigt sich der theoretische Teil der vorliegenden Arbeit mit ihrer Optimierung, insbesondere des darin enthaltenen SS bezüglich seiner Ausgangsamplitude, seiner Grenzfrequenz und eines möglichst geringen Tastgradfehlers bei Ansteuerung mit einem Taktsignal.

Alle Schaltungszellen werden in ein globales Versorgungsspannungsnetz eingebunden, welches sich in Form eines Gitters über die integrierte Schaltung erstreckt [13]. Die Wahl eines Gitters anstelle einer durchgängigen Fläche ist von Nöten, um die maximal zulässigen Metallichten der Halbleitertechnologie nicht zu überschreiten. Aufgrund seiner großen Ausdehnung erlaubt das Gitter eine niederohmige Anbindung der einzelnen Zellen an die externe Versorgungsspannung sowie an die Masse. Gleichzeitig formt es einen Plattenkondensator, welcher eine Abblockung der Versorgungsspannung und dadurch eine niedrige Quellimpedanz ermöglicht [35]. Die zugehörige Kapazität kann gegebenenfalls durch zusätzlich in das Gitter eingebrachte Kondensatoren vergrößert werden [13], wobei diese auf einem ausreichend feinen Raster angeordnet werden sollten, da sie ansonsten zusammen mit den parasitären Induktivitäten des Gitters Resonanzkreise innerhalb des Betriebsfrequenzbereichs bilden [21].

Die Verwendung von CML bedingt, dass die Stromaufnahme jeder Zelle zeitlich näherungsweise konstant und unabhängig von den angelegten Eingangssignalen ist (siehe auch Abschnitt 4.3). Dies hat den Vorteil, dass der Betriebsstrom einer Zelle zu keinen signalabhängigen Spannungsabfällen an der Versorgungsspannung führt, was gut

für eine Entkopplung der einzelnen Zellen ist. Allerdings bedeutet die zeitliche Konstanz des Betriebsstroms jeder Zelle auch, dass dieser unabhängig von den augenblicklich angelegten Eingangssignalen ist und sich daher nach den maximalen Anforderungen an die Zelle richtet, insbesondere im Hinblick auf ihre Geschwindigkeit. In diesem Zusammenhang zeigt sich ein Nachteil des globalen Versorgungsspannungsnetzes. Aufgrund der begrenzten Anzahl an zur Verfügung stehenden Metallebenen können nur eine oder wenige verschiedene Versorgungsspannungen verteilt werden. Zwar können auch innerhalb einer Metallebene mehrere verschiedene Versorgungsspannungen geführt werden, allerdings ist es dann nicht mehr möglich, ein durchgängiges Gitter zu konstruieren, wodurch sich die Quellimpedanz der Versorgungsspannungsverteilung erhöht. Mehrere verschiedene Versorgungsspannungen bergen zudem die Schwierigkeit, dass mehrere interne oder externe Spannungsregler verwendet werden müssen, welche nicht nur eine hohe Energieeffizienz aufweisen sollten, sondern auch nur geringe Störungen auf der Versorgungsspannung und insbesondere von räumlich benachbarten Signalen verursachen dürfen. Zudem muss häufig eine geeignete Ein- und Ausschalt-Reihenfolge der verschiedenen Versorgungsspannungen gewährleistet werden, da es ansonsten passieren kann, dass die Sperr-Durchbruchspannung von Diodenstrecken (insbesondere der Basis-Emitter-Diodenstrecken von Transistoren) überschritten wird oder dass die Substrat-Dioden leitfähig werden, wodurch die integrierte Schaltung zerstört wird. Um die Komplexität der Schaltung und deren Entwicklung im Rahmen zu halten, werden aus diesen Gründen üblicherweise mehrere Zellen mit derselben Versorgungsspannung betrieben, welche sich nach der jeweils höchsten benötigten Versorgungsspannung aller gemeinsam betriebener Zellen richtet. Wegen der konstanten Stromaufnahme jeder Zelle ergibt sich dadurch eine höhere Leistungsaufnahme als wenn jede Zelle mit ihrer optimalen Versorgungsspannung betrieben würde. Für die zur Demonstration im experimentellen Teil dieser Arbeit in Kapitel 6 vorgestellten, entwickelten MUX-Schaltungen wird die höhere Leistungsaufnahme aus Gründen der einfacheren Entwicklung in Kauf genommen. Für eine Produktentwicklung ist hingegen anzuraten, eine angepasste Versorgungsspannungsverteilung mit mehreren verschiedenen Versorgungsspannungen zu verwenden.

Bei sämtlichen in dieser Arbeit betrachteten Schaltungen werden ausschließlich npn-Transistoren verwendet, da diese prinzipbedingt höhere Transitfrequenzen als vergleichbare pnp-Transistoren aufweisen [37]. Die im experimentellen Teil dieser Arbeit verwendete SiGe-BiCMOS-Technologie SG13G2 von IHP stellt überdies keine pnp-Transistoren zur Verfügung, sodass selbst für Schaltungsteile, welche mit niedrigen Frequenzen arbeiten, nicht darauf zurückgegriffen werden kann. Bei Verwendung von npn-Transistoren ergibt sich zwangsläufig, dass sämtliche Ein- und Ausgangssignale auf das höchste Potenzial bezogen werden. Als gemeinsamer Bezugspunkt wird daher dieses höchste Potenzial als Masse gewählt, sodass die in der vorliegenden Arbeit mit  $U_{ee}$  bezeichnete Versorgungsspannung im Vergleich zur Masse negativ ist [13].



**Abbildung 2.2:** Aufbau einer integrierten TML bestehend aus zwei Metallstreifen über einer gemeinsamen metallenen Massefläche (nicht maßstäblich). Angedeutet sind beispielhaft die Ausgangsstufe der die TML treibenden Zelle und die Eingangsbeschaltung der durch die TML angesteuerten Zelle.

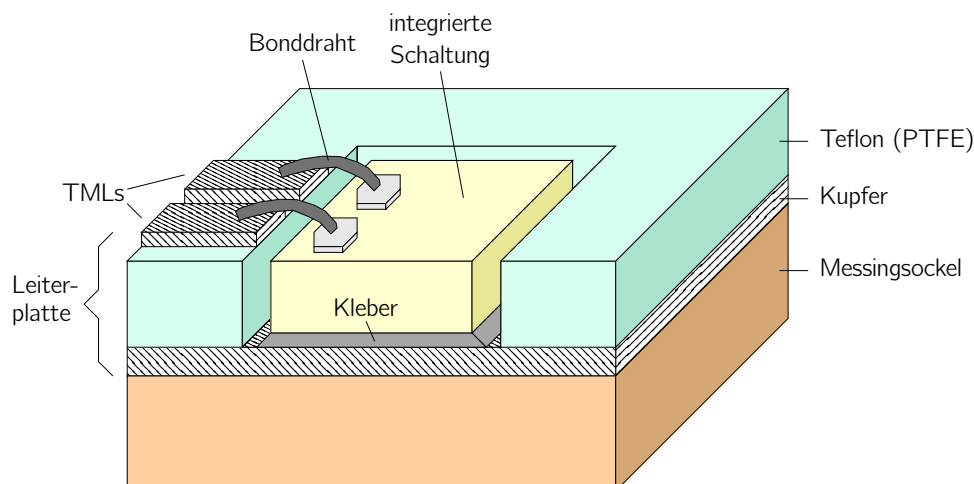
## 2.2 Realisierung der internen und externen Schnittstellen

Das zellbasierte Entwurfskonzept eröffnet einen Freiheitsgrad bei der räumlichen Anordnung der einzelnen Zellen innerhalb der integrierten Schaltung, da die Zellen aufgrund ihrer abgeschlossenen Form prinzipiell beliebig platziert werden können. Eine Einschränkung ergibt sich aus der Verbindung der Zellen miteinander. Hierzu werden integrierte Übertragungsleitungen (transmission line, TMLs) verwendet, welche wie in Abbildung 2.2 dargestellt in Form zweier Metallstreifen über einer gemeinsamen Massefläche realisiert sind. Die Massefläche stellt neben der gewünschten Kapazität zu den Signalleitern eine elektrische Schirmung zu den darunter liegenden Metallen dar [13, 38]. Die Geometrie der TMLs ist so gewählt, dass ihre differenzielle Wellenimpedanz der differenziellen Eingangsimpedanz der angeschlossenen Zelle entspricht. Üblicherweise liegt die differenzielle Wellenimpedanz im Bereich von  $2 \cdot 50 \Omega$  bis  $2 \cdot 70 \Omega$ . Höhere Werte lassen sich aufgrund von Beschränkungen der TML-Geometrie bei typischen Halbleitertechnologien erfahrungsgemäß schlecht realisieren. Um bei vertretbarer Stromaufnahme der Schaltung ausreichend hohe Spannungsamplituden zu erreichen, empfiehlt es sich, die TML nur an ihrem Ende abzuschließen, wie in Abbildung 2.2 angedeutet. Auf diese Weise verdoppelt sich die Spannungsamplitude der zu übertragenden Signale im Vergleich zu jeweils einem

Abschluss an beiden Enden der TML. Simulationen in der Literatur haben gezeigt, dass die Signalqualität dabei nahezu ebenso gut wie bei beidseitigem Abschluss und besser als bei einem Abschluss nur am Eingang der TML ist [13]. Trotz des Abschlusses treten aufgrund nichtidealer Eigenschaften sowohl der TML als auch der damit angesteuerten Zelle Mehrfachreflexionen und frequenzabhängige Dämpfungen auf, welche umso stärker ausgeprägt sind, je länger die TML und je höher die zu übertragenden Frequenzen sind. Es empfiehlt sich daher, die einzelnen Zellen innerhalb der integrierten Schaltung räumlich so anzuordnen, dass die Signale mit den höchsten Frequenzen über die kürzesten TMLs übertragen werden und vice versa [36]. Diese aus signaltechnischer Sicht optimierte Zellanordnung führt dazu, dass Zellen, welche bei hohen Geschwindigkeiten betrieben werden, nahe beieinander liegen. Da Zellen mit hohen Geschwindigkeiten meistens auch hohe Leistungsaufnahmen aufweisen, entsteht durch die nahe räumliche Anordnung ein Bereich hoher Temperatur (*Hot Spot*). Darauf muss gegebenenfalls bei der thermischen Planung der integrierten Schaltung Rücksicht genommen werden. Für die im experimentellen Teil dieser Arbeit entwickelten integrierten Schaltungen liegt der Fokus auf dem Erreichen einer optimalen Signalqualität, sodass die Entstehung von Hot Spots in Kauf genommen und durch externe Kühlung kompensiert wird. Im Falle einer Produktentwicklung kann eine Anordnung der Zellen mit längeren TMLs und damit einer schlechteren Signalqualität, aber einer homogeneren Temperaturverteilung unter Umständen attraktiver sein.

Neben den Schnittstellen zwischen den Zellen innerhalb der integrierten Schaltung sind insbesondere die Schnittstellen zur externen Peripherie entscheidend für die Funktionsfähigkeit und die Signalqualität von Hochgeschwindigkeitsschaltungen. Um diese Schnittstellen so optimal wie möglich zu gestalten, hat sich eine Aufbautechnik etabliert, bei welcher die integrierte Schaltung ohne Gehäuse (d. h. als *bare die*) wie in Abbildung 2.3 veranschaulicht direkt in die Aussparung einer dafür angefertigten Leiterplatte geklebt wird [35, 36]. Die Leiterplatte hat eine Kupferrückseite, welche als Massefläche sowie als Träger für die integrierte Schaltung dient. Die Leiterplatte wiederum ist auf einem Messingsockel befestigt, welcher als Träger für 2,92 mm- und 1,85 mm-Stecker dient, die direkt mit der Leiterplatte verlötet sind. Die Leiterplatte besteht aus einem Teflon-Material, welches es erlaubt, TMLs mit geringer Dämpfung zu realisieren, die bis direkt an die integrierte Schaltung geführt und mithilfe von Bonddrähten mit den Bondpads verbunden werden. Dieser Aufbau ermöglicht es, hohe Bandbreiten bei guter Signalqualität zu erzielen. Bei dem Entwurf der Leiterplatte wird genau wie bei der Anordnung der Zellen innerhalb der integrierten Schaltung darauf geachtet, Signalwege mit hohen Frequenzen möglichst kurz zu halten. Dies ist insbesondere für Datensignale entscheidend, da es aufgrund von Dispersion auf den TMLs zu Datenmuster-abhängigen Störungen kommen kann. Bei Taktsignalen ist die Länge der TMLs weniger kritisch, da eine Phasenverschiebung häufig irrelevant ist bzw. ohnehin kompensiert werden muss und eine Dämpfung der Signalamplitude in Maßen durch Einspeisung höherer Pegel oder zusätzlicher Verstärkung ausgeglichen werden kann.

Die Bondpads werden in der Reihenfolge Ground-Signal-Signal-Ground (GSSG) angeordnet, d. h. das differenzielle Signalpaar befindet sich in der Mitte zwischen zwei Masse-



**Abbildung 2.3:** Bei der im Rahmen dieser Arbeit entwickelten integrierten Schaltungen verwendete Aufbautechnik nach [36] (nicht maßstäblich).

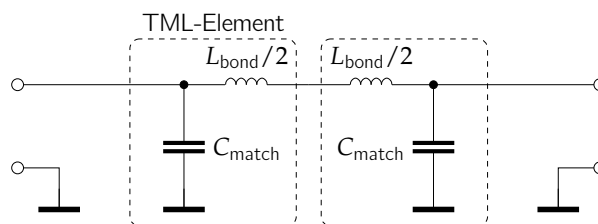
Bonddrähten bzw. -pads. Durch diese Anordnung wird zum einen eine Abschirmung zu benachbarten Schnittstellen erreicht und zum anderen sorgt die induktive Kopplung zwischen den Signal-Bonddrähten dafür, dass die effektive Induktivität für Gegentakt-Signale geringer als für Gleichtakt-Signale ist, sodass die erwünschten Gegentakt-Signale mit weniger Dämpfung als die unerwünschten Gleichtakt-Signale übertragen werden [36]. Nichtsdestoweniger wirkt sich die Induktivität der Bonddrähte negativ auf die Signalübertragung aus. In [36, 39] wird eine Methode vorgeschlagen, bei der wie in Abbildung 2.4 angedeutet Gesamt-Kapazitäten  $C_{\text{match}}$  an beiden Enden der Bonddrähte durch Einbringen diskrete Kapazitäten zusätzlich zu den vorhandenen parasitären Kapazitäten realisiert werden. Zusammen mit der Bonddraht-Induktivität  $L_{\text{bond}}$  kann so im Gegentakt ein diskretes Element einer TML erzeugt werden, wodurch sich die Bonddraht-Schnittstelle als Teil der TML auf der Leiterplatte ansehen lässt, welche mit ihrer Wellenimpedanz

$$Z_W \approx \sqrt{\frac{L_{\text{bond}}/2}{C_{\text{match}}}} \quad (2.1)$$

näherungsweise korrekt abgeschlossen ist, sodass sich eine optimale Signalübertragung ergibt. Die zugrunde liegenden Überlegungen können auch für eine getrennte Optimierung im Gleich- und im Gegentakt erweitert werden [15]. Da jedoch nur an den beiden Enden der Bonddrähte Kapazitäten eingebracht werden können und nicht verteilt entlang des Bonddraht-Verlaufs, haben die aus Bonddraht-Induktivität  $L_{\text{bond}}$  und Kapazitäten  $C_{\text{match}}$  gebildeten TML-Elemente eine nicht-infinitesimale Ausdehnung und weisen folglich eine Resonanzfrequenz

$$f_{\text{res}} := \frac{1}{2\pi\sqrt{\frac{L_{\text{bond}}}{2}C_{\text{match}}}} \approx \frac{Z_W}{\pi L_{\text{bond}}} \quad (2.2)$$

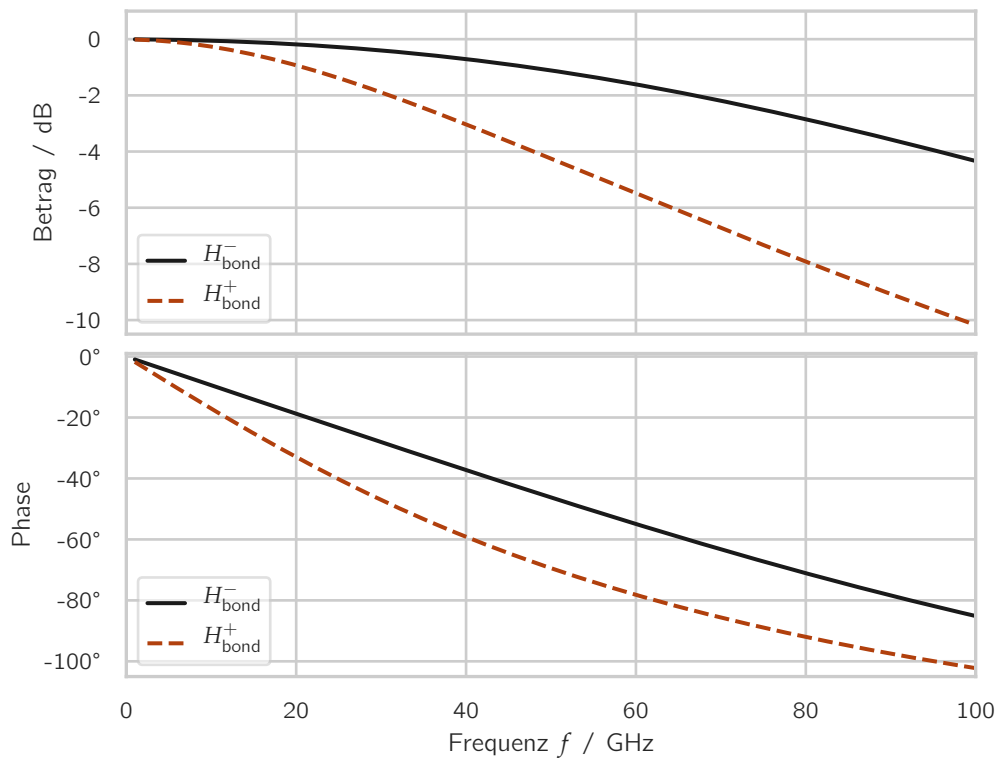




**Abbildung 2.4:** (Vereinfachte) Methode nach [39, 36], um durch Hinzufügen zusätzlicher Kapazitäten die Bonddraht-Induktivität  $L_{\text{bond}}$  im Gegentakt als Teil von TML-Elementen einzusetzen.

auf, welche außerhalb des verwendeten Signalfrequenzbereichs liegen muss, da es ansonsten zu gravierenden Beeinträchtigungen bei der Signalübertragung kommt. Selbst für ein Beispiel sehr kurzer Bonddrähte mit einer Bonddraht-Induktivität  $L_{\text{bond}}$  von nur 200 pH und einer Wellenimpedanz  $Z_W$  von  $50 \Omega$  liegt die Resonanzfrequenz  $f_{\text{res}}$  bereits unterhalb von 80 GHz. Für die in dieser Arbeit entwickelten Schaltungen mit Signalfrequenzen bis 100 GHz können die Bonddrähte daher nicht als Teil von TML-Elementen genutzt werden. Es ist im Gegenteil für die angestrebten Anwendungen vielmehr wünschenswert, dass die Resonanzfrequenz  $f_{\text{res}}$  der Bonddraht-Schnittstelle möglichst weit vom Signalfrequenzbereich entfernt, d. h. möglichst hoch ist. Dies bedeutet, dass sowohl die Bonddraht-Induktivitäten als auch die (parasitären) Kapazitäten so gering wie möglich gehalten werden sollten. Auf das Hinzufügen externer, zusätzlicher Kapazitäten wird daher verzichtet. Zur Verringerung der parasitären Bondpad-Kapazität werden die Signal-Bondpads mit einem kleineren Durchmesser als die übrigen Bondpads ausgeführt. Im Beispiel der im experimentellen Teil der Arbeit verwendeten Technologie reduziert sich so die Pad-Kapazität für Gegentakt-Signale von 33 fF auf 21 fF bei einer Reduktion des Pad-Durchmessers von  $80 \mu\text{m}$  auf  $60 \mu\text{m}$ . Zusätzlich wird auf den Einsatz von Schutzdioden gegen elektrostatische Entladung (electro-static discharge, ESD) an den Signal-Pads verzichtet, da die Schutzdioden bei der verwendeten Technologie eine Kapazität von in etwa 45 fF aufweisen, was mehr als die parasitäre Pad-Kapazität ist. Der Verzicht auf ESD-Schutzmaßnahmen ist folglich eine entscheidende Maßnahme zur Verbesserung der Bandbreite der Schnittstellen, erfordert allerdings große Sorgfalt bei der Handhabung und Messung der integrierten Schaltung, um ESD-Schäden zu vermeiden.

In Abbildung 2.5 sind beispielhaft die Frequenzgänge  $H_{\text{bond}}^-(j\omega)$  und  $H_{\text{bond}}^+(j\omega)$  einer Bonddraht-Schnittstelle im Gegen- und im Gleichtakt gezeigt. Für die Simulation wird als Beispiel die Bonddraht-Geometrie der Ausgangsschnittstelle einer der im experimentellen Teil dieser Arbeit entwickelten MUX-Schaltungen herangezogen. Die Modellierung der frequenzabhängigen Induktivität inklusive des Skin-Effekts sowie der magnetischen Kopplung zwischen den Bonddrähten erfolgt mithilfe der auf der Methode Partial Element Equivalent Circuit (PEEC) basierenden Software FastHenry [40, 41]. Es werden zudem die Kapazitäten der Bondpads abgebildet. Als Signalquelle werden Spannungsquellen mit einer Ausgangsimpedanz von  $50 \Omega$  und als Last ideale Widerstände mit ebenfalls  $50 \Omega$  angenommen. Die Ergebnisse in Abbildung 2.5 zeigen deutlich, dass Ge-



**Abbildung 2.5:** Simulation der Frequenzgänge  $H_{\text{bond}}^-$  und  $H_{\text{bond}}^+$  einer beispielhaften Bonddraht-Signal-Schnittstelle einer im experimentellen Teil der Arbeit entwickelten Schaltung im Gegen- und im Gleichtakt.

gentakt-Signale wie erwünscht eine deutlich geringere Dämpfung als Gleichtakt-Signale erfahren. Es fällt außerdem auf, dass sich die Phasengänge für Gleich- und Gegentakt unterscheiden. Dies kann zum Entstehen von unerwünschten Tastgradfehlern beitragen, wie in Kapitel 5 näher erläutert wird.

Die in Abbildung 2.3 gezeigte offene Aufbautechnik erlaubt es, einzelne Signalschnittstellen nicht mit Bonddrähten zu versehen, sondern stattdessen mithilfe von Standard-GSSG-Tastköpfen zu kontaktieren, während die übrigen Bondpads weiterhin über Bonddrähte angeschlossen sind. Auf diese Weise können Signale an ausgewählten Schnittstellen in guter Qualität gemessen werden, ohne, dass eigens eine Probecard für die komplette integrierte Schaltung hergestellt werden muss. Bei den Messungen in Kapitel 7 wird von dieser Vorgehensweise Gebrauch gemacht.

## 2.3 Verifikation der Schaltung und Maßnahmen zur vereinfachten Testbarkeit

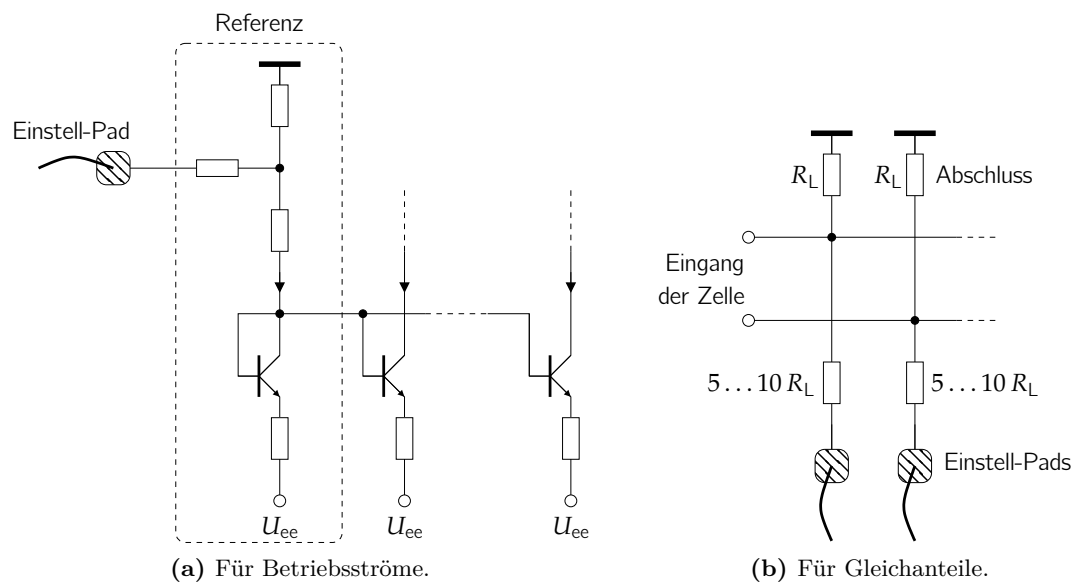
Während des Entwicklungsprozesses wird die zu entwickelnde Schaltung fortlaufend durch Simulationen verifiziert und optimiert. Hierbei werden verschiedene Ebenen der Komplexität und Genauigkeit durchlaufen. Auf der untersten Ebene wird der Schaltplan jeder Zelle separat mithilfe der Software *spectre* simuliert, wobei für die Transistoren ein HICUM-Modell verwendet wird, das bei der Halbleiter-Technologie mitgeliefert ist. Dieses bietet eine gute Abbildung des realen Transistorverhaltens [12]. Damit sind bereits der Entwurf der Schaltungstopologie sowie eine erste Optimierung möglich.

Für die nächsthöhere Simulationsebene wird zunächst das Layout der betrachteten Zelle erstellt. Hierbei wird insbesondere darauf geachtet, kritische Stellen im Hinblick auf Signalqualität und Stabilität mit möglichst geringen parasitären Induktivitäten und Kapazitäten zu realisieren [21]. Mithilfe der Software *Assura QRC* werden die parasitären Kapazitäten und Induktivitäten inklusive ihrer Verkopplungen extrahiert, sodass die betrachtete Zelle inklusive der Einflüsse des Layouts untersucht werden kann. Iterationen in der Schaltungsentwicklung sind ab diesem Entwicklungsstadium mit größerem Aufwand verbunden, da eine Änderung der Dimensionierung zwingend eine Änderung des Layouts sowie eine erneute Extraktion der parasitären Elemente und eine erneute Simulation bedingen. Gerade in diesem Entwicklungsstadium ist daher ein gutes Verständnis der Einflussfaktoren und Zusammenhänge zwischen Schaltungsparametern und der durch sie bedingten Effekte essenziell, um mithilfe möglichst weniger Iterationen das gewünschte Optimum zu erreichen. Hierbei erweisen sich im Falle von mit Taktsignalen angesteuerten SSs die in den Kapiteln 4 und 5 analytisch hergeleiteten Zusammenhänge und Methoden zur Dimensionierung für eine hohe Ausgangsamplitude, eine hohe Grenzfrequenz, eine hohe Flankensteilheit und einen geringen Tastgradfehler als hilfreich. Die Methoden erlauben es gezielt, die zum Erreichen eines gewünschten Ergebnisses entscheidenden Schaltungsparameter in die richtige Richtung zu variieren und somit die Anzahl an nötigen Iterationen deutlich zu verringern.

In der höchsten Simulationsebene wird die gesamte integrierte Schaltung bestehend aus allen Zellen inklusive der sie verbindenden TMLs und gegebenenfalls der Versorgungsspannungsverteilung simuliert. Für die TMLs wird dabei ähnlich wie für die Simulation der Bonddrähte in Abschnitt 2.2 auf ein mithilfe der PEEC-Methode erstelltes ESB zurückgegriffen. Aufgrund der hohen Komplexität der im experimentellen Teil dieser Arbeit entwickelten MUX-Schaltungen ist eine Simulation auf dieser Ebene nicht mehr mit vertretbarem Zeitaufwand für die gesamte integrierte Schaltung realisierbar, sodass Partitionierungen davon betrachtet werden.

Ein wichtiger Aspekt während der gesamten Schaltungsentwicklung ist die Gewährleistung der Stabilität der Schaltung. Dafür werden die ausführlich in [42] beschriebenen Methoden verwendet, auf die in der vorliegenden Arbeit nicht näher eingegangen wird.

Neben der Optimierung auf höchste Geschwindigkeiten ist ein wichtiger Punkt bei der Schaltungsentwicklung – insbesondere im Forschungsbereich – das Vorsehen von Mög-



**Abbildung 2.6:** Realisierung von Abgleichmöglichkeiten mithilfe externer Einstell-Pads.

lichkeiten zum Testen und zur Fehlersuche. Um im Falle einer Fehlfunktion unterscheiden zu können, ob das Problem nur bei hohen Geschwindigkeiten aufgrund von Bandbreitenbegrenzung, Dispersion bzw. sonstigen Hochgeschwindigkeitseffekten auftritt oder ob das Problem unabhängig von der hohen Geschwindigkeit bereits in der Schaltungstopologie existiert, ist es hilfreich, die Schaltung bei verschiedenen Geschwindigkeiten betreiben zu können. Dies ist bei den in dieser Arbeit betrachteten breitbandigen Schaltungen automatisch gegeben. Durch den Verzicht auf Koppelkondensatoren im Signal- und im Taktpfad kann die Schaltung sogar weitgehend mit statischen Eingangssignalen getestet werden.

Bei CML sind die Betriebsströme der SSs und der EFs ein wichtiges Optimierungskriterium. Um auch während der Messung die Möglichkeit zu haben, die Ströme justieren zu können und so das Optimum zu verifizieren bzw. variieren zu können, werden an allen entscheidenden Stellen externe Einstellmöglichkeiten vorgesehen. Hierzu wird wie in Abbildung 2.6a gezeigt der Referenzstrom eines Stromspiegels mithilfe eines mit einem Einstell-Pad verbundenen Abgriffs am Referenz-Spannungsteiler beeinflusst. Außerdem werden Einstell-Pads vorgesehen, mit welchen Gleichanteile im Taktsignal-Pfad gemessen bzw. eingepreßt werden können, da insbesondere in Takt-Treiber-Ketten Gleichanteile und damit verbundene Tastgradfehler ein Problem mit gravierenden Auswirkungen auf die Signalqualität darstellen (siehe hierzu Kapitel 5, welches sich komplett diesem Thema widmet). Hierfür werden die Signaleingänge der betrachteten Zellen über mit im Vergleich zu den Abschlusswiderständen  $R_L$  hochohmigen (Faktor 5 bis 10 größeren) Widerständen mit Einstell-Pads verbunden. Die hochohmigen Widerstände beeinflussen die Signale kaum und bilden zusammen mit externen parasitären oder diskreten Kapazitäten ein Tiefpassfilter, womit der Signal-Gleichanteil auf einfache Weise beispielsweise

mithilfe eines Multimeters gemessen werden kann. Umgekehrt kann durch Einspeisen einer Gleichspannung an den Einstell-Pads ein um das entsprechende Spannungsteiler-Verhältnis aus hochohmigem Widerstand und Abschlusswiderstand  $R_L$  verringerter Gleichanteil eingepreßt werden.

Da die Gesamtstromaufnahme der im experimentellen Teil der Arbeit realisierten, integrierten Schaltungen zu signifikanten Spannungsabfällen an den Zuleitungen und den Bonddrähten führt, wird die Chip-interne Versorgungsspannung über zusätzliche Pads mittels Dreileitermessung gemessen und entsprechend korrigiert.

## 2.4 Fazit

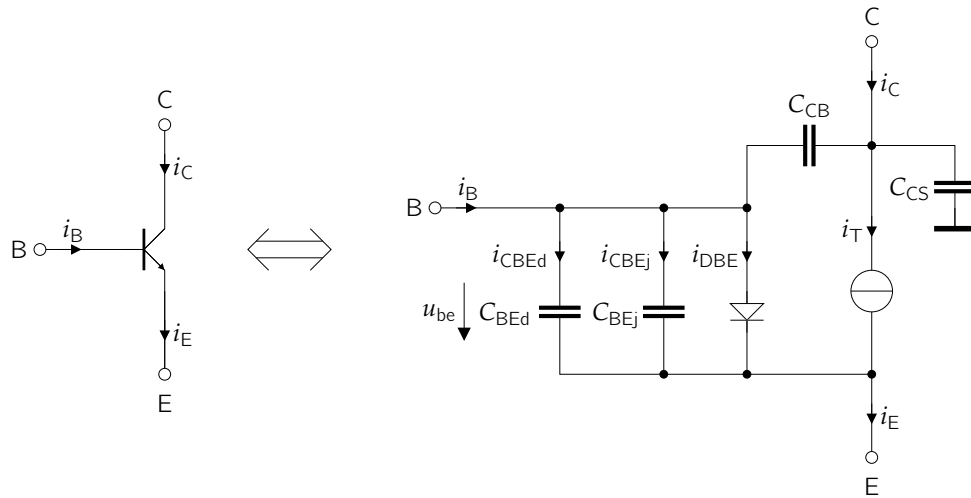
Für Hochgeschwindigkeitsschaltungen haben sich im Laufe der Zeit zahlreiche Konzepte bewährt, um optimale Ergebnisse zu erzielen. Allen voran zählen hierzu die differenzielle Schaltungstechnik, CML, eine negative Versorgungsspannung sowie eine geeignete Aufbautechnik. Zusammen mit weiteren vorgestellten Aspekten bildet dies den Stand der Technik und stellt damit sowohl die Grundlage als auch die Randbedingungen für die folgenden Kapitel der vorliegenden Arbeit.

### **3 Grundlegende Funktionsweise und Modellierung nichtlinearer, mit Taktsignalen angesteuerter Stromschalter**

Im theoretischen Teil der vorliegenden Arbeit findet in den Kapiteln 4 und 5 eine Analyse von mit Taktsignalen angesteuerten SSs im Hinblick auf das Erreichen einer hohen Ausgangsamplitude, einer hohen Grenzfrequenz, einer hohen Flankensteilheit und eines geringen Tastgradfehlers, d. h. einer geringen Abweichung des Tastgrads vom Idealwert von 50 % (vgl. Definition in Abschnitt 3.3.3) statt. Daraus resultierende Schlussfolgerungen für die Dimensionierung und die Wahl der Schaltungstopologie werden im experimentellen Teil der Arbeit bei der Entwicklung zweier integrierter MUX-Schaltungen angewendet. Als gemeinsame Grundlage wird im vorliegenden Kapitel die prinzipielle Funktionsweise von SSs erläutert und ein Modell zur analytischen Beschreibung des nichtlinearen Ausgangsstroms von mit Taktsignalen angesteuerten SSs vorgestellt. Das Modell basiert auf einem vereinfachten, problemangepassten Transistor-ESB und einer darauf beruhenden Differenzialgleichung sowie deren Lösung im Frequenzbereich. Zusammen mit der Definition der Ein- und Ausgangsgrößen bildet dies die Grundlage für die analytischen Untersuchungen in den nachfolgenden Kapiteln.

#### **3.1 Verwendetes Transistor-Ersatzschaltbild**

Zur Modellierung des Strom-Spannungs-Zusammenhangs an einem Transistor wird ein Transistor-ESB herangezogen. In der vorliegenden Arbeit wird dabei unterschieden zwischen einem Transistor-ESB für die Simulation und einem für analytische Berechnungen. Für die Simulation wird Wert darauf gelegt, dass möglichst viele, idealerweise alle Eigenschaften und Verhaltensweisen des Transistors abgebildet werden. Da für die Halbleitertechnologie der im Rahmen der Arbeit realisierten Schaltungen ein HICUM-Modell zur Verfügung steht, wird dieses für die Simulation verwendet. Ein HICUM-Modell zeichnet sich dadurch aus, dass es unter anderem Hochstromeffekte, Selbsterwärmung des Transistors und Verhalten bei hohen Frequenzen in guter Übereinstimmung mit der Realität abbilden kann [12]. Allerdings ist es aufgrund der großen Anzahl an Modellgleichungen zu komplex, um bei Schaltungen mit mehreren Transistoren analytische Betrachtungen zu speziellen Fragestellungen durchführen zu können. Daher wird für die vorliegende Arbeit ein deutlich einfacheres ESB verwendet, welches nur die im Rahmen der Arbeit



**Abbildung 3.1:** Transistorsymbol (links) und zugehöriges, in dieser Arbeit verwendetes Transistor-ESB (rechts).

betrachteten Effekte abbildet. Es ist in Abbildung 3.1 gezeigt und basiert auf einem vereinfachten Gummel-Poon-Modell [43, 44]. Das verwendete Transistor-ESB berücksichtigt ausschließlich den normal-aktiven Betriebsbereich des Transistors mit der statischen Kennlinie

$$i_T = I_S e^{\frac{u_{be}}{U_T}} \quad (3.1)$$

zwischen Basis-Emitter-Spannung  $u_{be}$  und dem Transferstrom  $i_T$ , wobei  $I_S$  der Sättigungsstrom und  $U_T = \frac{kT}{e}$  die Temperaturspannung mit der Boltzmann-Konstante  $k$ , der absoluten Temperatur  $T$  und der Elementarladung  $e$  eines Elektrons bezeichnen. Aufgrund typischer Stromverstärkungen  $B > 100$  bei Gleichstrom (direct current, dc) moderner Hochgeschwindigkeitstransistoren [45, 46, 47] wird der Strom  $i_{DBE}$  durch die Basis-Emitter-Diode im Folgenden gegenüber dem Transferstrom  $i_T$  vernachlässigt. Neben der statischen Kennlinie bildet das verwendete ESB das dynamische Verhalten durch die parasitären Sperrschichtkapazitäten zwischen Kollektor und Basis ( $C_{CB}$ ), Kollektor und Substrat ( $C_{CS}$ ) sowie Basis und Emitter ( $C_{BEj}$ ) ab. Diese Sperrschichtkapazitäten werden im Folgenden in erster Näherung als konstant betrachtet, da beim Betrieb des Transistors im normal-aktiven Bereich sowohl die Basis-Kollektor- als auch die Substrat-Kollektor-Diodenstrecken gesperrt sind und die zugehörigen Sperrschichtkapazitäten somit nur schwach von den an ihr anliegenden Spannungen abhängen. Die Basis-Emitter-Sperrschichtkapazität wiederum erfährt zwar eine spannungsabhängige Änderung, diese ist jedoch im Vergleich zur Änderung der parallel liegenden Basis-Emitter-Diffusionskapazität  $C_{BEe}$  vernachlässigbar. Letztere ist im ESB als stromabhängig berücksichtigt, wobei für ihre Ladung

$$Q_{BEe} = \tau_F i_T \quad (3.2)$$

mit der Transitzeit  $\tau_F$  gilt. Die Bahnwiderstände des Transistors werden in dem ESB aus Abbildung 3.1 nicht berücksichtigt. Hierdurch geht zwar die quantitativ exakte Abbildung des betrachteten Verhaltens verloren, qualitativ können Zusammenhänge von Interesse jedoch weiterhin beobachtet werden, wie die Vergleichssimulationen in Kapitel 4 und 5 zwischen dem ESB und dem HICUM-Modell nahelegen. Der Vorteil im Weglassen der Bahnwiderstände besteht darin, dass hierdurch die im Folgenden aufgestellte Differenzialgleichung des SS analytisch lösbar ist und somit ein Verständnis der grundlegenden Zusammenhänge ermöglicht. Dies steht im Einklang mit dem erkenntnisorientierten Optimierungsansatz (vgl. Kapitel 1), welcher in der vorliegenden Arbeit verfolgt wird. Die mithilfe des einfachen ESB erhaltenen, analytisch nachvollziehbaren, qualitativen Zusammenhänge ermöglichen Schlussfolgerungen zur Dimensionierung der Schaltung und erleichtern es so deutlich, die Schaltung zu optimieren und potenziell störende Effekte zu eliminieren bzw. hilfreiche Effekte gezielt einzusetzen. Mithilfe zusätzlicher numerischer Simulationen basierend auf dem genaueren HICUM-Modell kann die Optimierung in einem nachfolgenden Schritt verfeinert werden.

## 3.2 Grundlegende Funktionsweise eines Stromschalters

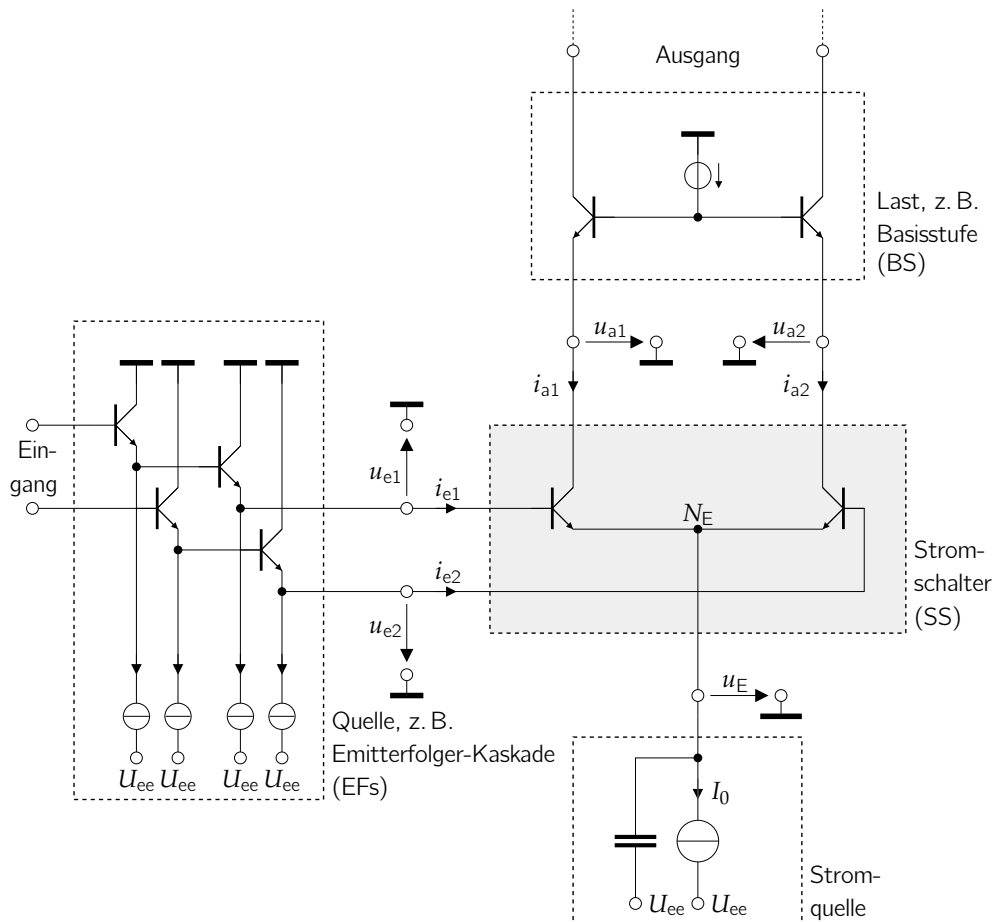
In Abbildung 3.2 ist eine für die im experimentellen Teil der Arbeit entwickelten Schaltungen typische Beschaltung eines SS mit Stromquelle  $I_0$ , einer ansteuernden Quelle in Form von EFs und einer Last in Form einer BS dargestellt. Ein SS besteht aus zwei Transistoren, deren Emitter an einem gemeinsamen Knoten  $N_E$  miteinander verbunden sind. Der SS in Abbildung 3.2 verfügt über ein differenzielles Eingangstorpaar  $(u_{e1}, i_{e1})$ ,  $(u_{e2}, i_{e2})$ , dessen Spannungen und Ströme sich gemäß der Gleichtakt-Gegentakt-Zerlegung in der Form

$$u_e^- := \frac{1}{2}(u_{e1} - u_{e2}), \quad u_e^+ := \frac{1}{2}(u_{e1} + u_{e2}), \quad (3.3)$$

$$i_e^- := \frac{1}{2}(i_{e1} - i_{e2}), \quad i_e^+ := \frac{1}{2}(i_{e1} + i_{e2}) \quad (3.4)$$

darstellen lassen. Hierbei handelt es sich um eine mathematische äquivalente Repräsentation der Torgrößen, welche stets durchgeführt werden kann und im konkreten Fall die Interpretation der im Folgenden aufgestellten Gleichungen erleichtert. Keineswegs darf jedoch die Schaltung selbst in ein Gleichtakt- und ein Gegentakt-ESB zerlegt werden, da aufgrund der Nichtlinearität des SS der Überlagerungssatz nicht gilt. Der Ausgang des SS liegt ebenfalls in Form eines differenziellen Torpaares  $(u_{a1}, i_{a1})$ ,  $(u_{a2}, i_{a2})$  vor, dessen Torgrößen analog zu Gleichung 3.3 und 3.4 als  $u_a^-$ ,  $u_a^+$ ,  $i_a^-$  und  $i_a^+$  ausgedrückt werden. Ein SS benötigt einen Betriebsstrom, welcher aus dem Knoten  $N_E$  heraus fließt. Je nach Anwendung wird dieser zeitlich konstant, z. B. mittels einer Stromquelle, eingepreßt (bei Verstärkern, Treiberstufen, zur Impedanztransformation, ...) oder ist zeitlich variabel (bei Mischern, Logikgattern, ...). In der vorliegenden Arbeit wird bis auf wenige Ausnahmen überwiegend der Fall eines konstanten Betriebsstroms  $I_0$  betrachtet, da dieser





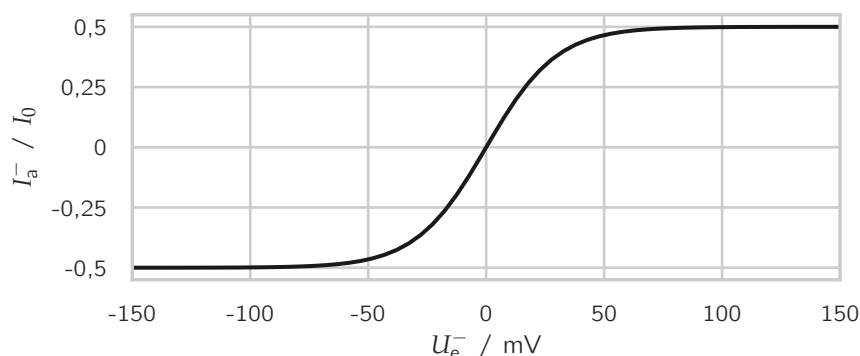
**Abbildung 3.2:** Beispielhafte, bei vielen der im experimentellen Teil der Arbeit entwickelten Schaltungen verwendete Beschaltung eines SS mit Definition der Torgrößen an seinen Schnittstellen.

Fall auf einen Großteil der im Rahmen der Arbeit entwickelten Schaltungen zutrifft. Abhängig von der Eingangsspannung  $u_e^-$  teilt sich der Betriebsstrom zwischen den beiden Ausgangsknoten des SS auf.

Mit dem Transistor-ESB aus Abbildung 3.1 lässt sich die statische Kennlinie

$$I_a^- = \frac{I_0}{2} \tanh\left(\frac{U_e^-}{U_T}\right) \quad (3.5)$$

bei Gleichspannungsbetrieb des SS herleiten [48]. Das Eingangssignal des SS ist dabei eine Spannung  $U_e^-$ , wohingegen das Ausgangssignal einem Strom  $I_a^-$  entspricht. In Abbildung 3.3 ist die statische Kennlinie eines SS beispielhaft aufgetragen. Die statische Kennlinie zeigt für kleine Eingangsspannungen  $|U_e^-|$  ein näherungsweise lineares Verhalten und nimmt für große Eingangsspannungen ihren maximalen Wert  $\pm I_0/2$  an. Eine



**Abbildung 3.3:** Statische Kennlinie eines SS für  $U_T = 30 \text{ mV}$  und  $I_0 = 10 \text{ mA}$  nach Gleichung 3.5.

topologisch zu einem SS vergleichbare Schaltung ist die Transadmittanzstufe (TAS), welche über zusätzliche Widerstände in den jeweiligen Emitterzweigen der beiden Transistoren verfügt, um den Linearitätsbereich zu vergrößern [48]. Bei der in dieser Arbeit ausschließlich betrachteten Anwendung zum Schalten von Taktsignalen ist die Linearität der Schaltung jedoch nicht von Bedeutung. Vielmehr ist das schnelle Erreichen des Endwerts  $\pm I_0/2$  gewünscht. Daher werden hier ausschließlich SSs betrachtet. Zu beachten ist, dass aufgrund von Bahnwiderständen im Transistor selbst und Leitungswiderständen im Layout immer ein Widerstand im Emitterzweig vorhanden ist, sodass die statische Kennlinie realer SSs gegenüber der in Abbildung 3.3 gezeigten idealen Kennlinie eine flachere Steigung im Ursprung aufweist und den Bereich der Sättigung erst für höhere Eingangsspannungen  $|U_e^-|$  erreicht.

Es wird im Folgenden davon ausgegangen, dass der zeitliche Verlauf der Spannungen  $u_{e1}, u_{e2}$  am Eingang des SS bekannt ist. Ein SS zeigt sowohl an seinem Eingangs- als auch an seinem Ausgangstor für hohe Frequenzen eine Impedanz mit überwiegend kapazitivem Verhalten, was durch die parasitären Transistor- und Layout- sowie die intrinsischen Transistor-Kapazitäten bedingt ist (vgl. ESB in Abbildung 3.4). Bei konstanter Eingangsamplitude fließt folglich mit steigender Frequenz auch ein zunehmender Wechselstrom  $i_e^-$  in das Eingangstor des SS. Dieser Strom muss von der Quelle bereitgestellt werden, weshalb zum Treiben eines SS häufig ein oder mehrere kaskadierte EFs verwendet werden, wie in Abbildung 3.2 angedeutet. EFs ermöglichen eine Impedanztransformation und erlauben zudem Dank des komplexen Fehlanpassungskonzepts eine Resonanzüberhöhung des Signal-Frequenzgangs der Eingangsschnittstelle [13]. In dieser Arbeit wird die Optimierung der Schnittstellen-Übertragungsfunktion mithilfe von EFs nicht näher betrachtet und stattdessen auf die Literatur [14, 15, 17, 49, 50] verwiesen. Auch der Ausgang des SS ist kapazitiv belastet (vgl. Abbildung 3.4), wobei hier zusätzlich durch die Kollektor-Basis-Kapazitäten  $C_{CB}$  eine Rückwirkung vom Ausgang auf den Eingang des SS besteht. Aufgrund des Miller-Effekts kommt es hierdurch zu einer zunehmenden Beeinflussung des Ausgangssignals mit steigender Ausgangsspannungsamplitude, was je nach Phasenlage zwischen Ein- und Ausgangssignal zu einer Reduktion

der Bandbreite des SS führt [51]. Um dies zu verhindern, wird häufig eine BS als Last eingesetzt, wie in Abbildung 3.2 angedeutet. Eine BS zeichnet sich durch eine niedrige Eingangsimpedanz aus und führt somit zu einer geringen Ausgangsspannungsamplitude des SS und damit zu einem geringen Miller-Effekt [18, 48]. Zusätzlich ermöglicht sie durch gezieltes Einsetzen des komplex konjugierten Fehlanpassungskonzeptes an der Schnittstelle zwischen SS und BS eine Resonanzüberhöhung des Frequenzgangs [13, 19, 52]. Der Einsatz einer BS erhöht jedoch die benötigte Versorgungsspannung der Schaltung, was sich negativ auf die Energieeffizienz auswirkt (siehe hierfür Abschnitt 4.3). In dieser Arbeit wird auf die BS nicht näher eingegangen, sondern stattdessen eine allgemeine Last des SS angenommen.

### 3.3 Verwendetes Modell zur dynamischen Beschreibung von mit Taktsignalen angesteuerten Stromschaltern

Ein Schwerpunkt der vorliegenden Arbeit ist das Analysieren und gezielte Einsetzen von Effekten, welche bei mit Taktsignalen angesteuerten SSs in Abhängigkeit der Taktfrequenz auftreten. Hierbei handelt es sich um das kombinierte Auftreten von dynamischen Effekten aufgrund von Umladeströmen in den parasitären bzw. Transistor-Kapazitäten und von Großsignal-Effekten aufgrund der nichtlinearen Kennlinie des SS (vgl. Abbildung 3.3). Zur Beschreibung von Nichtlinearitäten findet sich in der Literatur häufig die Verwendung von Volterra-Reihen [53]. Volterra-Reihen eignen sich jedoch nur bei schwach nichtlinearen Systemen, da andernfalls eine große Zahl an Volterra-Operatoren betrachtet werden muss, was zu einem sehr großen und schwer zu überblickenden Gleichungssystem führt und damit kontraproduktiv für das angestrebte analytische Verständnis der Zusammenhänge ist. In der vorliegenden Arbeit wird daher stattdessen das den SS aus Abbildung 3.2 unter Verwendung des problemangepassten, vereinfachten Transistor-ESB aus Abbildung 3.1 beschreibende Gleichungssystem analytisch im Frequenzbereich bezüglich des Ausgangsstroms des SS gelöst. Hierfür werden zunächst die verwendete Notation zur allgemeinen Beschreibung von Größen im Frequenzbereich eingeführt. Im Anschluss werden das den SS beschreibende Gleichungssystem aufgestellt, gelöst sowie die Lösung interpretiert, wobei eine detailliertere Interpretation in den Kapiteln 4 und 5 folgt.

#### 3.3.1 Notation zur Beschreibung von Größen im Frequenzbereich

Die Ein- und Ausgangssignale des betrachteten SS werden im Folgenden durch ihre Fourier-Koeffizienten ausgedrückt, um die Lösung des Gleichungssystems aus Abschnitt 3.3.2 und deren Interpretation zu erleichtern. Da die zugrunde liegenden (Takt-)Signale periodisch sind und ein eingeschwungener, stationärer Zustand betrachtet wird, treten im Frequenzbereich ausschließlich Beiträge bei Harmonischen  $n$  der Taktfrequenz  $f_{\text{clk}}$  auf

[54]. Allgemein ist eine periodische Größe (üblicherweise eine Spannung oder ein Strom)  $x(t)$  mit Periodenlänge  $1/f_{\text{clk}}$  gemäß

$$x(t) = \sum_{n=-\infty}^{\infty} {}^n X e^{jn2\pi f_{\text{clk}} t} \quad (3.6)$$

durch ihre Fourier-Koeffizienten

$${}^n X = f_{\text{clk}} \int_{-\frac{1}{2f_{\text{clk}}}}^{\frac{1}{2f_{\text{clk}}}} x(t) e^{-jn2\pi f_{\text{clk}} t} dt \quad (3.7)$$

bei Harmonischen  $n$  der Taktfrequenz  $f_{\text{clk}}$  bestimmt [55]. Die Beschreibung eines Signals  $x(t)$  durch seine Fourier-Koeffizienten  ${}^n X$  ist in dieser Arbeit häufig zu finden, da sich so unmittelbar Aussagen über Amplitude und Phase des Signals bei bestimmten Harmonischen  $n$  der Taktfrequenz treffen lassen. Es handelt sich hierbei um eine Alternative zu der bei Kleinsignalbetrachtungen üblichen Darstellung mit komplexen Wechselstromzeigern [56], welche im Gegensatz zu dieser nicht nur Amplitude und Phase des Signals bei der Grundfrequenz, sondern auch bei höheren Harmonischen berücksichtigt. Dies ist wichtig für die nichtlineare Beschreibung von mit Taktsignalen angesteuerten SSs. Allgemein gelten für die Fourier-Koeffizienten  ${}^n X$  nach [55, 57] folgende Beziehungen.

- Da es sich bei  $x(t)$  um reelle Spannungen oder Ströme handelt, gilt

$${}^{-n} X = {}^n X^*, \quad (3.8)$$

wobei der Operator  $(\cdot)^*$  die komplexe Konjugation bezeichnet.

- Der Fourier-Koeffizient  ${}^0 X$  entspricht dem Gleichanteil, d. h. dem Mittelwert des Signals.
- Die Amplitude des Signals bei der Grundfrequenz ergibt sich zu

$$\hat{X} := 2 |{}^1 X|. \quad (3.9)$$

Der Faktor 2 resultiert dabei aus der Definition der Fourier-Reihe über ein zweiseitiges Spektrum. Die getroffene Definition für die Amplitude  $\hat{X}$  wird im gesamten theoretischen Teil dieser Arbeit durchgängig benutzt und entspricht im Falle eines sinusförmigen Signals dem *einseitigen Spitze-Wert*. Dies ist wichtig zu beachten, da sich in der Literatur zur Beschreibung der Signale bei differentiellen Schaltungen der differentielle Spitze-Tal-Wert etabliert hat, welcher vier mal so groß wie der einseitige Spitze-Wert  $\hat{X}$  ist. Der differentielle Spitze-Tal-Wert hat jedoch den Nachteil, dass es kein äquivalentes Pendant für Gleichtakt-Signale gibt. Daher wird im theoretischen Teil dieser Arbeit der einseitige Spitze-Wert  $\hat{X}$  bevorzugt, da dieser sowohl für Gegentakt- als auch für Gleichtakt-Signale definiert werden kann und so eine einfache Vergleichbarkeit ermöglicht. Für die Ergebnisse im experimentellen Teil der Arbeit wird hingegen, wenn angebracht, der differentielle Spitze-Tal-Wert verwendet, um die Vergleichbarkeit mit dem Stand der Technik aus der Literatur zu erleichtern.

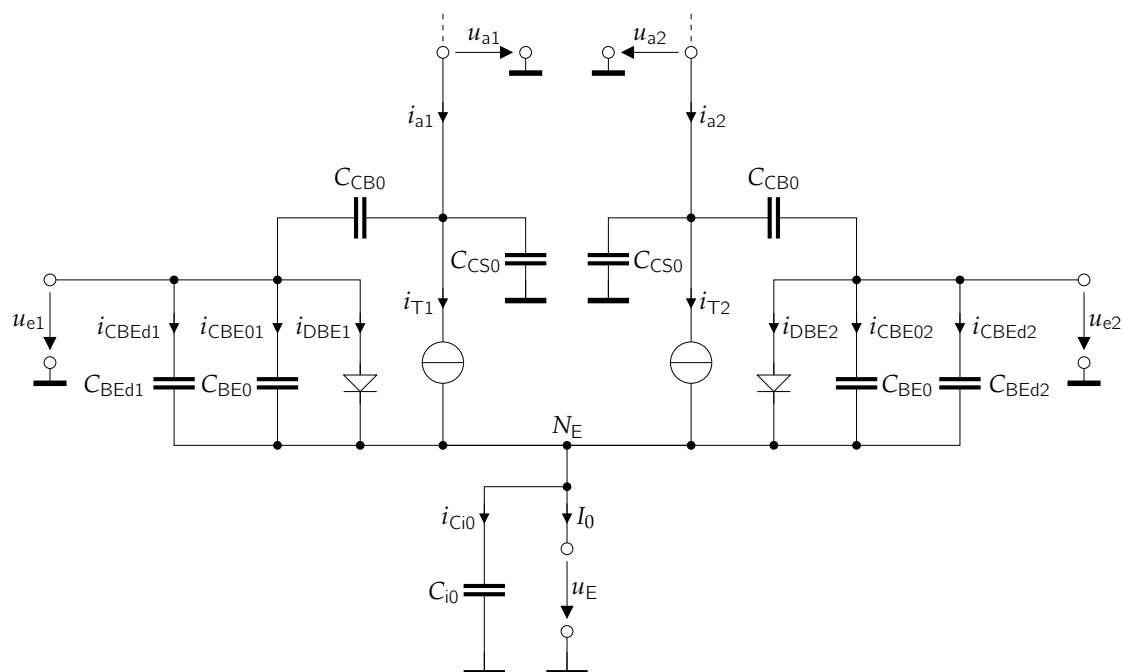


Abbildung 3.4: Großsignal-Ersatzschaltbild eines SS unter Verwendung des Transistor-ESB aus Abbildung 3.1.

### 3.3.2 Ersatzschaltbild und zugehöriges Gleichungssystem zur Beschreibung von mit Taktsignalen angesteuerten Stromschaltern

Zur Modellierung des Ausgangsstroms eines mit einem Taktsignal angesteuerten SS wird für die Transistoren das problemangepasste, vereinfachte Transistor-ESB aus Abbildung 3.1 verwendet. Das resultierende ESB des SS ist in Abbildung 3.4 dargestellt. Eine potenziell vorhandene parasitäre Kapazität der Stromquelle  $I_0$  sowie sämtliche Layout-Kapazitäten am Knoten  $N_E$  sind in Form der Kapazität  $C_{i0}$  zusammengefasst. Zusätzlich zu den Transistor-Sperrschichtkapazitäten  $C_{BEj}$ ,  $C_{CB}$  und  $C_{CS}$  parallel liegende Layout- oder diskret hinzugefügte Kapazitäten werden zusammen mit den jeweiligen Sperrschichtkapazitäten in Form von Gesamt-Kapazitäten  $C_{BE0}$ ,  $C_{CB0}$  und  $C_{CS0}$  berücksichtigt.

Mit den getroffenen Annahmen und dem ESB aus Abbildung 3.4 lässt sich eine Differentialgleichung zur Beschreibung des dynamischen Großsignalverhaltens von mit Taktsignalen angesteuerten SSs aufstellen. Hierfür wird als Hilfsgröße

$$i_{\text{cap}} := i_{C_{i0}} - i_{C_{BE1}} - i_{C_{BE01}} - i_{C_{BE2}} - i_{C_{BE02}} \quad (3.10)$$

definiert, bestehend aus allen kapazitiven Strömen, welche aus dem Knoten  $N_E$  herausfließen. Die Hilfsgröße  $i_{\text{cap}}$  hat die anschauliche Bedeutung, dass sie zusammen mit dem vorgegebenen Betriebsstrom  $I_0$  einen virtuellen Betriebsstrom  $(I_0 + i_{\text{cap}})$  bildet, welcher

die Kennlinie des SS dynamisch ändert und dadurch zu Mischeffekten führen kann. Die Auswirkungen dieser Effekte werden in Kapitel 4 und 5 aufgezeigt. Für den Hilfsstrom  $i_{\text{cap}}$  gilt mit der Herleitung in Anhang A.1 die Differenzialgleichung

$$i_{\text{cap}} + \left( \frac{C_E U_T}{i_{\text{cap}} + I_0} + \tau_F \right) \frac{d i_{\text{cap}}}{d t} = C_E \tanh \left( \frac{u_e^-}{U_T} \right) \frac{d u_e^-}{d t} + C_{i0} \frac{d u_e^+}{d t} \quad \text{mit} \quad (3.11)$$

$$C_E := C_{i0} + 2 C_{\text{BE}0}, \quad (3.12)$$

welche bereits in der im Rahmen dieser Arbeit entstandenen Veröffentlichung [33] vorgestellt worden ist. Solange  $C_E \frac{d u_e^-}{d t}$  und  $C_{i0} \frac{d u_e^+}{d t}$  beide klein gegenüber dem Betriebsstrom  $I_0$  sind, was auf die im experimentellen Teil der vorliegenden Arbeit eingesetzten SSs zutrifft, ist auch der Strom  $i_{\text{cap}}$  vernachlässigbar klein gegenüber dem Betriebsstrom  $I_0$ . Dann lässt sich die Differenzialgleichung 3.11 nähern zu

$$i_{\text{cap}} + \tau_C \frac{d i_{\text{cap}}}{d t} \approx C_E \tanh \left( \frac{u_e^-}{U_T} \right) \frac{d u_e^-}{d t} + C_{i0} \frac{d u_e^+}{d t} \quad \text{mit} \quad (3.13)$$

$$\tau_C := \frac{C_E U_T}{I_0} + \tau_F. \quad (3.14)$$

Gleichung 3.13 entspricht einer linearen Differenzialgleichung erster Ordnung in  $i_{\text{cap}}$ . Zu beachten ist, dass sie trotz ihrer Linearität in  $i_{\text{cap}}$  ein Großsignalverhalten beschreibt, da aufgrund des in  $u_e^-$  nichtlinearen Terms  $\tanh(u_e^-/U_T) \frac{d u_e^-}{d t}$  Frequenzkomponenten auftreten, welche nicht in  $u_e^-$  enthalten sind und daher durch ein Kleinsignalmodell nicht abgebildet werden können. Gerade diese Frequenzkomponenten sind zur Beschreibung elementarer Effekte (dynamischer Überhöhungseffekt, Tastgradfehler) bei Hochgeschwindigkeitsschaltungen entscheidend. Aus diesem Grund ist für die in der vorliegenden Arbeit betrachteten, mit Taktsignalen angesteuerten SSs eine Kleinsignalbeschreibung wie beispielsweise in [58, 48] nicht geeignet (siehe hierfür auch Abschnitt 4.2.5). Die in Gleichung 3.14 definierte Größe  $\tau_C$  repräsentiert eine modifizierte Transitzeit, in welche neben der Transitzeit  $\tau_F$  des Transistors die Gesamtkapazität  $C_E$  am gemeinsamen Emitterknoten des SS sowie die Temperaturspannung  $U_T$  und der Betriebsstrom  $I_0$  eingehen.

Zur Modellierung des Ausgangsstroms  $i_{a1}, i_{a2}$  des SS in Abbildung 3.4 wird in einem ersten Schritt der Transferstrom  $i_{T1}, i_{T2}$  der SS-Transistoren betrachtet. Für die zugehörige Zerlegung in Gleich- und Gegentaktanteil  $i_T^+$  und  $i_T^-$  lässt sich der Zusammenhang

$$i_T^+ = \frac{1}{2}(I_0 + i_{\text{cap}}), \quad (3.15)$$

$$i_T^- = i_T^+ \tanh \left( \frac{u_e^-}{U_T} \right) \quad (3.16)$$

herleiten (siehe Anhang A.2). Hierbei handelt es sich um ein beachtenswertes Ergebnis, da es eine direkte Verkopplung zwischen Gleichtakt- und Gegentaktanteil aufzeigt. Die Gleichtaktkomponente  $i_T^+$  ergibt sich aus dem konstanten Betriebsstrom  $I_0$  und dem

dynamischen Hilfsstrom  $i_{\text{cap}}$ , welcher der Differentialgleichung 3.11 bzw. 3.13 genügt. Die Gegentaktkomponente  $i_{\text{T}}^-$  resultiert aus dem Produkt der Gleichtaktkomponente  $i_{\text{T}}^+$  mit der auf das Gegentakt-Eingangssignal  $u_e^-$  angewendeten statischen SS-Kennlinie. Die Auswirkungen der Verkopplung zwischen den beiden Komponenten zeigen sich bei der Analyse der in Kapitel 4 und 5 betrachteten Effekte.

Gleichung 3.15 und 3.16 bilden zusammen mit der Differentialgleichung 3.13 ein Gleichungssystem zur Beschreibung des Transferstroms des betrachteten SS. In den Ausgangsström  $i_{a1}, i_{a2}$  des SS geht neben dem Transferstrom der Strom durch die Kapazitäten  $C_{\text{CB0}}$  und  $C_{\text{CS0}}$  ein, sodass für die Gleichtakt- und die Gegentaktkomponenten des Ausgangsströms gilt

$$i_{\text{a}}^+ = i_{\text{T}}^+ + C_{\text{CS0}} \frac{d u_{\text{a}}^+}{d t} + C_{\text{CB0}} \frac{d(u_{\text{a}}^+ - u_{\text{e}}^+)}{d t}, \quad (3.17)$$

$$i_{\text{a}}^- = i_{\text{T}}^- + C_{\text{CS0}} \frac{d u_{\text{a}}^-}{d t} + C_{\text{CB0}} \frac{d(u_{\text{a}}^- - u_{\text{e}}^-)}{d t}. \quad (3.18)$$

Hierbei handelt es sich im Gegensatz zu Gleichung 3.13 und 3.16 um lineare Gleichungen, sodass sich der Ausgangstrom  $i_{\text{a}}^\pm$  zwar vom Transferstrom  $i_{\text{T}}^\pm$  durch die Ströme durch die Kapazitäten  $C_{\text{CS0}}$  und  $C_{\text{CB0}}$  unterscheidet, jedoch keine Mischeffekte und zusätzliche Frequenzterme auftreten. Sämtliche nichtlinearen Effekte treten daher bereits beim Transferstrom  $i_{\text{T}}^\pm$  auf, weshalb dieser in den folgenden Kapiteln in einem ersten Schritt anstelle des Ausgangsströms  $i_{\text{a}}^\pm$  untersucht wird. Die resultierenden Gleichungen fallen dadurch kompakter und übersichtlicher aus. Die Auswirkungen auf den Ausgangstrom  $i_{\text{a}}^\pm$  durch lineare Überlagerung mit dem Transferstrom  $i_{\text{T}}^\pm$  gemäß Gleichung 3.17 und 3.18 werden jeweils in einem Folge-Schritt betrachtet. Wegen dieser Vorgehensweise wird auch im nachfolgenden Abschnitt 3.3.4 die Lösung des Gleichungssystems in Bezug auf den Transferstrom  $i_{\text{T}}^\pm$  anstatt auf den Ausgangstrom betrachtet. Die Lösung erfolgt im Frequenzbereich, wobei ein wesentlicher Schritt in der Fourier-Transformation des in Gleichung 3.13 und 3.16 auftretenden nichtlinearen Terms  $\tanh(u_e^-/U_{\text{T}})$  besteht, worauf im Folgenden näher eingegangen wird.

### 3.3.3 Fourier-Transformation von mit einem Taktsignal angeregter tanh-Funktion

Um sowohl die Lösung des den betrachteten SS beschreibenden Gleichungssystems im Frequenzbereich als auch die in Kapitel 4 und 5 vorgestellten Gleichungen übersichtlich zu halten, werden im Folgenden die zu dem Term

$$\tanh\left(\frac{u_{\text{e}}^-}{U_{\text{T}}}\right) \quad (3.19)$$

gehörenden Fourier-Koeffizienten mit der Kurzschreibweise  ${}^n\mathcal{T}$  bezeichnet. Darin gibt  $n$  die Ordnung der Harmonischen der Taktfrequenz an. Die Koeffizienten  ${}^n\mathcal{T}$  ergeben

sich durch Fourier-Transformation einer Verkettung der Funktionen des Gegentakt-Eingangssignals  $u_e^-(t)$  des SS und der Funktion  $x \rightarrow \tanh(x)$ . Durch die Verkettung der Funktionen ist ohne Kenntnis des Gegentakt-Eingangssignals  $u_e^-(t)$  eine Bestimmung der Koeffizienten  ${}^n\mathcal{T}$  nicht möglich. Auch bei Kenntnis des Gegentakt-Eingangssignals lässt sich das zugehörige Integral der Fourier-Transformation aus Gleichung 3.7 selbst für einfache Signalformen des Gegentakt-Eingangssignals (z. B. Sinus) häufig nur numerisch lösen. Um in den folgenden Kapiteln dennoch analytische Abschätzungen machen zu können, welche einen wertvollen Einblick in die Zusammenhänge an mit Taktsignalen angesteuerten SSs bieten, werden die Koeffizienten  ${}^n\mathcal{T}$  für die folgenden beiden Spezialfälle im Sinne einer Grenzwertbetrachtung ausgewertet.

- Für Gegentakt-Eingangssignale  $|u_e^-(t)| \ll U_T$  deutlich kleiner als die Temperaturspannung  $U_T$  kann die tanh-Funktion als linear genähert werden. Es ergibt sich in diesem Fall unmittelbar

$${}^n\mathcal{T} \approx \frac{1}{U_T} {}^nU_e^-, \quad (3.20)$$

d. h.  ${}^n\mathcal{T}$  hat nur bei jenen Harmonischen  $n$  der Taktfrequenz  $f_{\text{clk}}$  Beiträge, bei denen auch das Gegentakt-Eingangssignal Beiträge hat.

- Mit steigender Amplitude des Gegentakt-Eingangssignals gerät die tanh-Funktion in Bereiche mit zunehmender Nichtlinearität. Dadurch entstehen Verzerrungen, welche sich in Form von Beiträgen bei zusätzlichen Harmonischen  $n$  abbilden. Gleichzeitig gerät die tanh-Funktion zunehmend in ihren Bereich der Sättigung (vgl. Abbildung 3.3), sodass der Zusammenhang zwischen  ${}^nU_e^-$  und  ${}^n\mathcal{T}$  nicht mehr wie in Gleichung 3.20 linear ist, sondern auch hier eine Begrenzung auftritt. Im Grenzfall für hohe Gegentakt-Eingangsamplituden resultiert nach der Anwendung der tanh-Funktion ein Rechtecksignal, welches zu den gleichen Zeitpunkten seine Nulldurchgänge annimmt wie das Gegentakt-Eingangssignal, ansonsten jedoch nicht von dem Gegentakt-Eingangssignal abhängt, d. h. die Signalform und die Amplitude des Gegentakt-Eingangssignals haben keine Auswirkungen auf das Rechtecksignal, solange die Gegentakt-Eingangsamplitude ausreichend hoch ist. Ohne Einschränkung der Allgemeingültigkeit wird im Folgenden angenommen, dass der Zeitnullpunkt so gewählt wird, dass er symmetrisch zwischen den beiden Nulldurchgängen der steigenden und der fallenden Flanke des Eingangssignals liegt. Eine Abweichung hiervon kann durch einen zusätzlichen Phasenterm berücksichtigt werden, ändert jedoch nichts an den Ergebnissen der in den folgenden Kapiteln durchgeführten Analysen. Damit gilt für die Koeffizienten gemäß der Herleitung in Anhang A.3

$${}^n\mathcal{T} \approx \begin{cases} \frac{1}{n} \frac{2}{\pi} (-1)^{\frac{n-1}{2}} & \text{für } n \text{ ungerade,} \\ 2 \Delta D_T (-1)^{\frac{n}{2}} & \text{für } n \text{ gerade,} \end{cases} \quad (3.21)$$

wobei  $\Delta D_T \ll 1/(n\pi)$  einen (schwachen) Tastgradfehler des Gegentakt-Eingangssignals beschreibt. Ein Tastgradfehler  $\Delta D := D - \frac{1}{2}$  ist hier allgemein definiert



als die Abweichung des Tastgrads  $D$  von seinem Idealwert von 50 %. Der Tastgrad  $D$  wiederum bezeichnet die relative Zeit zwischen der steigenden und der fallenden Flanke eines Taktsignals bezogen auf die Periodenlänge [59]. Bezeichnet  $t_r$  den Zeitpunkt einer steigenden Flanke und  $t_f$  den der darauf folgenden fallenden Flanke bei einem Taktsignal mit der Taktfrequenz  $f_{\text{clk}}$ , gilt für den Tastgrad

$$D := f_{\text{clk}} (t_f - t_r). \quad (3.22)$$

Auf den Tastgradfehler, seine Auswirkungen sowie Maßnahmen zu seiner Verringerung wird in Kapitel 5 detailliert eingegangen. Bei einem idealen Gegentakt-Eingangssignal mit äquidistanten Nulldurchgängen ist  $\Delta D_T = 0$ , sodass  ${}^n\mathcal{T}$  keine Beiträge bei geraden Harmonischen von  $n$  aufweist.

Die analytischen Ausdrücke für  ${}^n\mathcal{T}$  gemäß Gleichung 3.20 und 3.21 für die Grenzfälle kleiner und großer Gegentakt-Eingangsamplituden werden bei den Analysen in Kapitel 4 und 5 benutzt, um den zu erwartenden Wertebereich von  ${}^n\mathcal{T}$  abzugrenzen und somit Abschätzungen über die Relevanz der betrachteten Effekte durchführen zu können. Da die im Rahmen dieser Arbeit eingesetzten, mit Taktsignalen angesteuerten SSs meistens weit im Bereich der Nichtlinearität betrieben werden, um ein schnelles Schalten zu erzielen, liegen die Koeffizienten  ${}^n\mathcal{T}$  häufig zumindest für die ersten Harmonischen  $n$  der Taktfrequenz  $f_{\text{clk}}$  nahe des Grenzfalles für große Gegentakt-Eingangsamplituden nach Gleichung 3.21. Diese Annahme gilt zunächst unabhängig von der Taktfrequenz, da die Begrenzung der Bandbreite des Transistors mit der gewählten Modellierung nicht in der den Koeffizienten  ${}^n\mathcal{T}$  zugrunde liegenden Gleichung 3.19 enthalten ist. Unbenommen dieser Abschätzungen kann zum Erzielen exakter Ergebnisse bei bekanntem Gegentakt-Eingangssignal  $u_e^-$  das zugehörige Integral in Gleichung 3.7 analytisch oder numerisch exakt ausgewertet werden.

### 3.3.4 Analytische Beschreibung des Transferstroms von mit Taktsignalen angesteuerten Stromschaltern im Frequenzbereich

Mit der Notation aus Abschnitt 3.3.1 und der Herleitung in Anhang A.4 ergibt sich als Lösung des Gleichungssystems bestehend aus Gleichung 3.13, 3.15 und 3.16 für die Fourier-Koeffizienten des Transferstroms  $i_T^-$  im Gegentakt

$${}^n I_T^- = {}^n I_{T,A}^- + {}^n I_{T,B}^- + {}^n I_{T,C}^-, \quad (3.23)$$

$$\text{mit } {}^n I_{T,A}^- := \frac{1}{2} I_0 {}^n \mathcal{T}, \quad (3.24)$$

$${}^n I_{T,B}^- := \pi C_E f_{\text{clk}} \sum_{m=-\infty}^{\infty} \sum_{k=-\infty}^{\infty} \frac{k^{n-m} \mathcal{T}^{m-k} \mathcal{T}^k U_e^-}{2\pi m \tau_C f_{\text{clk}} - j}, \quad (3.25)$$

$${}^n I_{T,C}^- := \pi C_{i0} f_{\text{clk}} \sum_{m=-\infty}^{\infty} \frac{m^{n-m} \mathcal{T}^m U_e^+}{2\pi m \tau_C f_{\text{clk}} - j}. \quad (3.26)$$

Eine Interpretation der Gleichungen zeigt, dass der Anteil  ${}^n I_{T,A}^-$  einem statischen Anteil entspricht, da er sich rein aus dem Fourier-Koeffizienten  ${}^n \mathcal{T}$  des SS sowie dem Betriebsstrom  $I_0$  ergibt und keine Abhängigkeit von der Taktfrequenz  $f_{\text{clk}}$  oder den Kapazitäten  $C_E$  bzw.  $C_{i0}$  besitzt. Eine solche Abhängigkeit zeigt sich hingegen bei den Anteilen  ${}^n I_{T,B}^-$  und  ${}^n I_{T,C}^-$ . Diese sind insbesondere null, wenn die Taktfrequenz oder die Kapazitäten  $C_E$  und  $C_{i0}$  null sind, sodass es sich folglich um rein dynamische Anteile handelt. Der Anteil  ${}^n I_{T,B}^-$  ist nicht vom Gleichtakt-Eingangssignal  $u_e^+$  abhängig, welches stattdessen den Anteil  ${}^n I_{T,C}^-$  beeinflusst. Eine ausführlichere, problemangepasste Erläuterung und Interpretation der einzelnen Anteile findet in Kapitel 4 und 5 statt.

Für die Fourier-Koeffizienten des Transferstroms  $i_T^+$  im Gleichtakt ergibt die Lösung des Gleichungssystems bestehend aus Gleichung 3.13, 3.15 und 3.16 mit der Herleitung in Anhang A.4

$${}^n I_T^+ = \begin{cases} \frac{1}{2} I_0 & \text{für } n = 0, \\ \frac{\pi f_{\text{clk}}}{2\pi n \tau_C f_{\text{clk}} - j} \left( n C_{i0} {}^n U_e^+ + C_E \sum_{m=-\infty}^{\infty} m {}^{n-m} \mathcal{T} {}^m U_e^- \right) & \text{für } n \neq 0. \end{cases} \quad (3.27)$$

Der dem Gleichanteil entsprechende Koeffizient  ${}^0 I_T^+$  ist identisch zum halben Betriebsstrom  $I_0$  des SS. Bei Harmonischen  $n$  setzt sich der Koeffizient  ${}^n I_T^+$  aus zwei additiven Anteilen zusammen. Der erste Anteil ist proportional zum jeweiligen Koeffizienten der Gleichtakt-Eingangsspannung  ${}^n U_e^+$  des SS. Ein Beitrag der Gleichtakt-Eingangsspannung bei einer Harmonischen  $n$  bildet sich daher unmittelbar als Gleichtakt-Transferstrom bei ebenfalls der Harmonischen  $n$  (und nur bei dieser) ab. Der zweite Anteil des Gleichtakt-Transferstroms  ${}^n I_T^+$  ergibt sich über eine Reihe aus Produkten von  ${}^{n-m} \mathcal{T}$  und dem Gegentakt-Eingangssignal  ${}^m U_e^-$ . Aus Gleichung 3.21 folgt, dass bei den Koeffizienten  ${}^k \mathcal{T}$  die Beiträge bei ungeraden Harmonischen  $k$  dominieren, sofern kein (deutlicher) Tastgradfehler  $\Delta D_T$  vorliegt. Das Gegentakt-Eingangssignal  $u_e^-(t)$  hat üblicherweise keine nennenswerten Beiträge bei geraden Harmonischen, sofern es nicht einen signifikanten Tastgradfehler aufweist. Aus Gleichung 3.27 lässt sich damit folgern, dass überwiegend Beiträge bei geraden Harmonischen  $n$  des Gleichtakt-Transferstroms  ${}^n I_T^+$  auftreten, wohingegen jene bei ungeraden Harmonischen  $n$  vernachlässigbar sind. Der Gegentakt-Transferstrom  ${}^n I_T^-$  hingegen weist umgekehrt im Wesentlichen Beiträge bei ungeraden Harmonischen  $n$  auf. Eine nähere Betrachtung von Gleichung 3.27 findet in Kapitel 4 und 5 bei der jeweiligen Anwendung statt.

### 3.4 Fazit

Die im vorliegenden Kapitel vorgestellten Modellgleichungen bilden ein Gleichungssystem zur Beschreibung des nichtlinearen Ausgangsstroms von SSs bei Ansteuerung mit einem periodischen Taktsignal mit Taktfrequenz  $f_{\text{clk}}$ . Das Gleichungssystem basiert auf

---

einem einfachen Transistor-ESB, welches es erlaubt, nichtlineare Hochgeschwindigkeitseffekte qualitativ mithilfe einer linearen Differenzialgleichung abzubilden. Die Lösung der Differenzialgleichung im Frequenzbereich in Form des Gleichungssystems bildet das Fundament für die in den nachfolgenden Kapiteln durchgeführten Analysen. Mithilfe der Analysen ist es möglich, Großsignaleffekte zu beschreiben, welche Einfluss auf die Ausgangsamplitude, die Grenzfrequenz, die Flankensteilheit sowie Tastgradfehler und Gleichanteil von mit Taktsignalen angesteuerten SSs haben. Das daraus resultierende Verständnis der Effekte erlaubt es, Schlussfolgerungen für den Schaltungsentwurf zu treffen und so eine geeignete Dimensionierung vorzunehmen.

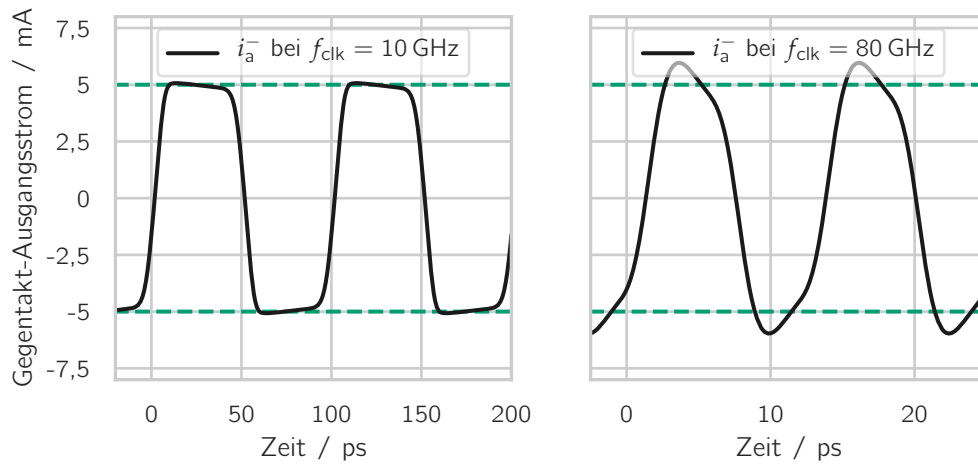
## 4 Entwurfsüberlegungen zur Maximierung von Grenzfrequenz, Ausgangsamplitude und Flankensteilheit von mit Taktsignalen angesteuerten Stromschaltern

Mit Taktsignalen angesteuerte SSs können bei Hochgeschwindigkeitsschaltungen in einer Vielzahl verschiedener Anwendungen eingesetzt werden. Die meisten dieser Anwendungen lassen sich darauf zurückführen, dass ein Taktsignal verstärkt wird, dass es auf mehrere Lasten verteilt wird, dass ein single-ended Taktsignal in ein differenzielles Signal umgewandelt wird oder dass eine Impedanztransformation von einem Spannungs-Eingangssignal in ein Strom-Ausgangssignal stattfindet, um eine nachfolgende CML-Stufe anzusteuern (z. B. bei einem Mischer oder bei Logik-Gattern) [48, 60]. In all diesen Fällen ist es in der Regel erwünscht, dass das Signal am Ausgang des SS eine über den kompletten verwendeten Taktfrequenzbereich möglichst konstante, vorgegebene Ausgangsamplitude aufweist. Dies stellt gerade bei den in dieser Arbeit betrachteten breitbandigen SSs eine Herausforderung dar, weil sie bis zu Taktfrequenzen am Rande der Technologiegrenze betrieben werden. Zusätzlich ist häufig eine ausreichend hohe Ausgangsamplitude des SS gefordert, um eine eventuell vorhandene Dämpfung im Signalpfad zur nachfolgenden Stufe bzw. zu einer externen Last zu kompensieren. Zudem ist es wünschenswert, dass die Flankensteilheit möglichst groß ist, um die nachfolgende Stufe bzw. die externe Last schnell umschalten zu können.

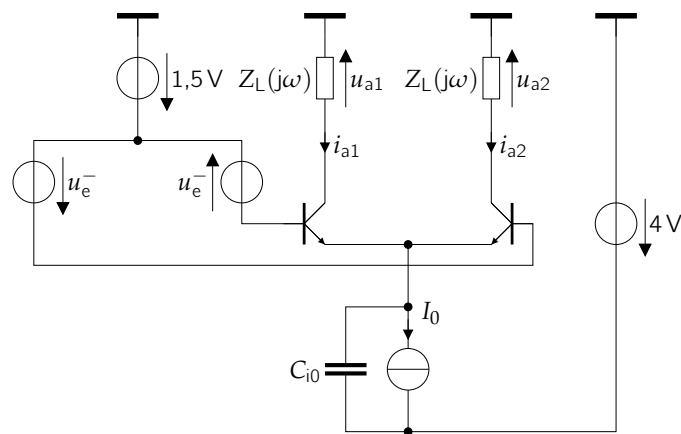
Auch bei den im experimentellen Teil dieser Arbeit in Kapitel 6 vorgestellten, entwickelten MUX-Schaltungen sind in nahezu jeder Schaltungszelle ein oder mehrere mit Taktsignalen angesteuerte SSs zu finden. Bei der eingesetzten PMUX-Topologie bestimmen die Ausgangsamplitude und die Flankensteilheit des Takt-Stromschalters (TSS) der Ausgangsstufe unmittelbar den Ausgangshub und die Flankensteilheit des Datensignals am Ausgang des MUX (siehe Abschnitt 6.2). Daher ist eine Optimierung der genannten Größen essenziell für eine optimale Funktionsweise der Gesamtschaltung. Insbesondere bei hohen Taktfrequenzen nahe der Technologiegrenze reicht die begrenzte Verstärkung einer einzelnen Stufe häufig nicht aus, um ein Taktsignal mit geringer Amplitude oder Flankensteilheit ausreichend zu verstärken. Daher ist es erforderlich, dass in der gesamten Taktverteilung vom Eingang der integrierten Schaltung bis zur Ausgangsstufe eine Verstärkung in jeder Stufe stattfindet. Dies bedeutet, dass nicht nur an der Ausgangsstufe, sondern auch an jeder vorgeordneten Stufe eine Maximierung von Ausgangsamplitude, Flankensteilheit und Grenzfrequenz angestrebt wird. Bei den im experimentellen Teil dieser Arbeit entwickelten Schaltungen weisen ein Großteil der in der Taktverteilung ein-

gesetzten Stufen eine auf Abbildung 2.1 basierende Topologie auf. Die Verstärkung einer solchen Stufe wird dabei im Wesentlichen durch den eingesetzten SS bedingt, weshalb sich das vorliegende Kapitel mit dessen Dimensionierung zur Optimierung der drei Größen Ausgangsamplitude, Grenzfrequenz und Flankensteilheit beschäftigt. Zur Dimensionierung der an den betrachteten SS angrenzenden Schaltungen an dessen Schnittstellen, bestehend z. B. aus EFs, BS und TMLs existiert zahlreiche Literatur [14, 15, 16, 21, 50], weshalb hier lediglich auf die Wechselwirkungen eingegangen wird, welche sich mit dem SS ergeben (siehe Abschnitt 4.3). Die für die Beschreibung von SSs bekannten Analysemethoden setzen überwiegend ein lineares [61] oder nur schwach nichtlineares Verhalten [15, 62, 63] voraus und zielen darauf ab, das nichtlineare Verhalten möglichst zu eliminieren [42]. Im Gegensatz dazu verfolgt die vorliegende Arbeit den Ansatz, das nichtlineare Verhalten von SSs insbesondere bei hohen Taktfrequenzen gezielt auszunutzen. Zur Modellierung der dabei auftretenden Effekte wird das Ausgangssignal eines allgemeinen, mit einem Taktsignal angesteuerten SS im Hinblick auf seine Ausgangsamplitude, Grenzfrequenz und Flankensteilheit analytisch beschrieben. Die Analysen finden ausschließlich in Form von Großsignal-Betrachtungen statt, da Kleinsignal-Betrachtungen aufgrund der starken Nichtlinearität der Schaltung keine Gültigkeit besitzen (siehe Abschnitt 4.2.5). Das resultierende, geschlossene Modell bestätigt bereits bekannte Effekte und Zusammenhänge und beschreibt darüber hinaus eine in der vorliegenden Arbeit als *dynamischen Überhöhungseffekt* bezeichnete Verhaltensweise, welche im Folgenden näher erläutert und analysiert wird. Die Erkenntnisse aus dem vorgestellten Modell erlauben es, die Einflussfaktoren auf die betrachteten Größen aufzuzeigen und basierend darauf Schlussfolgerungen zur Dimensionierung zu treffen.

Der dynamische Überhöhungseffekt lässt sich bereits ohne analytische Modellierung auf einfache Weise bei der Simulation des Gegentakt-Ausgangsstroms von mit Taktsignalen angesteuerten SSs beobachten. In Abbildung 4.1 ist das Ergebnis einer solchen Schaltungssimulation mit dem Schaltplan aus Abbildung 4.2 gezeigt. Dabei wird ein SS mit idealen sinusförmigen Spannungsquellen  $u_e^-$  im Gegentakt mit zwei verschiedenen Taktfrequenzen  $f_{\text{clk}} = 10 \text{ GHz}$  und  $80 \text{ GHz}$  und dementsprechend sich um den Faktor 8 unterscheidenden Flankensteilheiten angesteuert. Für die Simulation werden für die Transistoren ein HICUM-Modell mit für aktuelle Hochgeschwindigkeitstechnologien typischen Parametern verwendet und die Stromquelle  $I_0$  als ideale Stromquelle mit einer begleitenden parasitären Kapazität modelliert. Die zugehörigen Parameterwerte sind als Parametersatz 1 in Tabelle 4.1 aufgeführt. Auffällig bei dem Simulationsergebnis in Abbildung 4.1 ist, dass für  $f_{\text{clk}} = 80 \text{ GHz}$  nach jedem Nulldurchgang eine Überhöhung über den statischen Pegel hinaus auftritt. Dieser Effekt ist bei der niedrigeren Taktfrequenz von  $f_{\text{clk}} = 10 \text{ GHz}$  nur in deutlich abgeschwächter Form zu beobachten. Aufgrund der Abhängigkeit von der Taktfrequenz handelt es sich folglich um einen dynamischen Effekt, welcher nicht durch die statische Kennlinie des SS abgebildet werden kann. Ein dynamisches Verhalten kann aus einer linearen Übertragungsfunktion, z. B. einem frequenzabhängigen Last-Netzwerk, resultieren. Die Analysen in Abschnitt 4.2 zeigen jedoch, dass der in Abbildung 4.2 beobachtete Effekt einer frequenzabhängigen Überhöhung des Ausgangssignals über den statischen Pegel hinaus im Wesentlichen durch eine Mischung der



**Abbildung 4.1:** Großsignal-Simulation (durchgezogene Linie) des Gegentakt-Ausgangsstroms  $i_a^- = \frac{1}{2}(i_{a1} - i_{a2})$  des SS aus Abbildung 4.2 mit dem Parametersatz 1 aus Tabelle 4.1 bei zwei verschiedenen Taktfrequenzen  $f_{\text{clk}} = 10 \text{ GHz}$  und  $f_{\text{clk}} = 80 \text{ GHz}$ . Die gestrichelte Linie stellt die statischen Pegel  $\pm I_0/2$  dar.



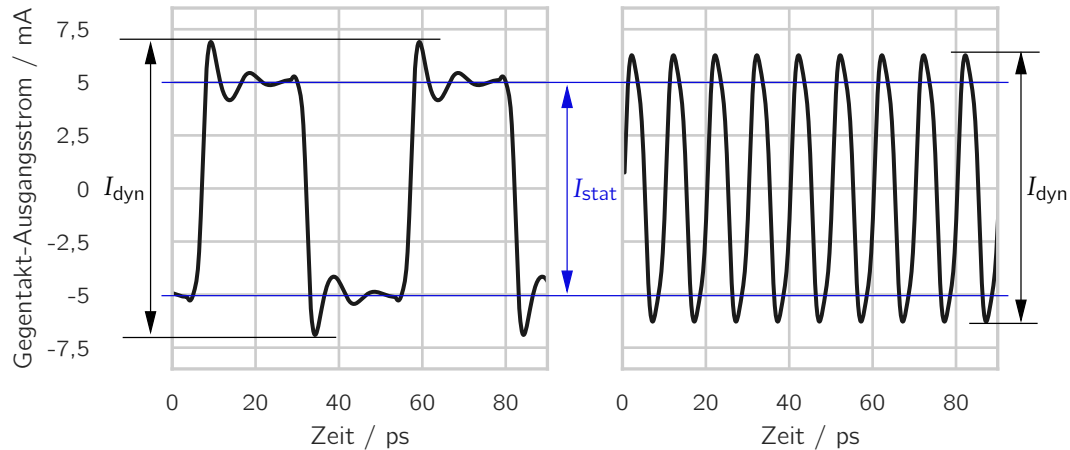
**Abbildung 4.2:** Schaltplan für die im vorliegenden Kapitel durchgeführten Simulationen. Die jeweiligen Parametersätze sind in Tabelle 4.1 aufgeführt. Für das Eingangssignal gilt  $u_e^- = \hat{U}_e^- \cos(2\pi f_{\text{clk}})$ .

**Tabelle 4.1:** Parameter der Schaltung in Abbildung 4.2 für verschiedene Simulationen entsprechend der Nummer in der ersten Stelle. Für den Betriebsstrom gilt jeweils  $I_0 = 10 \text{ mA}$ . Bei Verwendung des Transistor-Modells aus Abbildung 3.1 gilt jeweils  $\tau_F = 315 \text{ fs}$ ,  $C_{CB} = 10 \text{ fF}$ ,  $C_{CS} = 6 \text{ fF}$  und  $U_T = 30 \text{ mV}$ . Die Emitterfläche der Transistoren ist mit  $A_E$  bezeichnet.

Nr.	$\hat{U}_e^-$	$f_{\text{clk}}$	$Z_L(j\omega)$	$C_{i0}$	Transistor-Modell	Ergebnis
1	200 mV	variiert	$50 \Omega$	15 fF	HICUM mit $A_E = 0,32 \mu\text{m}^2$	Abb. 4.1
2	400 mV	<b>variiert</b>	0	15 fF	ESB aus Abb. 3.1 mit $C_{BEj} = 14 \text{ fF}$	Abb. 4.10b, 4.12b, 4.14
3	400 mV	<b>variiert</b>	0	15 fF	HICUM mit $A_E = 0,32 \mu\text{m}^2$	Abb. 4.14, Abb. 4.16
4	<b>variiert</b>	50 GHz	0	15 fF	ESB aus Abb. 3.1 mit $C_{BEj} = 14 \text{ fF}$	Abb. 4.10a, 4.12a, 4.15
5	<b>variiert</b>	50 GHz	0	15 fF	HICUM mit $A_E = 0,32 \mu\text{m}^2$	Abb. 4.15
6	400 mV	50 GHz	0	<b>variiert</b>	ESB aus Abb. 3.1 mit $C_{BEj}$ <b>variiert</b>	Abb. 4.10c, Abb. 4.12c
7	200 mV	100 GHz	$50 \Omega$ parallel zu 10 fF	<b>0 fF</b>	ESB aus Abb. 3.1 mit $C_{BEj} = \mathbf{0 fF}$	Abb. 4.11a
8	200 mV	100 GHz	$50 \Omega$ parallel zu 10 fF	<b>15 fF</b>	ESB aus Abb. 3.1 mit $C_{BEj} = \mathbf{14 fF}$	Abb. 4.11b

Ströme durch die (parasitären) Kapazitäten am SS mit dessen Eingangssignal resultiert. Hierbei handelt es sich um den in der vorliegenden Arbeit als *dynamischer Überhöhungseffekt* bezeichneten Effekt, welcher sich als hilfreich erweisen kann, um gerade bei hohen Taktfrequenzen hohe Ausgangsamplituden und steile Flanken zu erreichen. Auch wenn der dynamische Überhöhungseffekt zwangsläufig mehr oder minder stark bei sämtlichen mit hohen Taktfrequenzen betriebenen SSs auftritt, wird er in der dieser Arbeit zugrunde liegenden Veröffentlichung [33] erstmalig anschaulich und im vorliegenden Kapitel analytisch beschrieben (siehe Abschnitt 4.2). Durch das resultierende Verständnis der zugrunde liegenden Zusammenhänge ist es möglich, die Schaltung so zu dimensionieren, dass der dynamische Überhöhungseffekt systematisch zur Erhöhung von Ausgangsamplitude, Grenzfrequenz und Flankensteilheit eingesetzt wird.

Zum Aufstellen von analytischen Beziehungen und darauf basierenden Schlussfolgerungen zur Optimierung von Grenzfrequenz, Ausgangsamplitude und Flankensteilheit eines mit einem Taktsignal angesteuerten SS werden diese Zielgrößen im Folgenden definiert,



**Abbildung 4.3:** Beispielhafte Veranschaulichung der Abhängigkeit der Signalform am Ausgang eines SS von der Taktfrequenz  $f_{\text{clk}}$  für  $f_{\text{clk}} = 20 \text{ GHz}$  (links) und  $f_{\text{clk}} = 100 \text{ GHz}$  (rechts). Für die Simulation wird die Schaltung aus Abbildung 5.13 mit den Parametern aus Tabelle 5.2 mit HICUM-Transistormodellen und einem rechteckförmigen Eingangssignal  $i_q^-$  verwendet.

um eine einheitliche Verständnisbasis zu schaffen. Daneben ist der Energiebedarf ein wichtiges Kriterium beim Schaltungsentwurf. In Abschnitt 4.3 werden hierzu Abwägungsüberlegungen betrachtet, die sich zwischen diesen Anforderungen ergeben.

## 4.1 Definition der betrachteten Größen

Die Form des Ausgangssignals von mit Taktsignalen angesteuerten SSs ändert sich bei breitbandiger Betriebsweise je nach Taktfrequenz  $f_{\text{clk}}$ , wie in Abbildung 4.3 beispielhaft anhand einer Schaltungssimulation des Gegentakt-Ausgangsstroms eines SS veranschaulicht ist. Bei niedrigen Taktfrequenzen ist das Ausgangssignal wegen der nichtlinearen Kennlinie des SS näherungsweise rechteckförmig und zeigt möglicherweise ein Überschwingen (unter anderem aufgrund des dynamischen Überhöhungseffekts sowie durch Resonanzüberhöhungen an den Schnittstellen an Ein- und Ausgang des SS). Für Taktfrequenzen nahe der Technologiegrenze ist es aufgrund der durch die begrenzte Bandbreite bedingten Dämpfung seiner Harmonischen hingegen näherungsweise sinusförmig. Hierbei ist im Hinblick auf die Analysen in Abschnitt 4.2 zu beachten, dass das in dieser Arbeit verwendete Modell für den SS aus Abschnitt 3.3 zwischen dem Gegentakt-Transferstrom  $i_T^-$  und dem Gegentakt-Ausgangsstrom  $i_a^-$  unterscheidet (vgl. Gleichung 3.17 und 3.18). Die wesentliche Bandbreitenbegrenzung findet bei der gewählten Modellierung bei dem Übergang vom Gegentakt-Transferstrom zum Gegentakt-Ausgangsstrom statt, sodass der Gegentakt-Transferstrom selbst bei hohen Taktfrequenzen noch als näherungsweise rechteckförmig angesehen werden kann, wohingegen der Gegentakt-Ausgangsstrom aufgrund von Transistor- und parasitären Kapazitäten näherungsweise sinusförmig ist. Die



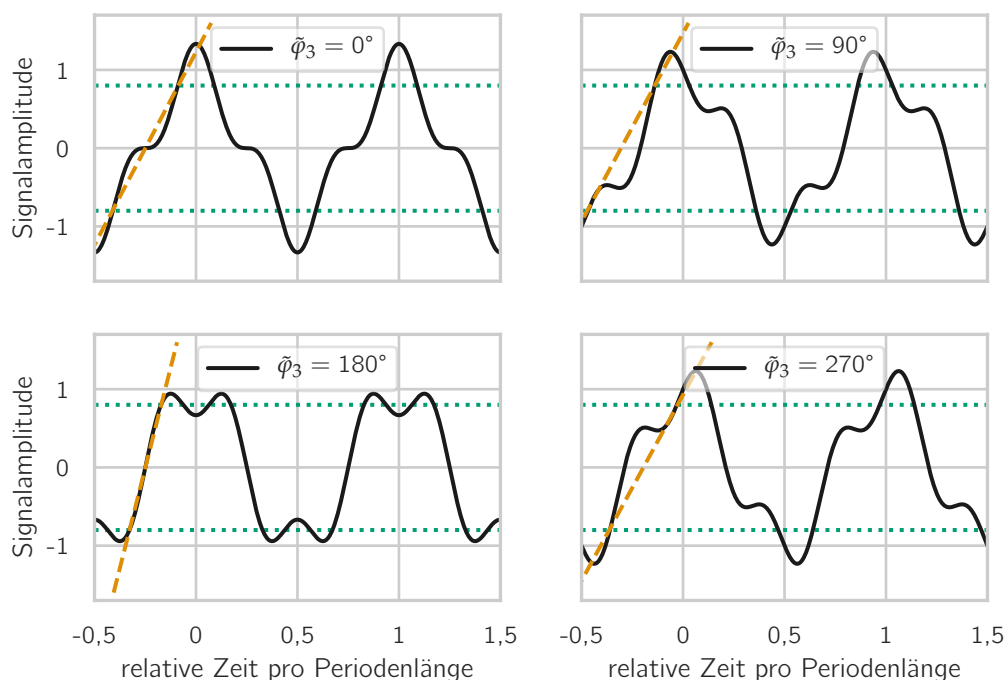
unterschiedlichen Signalformen je nach Taktfrequenz und betrachteter Position innerhalb der Schaltung eröffnen einen Spielraum bei der Definition der Ausgangsamplitude. Häufig wird als Maß für die Ausgangsamplitude die Differenz der Pegel  $I_{\text{stat}}$  (vgl. Abbildung 4.3) bei statischer Ansteuerung des SS in seinen beiden Endlagen definiert [38, 60]. Diese Definition berücksichtigt jedoch keine Taktfrequenz-abhängige Änderung der Ausgangsamplitude und ist daher für die Betrachtungen in dieser Arbeit ungeeignet. Eine Alternative wäre die Verwendung des dynamischen Spitze-Tal-Werts  $I_{\text{dyn}}$ . Das Beispiel in Abbildung 4.3 verdeutlicht, dass  $I_{\text{dyn}}$  bei hohen Taktfrequenzen ein besseres Maß zur Beschreibung der Ausgangsamplitude darstellt als  $I_{\text{stat}}$ , bei niedrigen Taktfrequenzen jedoch kurzzeitiges Überschwingen erfasst, was nicht repräsentativ für die gesamte Taktperiode ist. Um ein unabhängig von der Signalform brauchbares Kriterium zu erhalten, wird in dieser Arbeit das Taktsignal mithilfe einer Frequenzanalyse in Form einer Fourier-Reihe bei analytischen Betrachtungen bzw. einer Fast Fourier Transformation (FFT) bei Simulationen in seine einzelnen Frequenzanteile zerlegt. Als *Ausgangsamplitude* wird darauf basierend die *Amplitude des Signals bei der Takt-Grundfrequenz*  $f_{\text{clk}}$  definiert. Diese Definition bietet bei niedrigen Taktfrequenzen den Vorteil, dass kurze, höherfrequente Spitzen im Signalverlauf ignoriert werden und nur der Beitrag betrachtet wird, der zur eigentlichen Taktfrequenz  $f_{\text{clk}}$  gehört. Auch bei hohen Taktfrequenzen ist die Definition vorteilhaft, da hier aufgrund starker Dämpfung der Harmonischen häufig ohnehin nur der Beitrag bei der Grundfrequenz signifikant ist. Zu beachten ist, dass die so definierte Ausgangsamplitude bei einem ideal rechteckförmigen Signal, wie es bei niedrigen Taktfrequenzen auftreten kann, den statischen Pegel um den Faktor  $\frac{4}{\pi} \approx 1,3$  überschreitet. Dies folgt unmittelbar aus der Definition der Fourier-Transformation und stellt eine fundamentale Eigenschaft des Spektrums eines Rechtecksignals dar. Auch wenn das zugrunde liegende Verhalten beispielsweise im Bereich der Leistungselektronik ausgenutzt wird, um durch Filterung eines Rechtecksignals ein Sinussignal mit höheren Spitzenwerten als beim ungefilterten Rechtecksignal zu erhalten [64], handelt es sich dabei nicht um eine Methode zur Erhöhung der Ausgangsamplitude im hier betrachteten Sinne, da das Verhalten lediglich ein mathematisches Artefakt der gewählten Definition ist und nicht von der Schaltung und ihrer Dimensionierung abhängt. Es wird daher im Folgenden in Abgrenzung zum statischen Pegel die *statische Ausgangsamplitude* definiert, welche sich aus diesem durch Multiplikation mit dem Faktor  $\frac{4}{\pi}$  ergibt. Die statische Ausgangsamplitude stellt die Referenz dar, mit welcher die *dynamische Ausgangsamplitude* bei Anregung eines SS mit einem Taktsignal verglichen wird. In Abschnitt 4.2 werden der Zusammenhang zwischen der dynamischen und der statischen Ausgangsamplitude und die zugrunde liegenden Effekte an dem SS analytisch beschrieben und darauf basierende Schlussfolgerungen zur Optimierung der Schaltung getroffen.

Die *Grenzfrequenz* eines mit einem Taktsignal angesteuerten SS ist basierend auf der vorangehenden Definition der Ausgangsamplitude jene Taktfrequenz  $f_{\text{clk}}$ , bei der die Ausgangsamplitude um 3 dB gegenüber der statischen Ausgangsamplitude abgefallen ist. Dies ist in Übereinstimmung mit der üblichen Definition der Grenzfrequenz [65]. Da die statische Ausgangsamplitude über die Endpegel des SS-Ausgangsstroms definiert ist, gilt diese Definition auch im Falle eines Bandpass-Frequenzgangs und repräsentiert dann

die obere Grenzfrequenz der Schaltung, welche für die Entwicklung von Schaltungen am Rande der Technologiegrenze von besonderem Interesse ist.

Mit den vorangehend definierten Größen Ausgangsamplitude und Grenzfrequenz ist das Taktsignal lediglich bezüglich seines Anteils bei der Grundfrequenz beschrieben. Die höheren Harmonischen des Taktsignals bestimmen jedoch die Signalform und damit insbesondere die Flankensteilheit des Taktsignals. Als *Flankensteilheit* wird hier wie in der Literatur üblich [65, 66] die Zeit definiert, welche das Signal beim Umschalten benötigt, um einen festgelegten Anteil des statischen Pegels zu erreichen. Typische Schwellwerte für single-ended Signale sind dabei 10 % und 90 % des statischen Pegels. Im Falle der in dieser Arbeit betrachteten symmetrischen differenziellen Signale entspricht dies einem Sprung von  $-80\%$  auf  $80\%$  des statischen Endwerts. Aufgrund der sich über der Taktfrequenz  $f_{\text{clk}}$  ändernden charakteristischen Eigenschaften der Schaltung werden im Folgenden drei Bereiche unterschieden. Bei niedrigen Taktfrequenzen treten kaum dynamische Effekte auf, da die Ströme durch die (parasitären, intrinsischen und diskreten) Kapazitäten der Schaltung klein gegenüber dem Betriebsstrom  $I_0$  des betrachteten SS sind. Eine Analyse und Optimierung der Schaltung ist in diesem Frequenzbereich im Hinblick auf die Flankensteilheit daher nicht nötig. Von besonderem Interesse hingegen ist der Bereich mittlerer Taktfrequenzen, bei denen bereits nennenswerte dynamische Effekte auftreten. Als Kriterium für die Flankensteilheit wird dabei die dritte Harmonische und insbesondere deren Phase herangezogen. Höhere Harmonische werden nicht betrachtet, da diese ab mittleren Taktfrequenzen durch die Bandbreitenbegrenzung der Schaltung stark gedämpft sind. Bei hohen Taktfrequenzen nahe der Grenzfrequenz wiederum haben die betrachteten Signale nur nennenswerte Beiträge bei der Grundfrequenz. Hier geht die Maximierung der Flankensteilheit unmittelbar mit der Maximierung der Amplitude einher, sodass sich eine gesonderte Betrachtung der Flankensteilheit bei hohen Taktfrequenzen erübrigt.

In Abbildung 4.4 ist ein Beispiel für verschiedene Phasen  $\tilde{\varphi}_3$  der dritten Harmonischen der Funktion  $\cos(2\pi f_{\text{clk}} t) + \frac{1}{3} \cos(3 \cdot 2\pi f_{\text{clk}} t + \tilde{\varphi}_3)$  gezeigt. Die Funktion entspricht dem Abbruch der Fourier-Reihe eines Rechtecksignals nach der dritten Harmonischen, wobei als zusätzlicher Freiheitsgrad die Phase der dritten Harmonischen variabel gewählt wird. Je nach Phase der dritten Harmonischen weist das Signal eine hohe Flankensteilheit bei geringem Spitzenwert ( $180^\circ$ ), eine niedrige Flankensteilheit bei hohem Spitzenwert ( $0^\circ$ ) oder eine asymmetrische Form auf. Dies kann in Abbildung 4.4 anhand der durch die Schnittpunkte des Signals mit den  $\pm 80\%$  Schwellwerten gelegten Geraden erkannt werden, deren Steigung der mittleren Flankensteilheit des Signals entspricht. Die Ausgangsamplitude gemäß ihrer Definition als Beitrag bei der Grundfrequenz ist bei den gewählten Beispielen jeweils gleich. In den meisten Anwendungen ist eine hohe Flankensteilheit einem hohen Spitzenwert vorzuziehen, da eine hohe Flankensteilheit dafür sorgt, dass die nachfolgende Stufe schnell umgeschaltet wird, sodass der Gültigkeitsbereich des Taktsignals (Clock Phase Margin (CPM)) länger ist. Aus Abbildung 4.4 lässt sich schließen, dass die höchste Flankensteilheit bei einer Phase der dritten Harmonischen von  $180^\circ$  auftritt. Dies entspricht der gleichen Phase, die ein ideales Rechtecksignal besitzt. Zu beachten ist dabei, dass in Abbildung 4.4 zur besseren Anschaulichkeit die



**Abbildung 4.4:** Veranschaulichung des Einflusses der (effektiven) Phase  $\tilde{\varphi}_3$  der 3. Harmonischen auf Flankensteilheit und Spitzenwert eines beispielhaften Taktsignals. Die gestrichelten horizontalen Linien stellen die  $\pm 80\%$  Schwellwerte dar, über deren Schnittpunkte mit dem Signal die Flankensteilheit definiert ist.

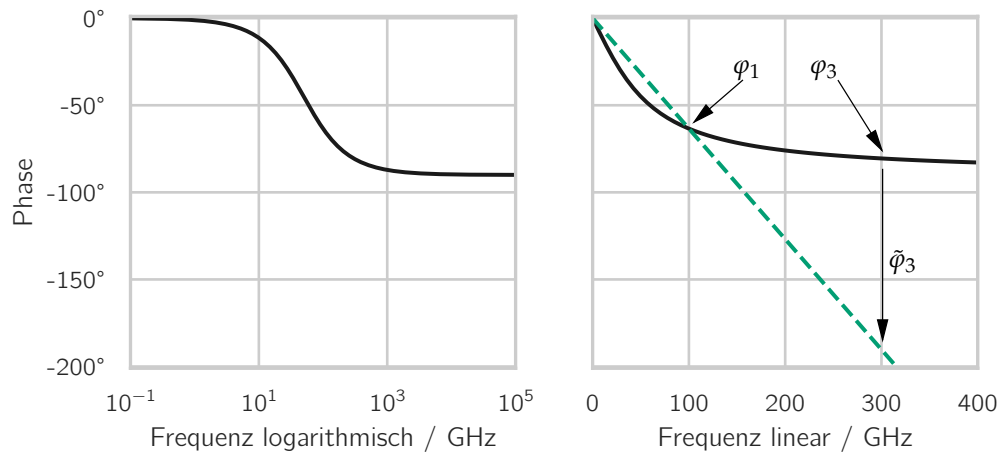
Phase bei der Grundfrequenz zu  $0^\circ$  gewählt ist, was im Allgemeinen jedoch nicht erfüllt ist. Um unabhängig von der Phase  $\varphi_1(f_{\text{clk}})$  bei der Grundfrequenz  $f_{\text{clk}}$  zu sein, wird die Phase  $\varphi_3(f_{\text{clk}})$  bei der dritten Harmonischen um die Phase  $\varphi_1$  korrigiert und als *effektive Phase der dritten Harmonischen*

$$\tilde{\varphi}_3(f_{\text{clk}}) := \varphi_3(f_{\text{clk}}) - 3\varphi_1(f_{\text{clk}}), \quad (4.1)$$

definiert. Bei dieser und den folgenden Überlegungen sollte berücksichtigt werden, dass die untersuchten Größen wie Amplitude und Phase bei der Grundfrequenz bzw. der dritten Harmonischen zwar abhängig von der Taktfrequenz  $f_{\text{clk}}$  behandelt werden, dass es sich hierbei jedoch nicht um einen Frequenzgang eines linearen Netzwerks handelt, das mit einem monofrequenten Signal angeregt wird. Bei jeder der untersuchten Taktfrequenzen  $f_{\text{clk}}$  existiert ein vollständiges Spektrum über der Frequenz  $f$ , wovon jeweils Beiträge bei Harmonischen  $n$  der gewählten Taktfrequenz  $f_{\text{clk}}$  betrachtet werden. Die effektive Phase der dritten Harmonischen gemäß Gleichung 4.1 ergibt sich folglich für jede Taktfrequenz  $f_{\text{clk}}$  aus den Beiträgen bei der Grundfrequenz  $f_{\text{clk}}$  und bei der dritten Harmonischen  $3f_{\text{clk}}$ . Zu beachten ist, dass die zu einer Taktfrequenz  $f_{\text{clk}}$  gehörende Phase  $\varphi_3(f_{\text{clk}})$  der dritten Harmonischen  $3f_{\text{clk}}$  sich aufgrund von Großsignaleffekten von der zu der dreifachen Taktfrequenz gehörende Phase  $\varphi_1(3f_{\text{clk}})$  bei der zugehörigen Grundfrequenz  $3f_{\text{clk}}$  unterscheiden kann.

Die effektive Phase der dritten Harmonischen ist ein Kriterium bei der Optimierung der *Flankensteilheit*. Optimalerweise sollte die effektive Phase der dritten Harmonischen für eine hohe Flankensteilheit  $180^\circ$  betragen, wie in Abbildung 4.4 veranschaulicht. Neben der Phase hat auch die Amplitude bei der dritten Harmonischen einen entscheidenden Einfluss. Im Grenzfall einer Amplitude von null liegt keine dritte Harmonische vor und die Flankensteilheit ist aufgrund des dann näherungsweise sinusförmigen Taktsignals gering. Folglich lässt sich vermuten, dass eine Erhöhung der Amplitude bei der dritten Harmonischen zu einer Verbesserung der Flankensteilheit führt. Eine Erhöhung der Amplitude der dritten Harmonischen verringert jedoch die Signalamplitude in der Mitte zwischen zwei Nulldurchgängen (siehe Abbildung 4.4 unten links). Dies ist tolerabel, solange die Signalamplitude ausreicht, um die mit dem Taktsignal angesteuerte Folge-Stufe durchzuschalten. Eine Vergrößerung der Amplitude der dritten Harmonischen über diesen Punkt hinaus sollte vermieden werden. Der beschriebene Einfluss der Amplitude der dritten Harmonischen auf Flankensteilheit und Signalverlauf gilt nur unter der Bedingung, dass die effektive Phase der dritten Harmonischen nahe ihres Optimums von  $180^\circ$  liegt. Andernfalls führt eine Erhöhung der Amplitude der dritten Harmonischen zu einer Verschlechterung der Flankensteilheit oder zu einer asymmetrischen Signalform (siehe Abbildung 4.4). Da es dies zu vermeiden gilt, wird die effektive Phase der dritten Harmonischen im Folgenden als das primäre Kriterium zur Optimierung der Flankensteilheit herangezogen und die Amplitude bei der dritten Harmonischen als sekundär erachtet, solange gewährleistet ist, dass es zu keinem zu starken Einbruch der Signalamplitude in der Mitte zwischen zwei Nulldurchgängen kommt. Der Idealwert von  $180^\circ$  für die effektive Phase der dritten Harmonischen bezieht sich dabei auf das an der Last der betrachteten Stufe auftretende Taktsignal. Bei den Optimierungsüberlegungen in Abschnitt 4.2 wird hingegen der Ausgangsstrom direkt am SS betrachtet. In den meisten Anwendungen folgen zwischen SS und Last weitere Stufen, beispielsweise BS, TIS, eine Abschlussimpedanz oder eine Bonddraht-Schnittstelle. Diese Stufen weisen insbesondere im Bereich hoher Taktfrequenzen häufig eine Tiefpasscharakteristik auf [42], was sich auf die effektive Phase der dritten Harmonischen  $\tilde{\varphi}_3$  auswirkt.

Die effektive Phase gemäß Gleichung 4.1 kann nicht nur für Signale an Schnittstellen definiert werden, sondern auch für Wirkungsfunktionen im Sinne der Differenz der effektiven Phasen zwischen Ursache und Wirkung. Auf diese Weise ergibt sich die effektive Phase der dritten Harmonischen an der betrachteten Last aus der Addition der effektiven Phase der dritten Harmonischen am Ausgang des SS und jener der zwischen Ausgang des SS und Last befindlichen Übertragungsfunktionen. In Abbildung 4.5 ist die effektive Phase der dritten Harmonischen einer solchen Übertragungsfunktion exemplarisch anhand eines Tiefpassfilters erster Ordnung gezeigt. Die absolute Phase des Tiefpassfilters ist im gesamten Frequenzbereich kleiner oder gleich null. Gleichung 4.1 ist in Abbildung 4.5 (rechts) am Beispiel einer Taktfrequenz von  $f_{\text{clk}} = 100 \text{ GHz}$  grafisch ausgewertet, indem der Term  $3\varphi_1$  mithilfe der gestrichelt dargestellten linearen Extrapolation der Phase  $\varphi_1$  bei der Grundfrequenz bestimmt wird. Die Differenz zwischen  $\varphi_3$  und der Extrapolation entspricht der effektiven Phase der dritten Harmonischen  $\tilde{\varphi}_3$ . Im Beispiel zeigt sich, dass  $\tilde{\varphi}_3$  positiv ist und somit eine Vergrößerung der effektiven Phase



**Abbildung 4.5:** Logarithmische und lineare Darstellung des Phasengangs eines beispielhaften Tiefpassfilters erster Ordnung mit einer Grenzfrequenz von 50 GHz.

der dritten Harmonischen vom Ausgang des SS zur Last hin bewirkt. Allgemein lässt sich zeigen, dass stark gedämpfte Tiefpassfilter erster und zweiter Ordnung, wie sie häufig in (parasitären) Lastnetzwerken auftreten, stets eine positive Verschiebung der effektiven Phase der dritten Harmonischen bewirken. Die Verschiebung nimmt dabei mit steigender Taktfrequenz zu. Die zugehörige Herleitung findet sich zusammen mit einem Kriterium für die dafür notwendige Dämpfung des Tiefpassfilters in Anhang B.1. Um am Ausgang des Tiefpassfilters eine hohe Flankensteilheit zu erzielen, ist es hilfreich, wenn die effektive Phase der dritten Harmonischen am Ausgang des SS das zugehörige Verhalten des Tiefpassfilters kompensiert. Folglich sollte die effektive Phase der dritten Harmonischen am Ausgang des SS über der Taktfrequenz sinken, um die zunehmende positive Verschiebung der effektiven Phase der dritten Harmonischen durch das Tiefpassfilters auszugleichen. Eine vom Grundgedanken her vergleichbare Herangehensweise, nach der sich die Phasengänge kaskadierter Stufen kompensieren sollen, findet sich bereits in [20]. Dort werden im Gegensatz zur vorliegenden Arbeit jedoch ausschließlich Kleinsignal-Betrachtungen durchgeführt und nicht die effektive Phase der dritten Harmonischen, sondern die absolute Phase betrachtet. Das dynamische, nichtlineare Verhalten von SSs kann dadurch nicht abgebildet werden.

Die Definition der in diesem Abschnitt eingeführten Größen Ausgangsamplitude, Grenzfrequenz und Flankensteilheit mit den darauf aufbauenden Kriterien zu deren Maximierung bildet die Grundlage für die im Folgenden vorgestellten Analysen und Schlussfolgerungen zur Optimierung von mit Taktsignalen angesteuerten SSs. In Abschnitt 4.3 werden die Auswirkungen der getroffenen Schlussfolgerungen auf die Schnittstellen des SS sowie Abwägungsüberlegungen mit dem Energiebedarf der Schaltung betrachtet.

## 4.2 Analyse des Ausgangsstroms sinusförmig angesteuerter Stromschalter

Das in Abschnitt 3.3 vorgestellte einfache Modell von mit Taktsignalen angesteuerten SSs erlaubt es, das Großsignal-Verhalten des Ausgangsstroms in Abhängigkeit der Taktfrequenz inklusive des dynamischen Überhöhungseffekts analytisch zu beschreiben. Entsprechend des Modellaufbaus werden im Folgenden zunächst der Gegentakt-Transferstrom  $i_{\text{T}}^-$  analysiert und Methoden zur Optimierung von dessen Amplitude, Grenzfrequenz und Flankensteilheit vorgeschlagen. Im Anschluss werden die Modellgleichungen für die Berücksichtigung des gesamten Gegentakt-Ausgangsstroms  $i_{\text{a}}^-$  angepasst, welcher sich gemäß Gleichung 3.18 linear aus dem Gegentakt-Transferstrom  $i_{\text{T}}^-$  ergibt. Die Ergebnisse beispielhafter Vergleichssimulationen der mit dem vorgestellten Modell erhaltenen analytischen Ergebnisse mit Schaltungssimulationen basierend auf einem HICUM-Transistormodell werden in Abschnitt 4.2.5 vorgestellt und demonstrieren eine gute Übereinstimmung für typische Parameterwerte.

Für die Analyse und Maximierung von Amplitude, Grenzfrequenz und Flankensteilheit des Gegentakt-Transferstroms  $i_{\text{T}}^-$  eines mit einem Taktsignal angesteuerten SS werden die Fourier-Komponenten  ${}^n I_{\text{T}}^-$  bei Harmonischen  $n$  der Taktfrequenz  $f_{\text{clk}}$  herangezogen. Aus deren Beiträgen bei der Grundfrequenz ( $n = 1$ ) und der dritten Harmonischen ( $n = 3$ ) können gemäß der Definitionen in Abschnitt 4.1 unmittelbar Rückschlüsse auf die zu optimierenden Größen gezogen werden. Gemäß des in Abbildung 3.4 gezeigten ESB eines SS und den dort aufgestellten Gleichungen setzen sich die Frequenzkomponenten des Gegentakt-Transferstroms

$${}^n I_{\text{T}}^- = {}^n I_{\text{T,A}}^- + {}^n I_{\text{T,B}}^- + {}^n I_{\text{T,C}}^- \quad (3.23)$$

aus der Überlagerung dreier Anteile zusammen, die in Gleichung 3.24 bis Gleichung 3.26 definiert sind. Grafisch kann die Überlagerung als eine Vektorsumme dargestellt werden, wie in Abbildung 4.6 beispielhaft veranschaulicht. Betrag und Phase der gesamten Summe  ${}^n I_{\text{T}}^-$  hängen folglich von den Beträgen und Phasen der einzelnen Anteile ab. Wie im Folgenden gezeigt wird, resultiert der Anteil  ${}^n I_{\text{T,A}}^-$  aus der statischen Kennlinie des SS, der Anteil  ${}^n I_{\text{T,B}}^-$  ist ursächlich für den dynamischen Überhöhungseffekt und der Anteil  ${}^n I_{\text{T,C}}^-$  bildet dynamische Effekte bei Vorliegen eines Gleichtakt-Eingangssignals des SS ab. Der Gesamtvektor  ${}^n I_{\text{T}}^-$  wird in den folgenden Abschnitten Schritt für Schritt durch sukzessives Hinzunehmen der einzelnen Anteile aus Gleichung 3.23 gebildet, wobei mit dem vom Betrag her größten Anteil begonnen wird. In jedem Schritt werden dabei Amplitude, Grenzfrequenz und Flankensteilheit optimiert. Die zu den jeweiligen Anteilen gehörenden Gleichungen 3.24, 3.25 und 3.26 gelten für beliebige Eingangssignale des betrachteten SS. Ihre Auswertung ist im Allgemeinen jedoch nur numerisch möglich, was einen Einblick in die zugrunde liegenden Zusammenhänge erschwert. In vielen Anwendungen dominiert allerdings insbesondere bei höheren Taktfrequenzen nahe der Technologiegrenze der Beitrag bei der Grundfrequenz des Gegentakt-Eingangssignals  $u_{\text{e}}^-$

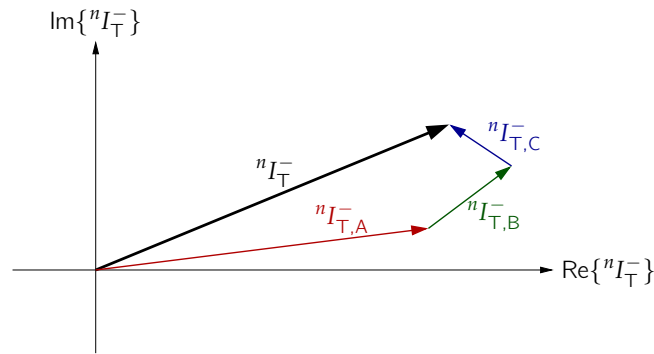


Abbildung 4.6: Veranschaulichung von Gleichung 3.23 als Vektorsumme.

die Beiträge bei den Harmonischen. In diesem Fall kann das Gegentakt-Eingangssignal als in erster Näherung sinusförmig modelliert werden. Ohne Einschränkung der Allgemeingültigkeit wird hierfür die Phase des Gegentakt-Eingangssignals zu null gewählt, sodass gilt

$$u_e^- = \hat{U}_e^- \cos(2\pi f_{\text{clk}} t), \quad (4.2)$$

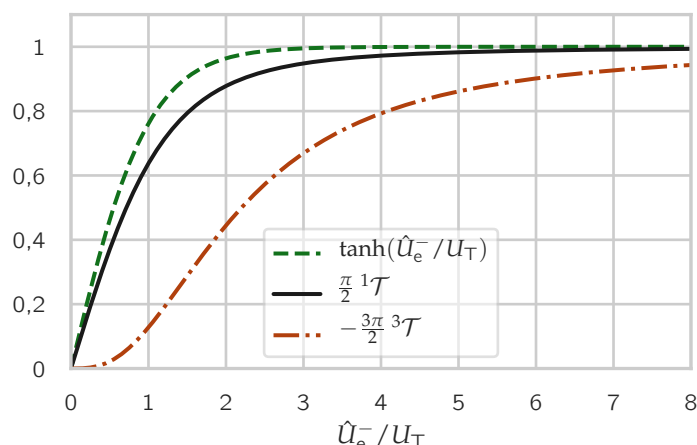
wobei  $\hat{U}_e^-$  die Gegentakt-Eingangsamplitude bezeichnet, welche im Allgemeinen von der Taktfrequenz  $f_{\text{clk}}$  abhängen kann. Mit dem so gewählten Gegentakt-Eingangssignal vereinfachen sich die zugrunde liegenden Modellgleichungen deutlich und erlauben die im Folgenden vorgestellten analytischen Betrachtungen und Schlussfolgerungen zur Dimensionierung. Abweichungen des Gegentakt-Eingangssignals von der angenommenen Sinusform führen zwangsläufig zu Abweichungen von den vorgestellten Ergebnissen. Hierbei handelt es sich um Effekte höherer Ordnung, welche gemäß des in Kapitel 1 motivierten erkenntnisorientierten Optimierungsansatzes im Rahmen dieser Arbeit nicht näher betrachtet werden, um das Verständnis der primären Effekte nicht zu erschweren.

#### 4.2.1 Analyse des statischen Anteils des Gegentakt-Transferstroms

Der Anteil

$$^n I_{T,A}^- := \frac{1}{2} I_0 \ ^n \mathcal{T} \quad (3.24)$$

ist proportional zum Betriebsstrom  $I_0$  des betrachteten SS und hängt über den Fourier-Koeffizienten  $^n \mathcal{T}$  nach Gleichung 3.19 vom Gegentakt-Eingangssignal  $u_e^-$  und der Temperaturspannung  $U_T$ , nicht jedoch von den Transistor-Kapazitäten ab. Zwar ist das Gegentakt-Eingangssignal  $u_e^-$  im Allgemeinen in Amplitude und Signalform von der Taktfrequenz  $f_{\text{clk}}$  abhängig, was sich auch auf den Fourier-Koeffizienten  $^n \mathcal{T}$  und damit auf den Anteil  $^n I_{T,A}^-$  auswirkt. Hierbei handelt es sich jedoch nicht um eine durch den SS selbst bedingte Frequenzabhängigkeit. Im Gegenteil zeigt  $^n I_{T,A}^-$  bei einem über der



**Abbildung 4.7:** Berechneter Verlauf der Koeffizienten  ${}^1\mathcal{T}$  und  ${}^3\mathcal{T}$  nach Gleichung 3.19 mit Gleichung 4.2. Die Koeffizienten sind für eine bessere Vergleichbarkeit auf ihren jeweiligen Endwert ( $\frac{2}{\pi}$  bzw.  $-\frac{3}{2\pi}$ ) für  $\hat{U}_e^- \rightarrow \infty$  normiert.

Taktfrequenz in Form und Amplitude konstanten Gegentakt-Eingangssignal keinerlei Frequenzabhängigkeit, weshalb er als statischer Anteil interpretiert werden kann. Die Interpretation wird dadurch gestützt, dass die übrigen beiden Anteile  ${}^n I_{T,B}^-$  und  ${}^n I_{T,C}^-$  gemäß Gleichung 3.25 und Gleichung 3.26 zu null werden, falls die Taktfrequenz  $f_{\text{clk}}$  gegen null geht, sodass der gesamte Gegentakt-Transferstrom  ${}^n I_{T}^-$  in diesem Fall dem statischen Anteil  ${}^n I_{T,A}^-$  entspricht. Der Anteil  ${}^n I_{T,A}^-$  ist unabhängig vom Gleichtakt-Eingangssignal  $u_e^+$  und mit dem in Gleichung 4.2 gewählten Gegentakt-Eingangssignal  $u_e^-$  rein reell. Betrachtungen des statischen Verhaltens von SSs finden sich auf verschiedene Arten in der Literatur [15, 48, 60] und sind abgesehen von gegebenenfalls zusätzlich berücksichtigten Effekten (z. B. Bahnwiderstände der Transistoren) zu den im Folgenden aus dem Anteil  ${}^n I_{T,A}^-$  abgeleiteten Schlussfolgerungen konsistent.

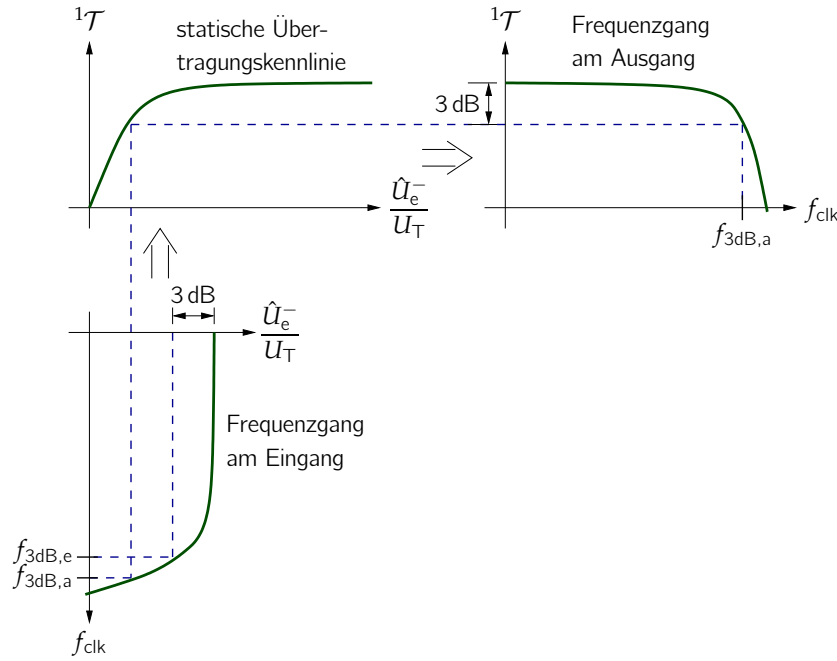
Zur Beurteilung des Beitrags von  ${}^n I_{T,A}^-$  zur Ausgangsamplitude des SS ist gemäß der Definition in Abschnitt 4.1 die Komponente  ${}^1 I_{T,A}^-$  bei der Grundfrequenz ( $n = 1$ ) entscheidend. Um die Ausgangsamplitude zu erhöhen, kann zum einen gemäß Gleichung 3.24 der als Proportionalitätskonstante fungierende Betriebsstrom  $I_0$  vergrößert werden. Zum anderen kann der Koeffizient  ${}^1\mathcal{T}$  maximiert werden, welcher mit dem sinusförmigen Gegentakt-Eingangssignal aus Gleichung 4.2 nur von der auf die Temperaturspannung  $U_T$  bezogenen Gegentakt-Eingangsamplitude  $\hat{U}_e^-$  abhängt. Die zugehörige Kennlinie in Abbildung 4.7 zeigt ein streng monotonen Verhalten, welches mit zunehmender Gegentakt-Eingangsamplitude in eine Begrenzung geht. Für eine möglichst große Ausgangsamplitude des SS sollte die Gegentakt-Eingangsamplitude daher so groß gewählt werden, dass der Bereich der Begrenzung erreicht wird. Zu beachten ist, dass die in Abbildung 4.7 zum Vergleich gezeigte statische tanh-Kennlinie bereits bei niedrigeren Eingangsspannungen ihre Begrenzung erreicht. Dies liegt daran, dass zur Bestimmung von  ${}^1\mathcal{T}$  ein sinusförmiges Eingangssignal gemäß Gleichung 4.2 angenommen wird, welches seinen



Maximalwert jeweils nur kurzzeitig annimmt und die restliche Zeit darunter liegt, so dass es nicht ausreicht, wenn nur der Maximalwert des Signals den begrenzenden Bereich der tanh-Kennlinie erreicht. In der Literatur wird zur Dimensionierung der Gegentakt-Eingangsamplitude von SSs üblicherweise die tanh-Kennlinie herangezogen und mit dem aus Erfahrung resultierenden Hinweis versehen, dass die Gegentakt-Eingangsamplitude ein Vielfaches der Temperaturspannung  $U_T$  aufweisen sollte, um eine gewisse Reserve einzuplanen [15, 60]. Wird stattdessen wie hier vorgeschlagen die Kennlinie des Koeffizienten  ${}^1\mathcal{T}$  herangezogen, kann die benötigte Gegentakt-Eingangsamplitude  $\hat{U}_e^-$  direkt aus Abbildung 4.7 abgelesen und auf das Einplanen einer Reserve verzichtet werden. Nichtsdestoweniger wird auch in dieser Arbeit empfohlen, eine höhere Gegentakt-Eingangsamplitude als zur Erreichung des begrenzenden Bereichs von  ${}^1\mathcal{T}$  notwendig zu wählen. Dies jedoch nicht wegen des statischen Anteils  ${}^1I_{T,A}^-$ , sondern wegen des in Abschnitt 4.2.2 betrachteten Anteils  ${}^1I_{T,B}^-$ , der den dynamischen Überhöhungseffekt bedingt.

Die Grenzfrequenz des statischen Anteils  ${}^nI_{T,A}^-$  ist wie die Ausgangsamplitude über die Komponente bei der Grundfrequenz ( $n = 1$ ) definiert. Die zugehörige Gleichung 3.24 selbst zeigt keine Abhängigkeit von der Taktfrequenz, allerdings kann die begrenzende Kennlinie von  ${}^1\mathcal{T}$  genutzt werden, um eine Abhängigkeit der Gegentakt-Eingangsamplitude  $\hat{U}_e^-$  von der Taktfrequenz abzuschwächen. Dieses für begrenzende Verstärker bekannte Verhalten [15] ist in Abbildung 4.8 grafisch veranschaulicht. Die Gegentakt-Eingangsamplitude zeigt im gewählten Beispiel einen Abfall über der Taktfrequenz mit einer Grenzfrequenz von  $f_{3dB,e}$ . Durch Wahl einer Gegentakt-Eingangsamplitude  $\hat{U}_e^-$ , welche deutlich im begrenzenden Bereich der  ${}^1\mathcal{T}$ -Funktion liegt, verringert sich die Ausgangsamplitude des SS über der Taktfrequenz erst signifikant, wenn die Gegentakt-Eingangsamplitude so weit abgefallen ist, dass der begrenzende Bereich von  ${}^1\mathcal{T}$  verlassen wird. Auf diese Weise wird ein Abfall der Gegentakt-Eingangsamplitude über der Taktfrequenz teilweise kompensiert und das Ausgangssignal zeigt eine Grenzfrequenz  $f_{3dB,a}$ , welche höher als die des Eingangssignals ist.

Zur Analyse der Flankensteilheit des statischen Anteils  ${}^nI_{T,A}^-$  wird gemäß Abschnitt 4.1 die Komponente  ${}^3I_{T,A}^-$  bei der dritten Harmonischen ( $n = 3$ ) der Taktfrequenz  $f_{clk}$  betrachtet. Da sowohl  ${}^1I_{T,A}^-$  als auch  ${}^3I_{T,A}^-$  rein reell (mit umgekehrtem Vorzeichen) sind, ist die für die Flankensteilheit primär entscheidende effektive Phase der dritten Harmonischen von  ${}^nI_{T,A}^-$  stets  $180^\circ$  und liegt damit gemäß Abschnitt 4.1 bei ihrem Idealwert. Als sekundäres Kriterium zur Beurteilung der Flankensteilheit dient die Amplitude bei der dritten Harmonischen. Der hierfür verantwortliche Koeffizient  ${}^3\mathcal{T}$  ist in Abbildung 4.7 aufgetragen und zeigt wie  ${}^1\mathcal{T}$  ein von der Gegentakt-Eingangsamplitude  $\hat{U}_e^-$  abhängiges begrenzendes Verhalten, wobei die Begrenzung erst bei deutlich höheren Gegentakt-Eingangsamplituden  $\hat{U}_e^-$  als bei  ${}^1\mathcal{T}$  einsetzt. Durch die Begrenzung kann die Amplitude der dritten Harmonischen nicht größer als bei einem idealen Rechtecksignal werden, sodass keine Maßnahmen zur Verhinderung einer Signaldegradation durch eine zu starke dritte Harmonische (vgl. Abschnitt 4.1) nötig sind. Folglich ist im Hinblick auf den statischen Anteil  ${}^nI_{T,A}^-$  eine hohe Eingangsamplitude  $\hat{U}_e^-$  nicht nur für eine hohe Ausgangsamplitude, sondern auch für eine hohe Grenzfrequenz und eine hohe Flankensteilheit hilfreich.



**Abbildung 4.8:** Veranschaulichung der Erhöhung der 3-dB-Grenzfrequenz eines Taktsignals durch Ausnutzung der limitierenden statischen Kennlinie  ${}^1\mathcal{T}$  eines SS.

#### 4.2.2 Analyse des den dynamischen Überhöhungseffekt bedingenden Anteils des Gegendakt-Transferstroms

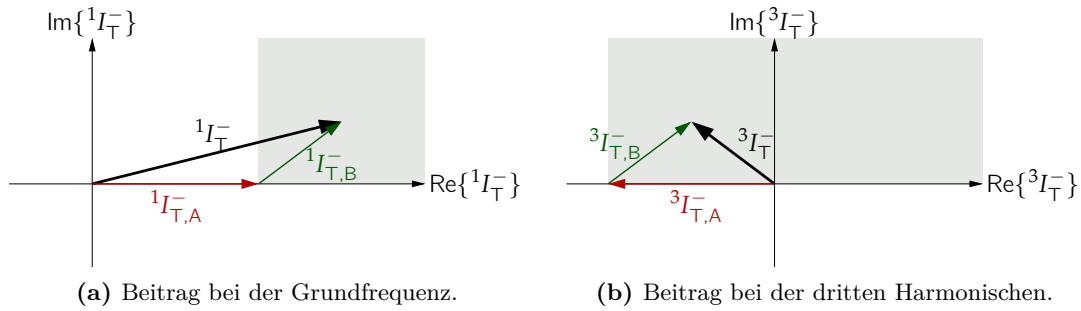
Der Anteil  ${}^n I_{T,B}^-$  ist ursächlich für den in dieser Arbeit analysierten und der in ihrem Zuge entstandenen Veröffentlichung [33] anschaulich erklärten dynamischen Überhöhungseffekt. Mit dem monofrequenten Gegendakt-Eingangssignal aus Gleichung 4.2 und den Näherungen der Koeffizienten  ${}^n\mathcal{T}$  für kleine und große Gegendakt-Eingangsamplituden  $\hat{U}_e^-$  aus Gleichung 3.20 und Gleichung 3.21 vereinfacht sich die zugehörige Komponente bei der Grundfrequenz ( $n = 1$ ) gemäß der Herleitung in Anhang B.2.1 zu

$${}^1 I_{T,B}^- \approx \frac{\pi}{2} \hat{U}_e^- C_E f_{\text{clk}} \begin{cases} \frac{1}{4} \left( \frac{\hat{U}_e^-}{U_T} \right)^2 \frac{4\pi \tau_C f_{\text{clk}} + j}{(4\pi \tau_C f_{\text{clk}})^2 + 1} & \text{für } \hat{U}_e^- \ll U_T, \\ \frac{2\pi \tau_C f_{\text{clk}} + j}{1,7 (4\pi \tau_C f_{\text{clk}})^{1,7} + 1} & \text{für } \hat{U}_e^- \gg U_T \end{cases} \quad (4.3)$$

mit der modifizierten Transitzeit

$$\tau_C := \frac{C_E U_T}{I_0} + \tau_F. \quad (3.14)$$

Zu beachten ist hierbei, dass der Nennerterm in Gleichung 4.3 im Falle  $\hat{U}_e^- \gg U_T$  eine Polynomapproximation an eine nichtlineare Funktion enthält (siehe Anhang B.2.1) und



**Abbildung 4.9:** Lagebereiche der Summenzeiger  ${}^n I_{\text{T}}^-$  in der komplexen Ebene für  ${}^n I_{\text{T,C}}^- = 0$ .

daher der Vorfaktor 1,7 sowie der Exponent 1,7 keine unmittelbaren physikalischen Hintergründe haben. Die auftretenden Einflussfaktoren und deren Kombination (z. B.  $\tau_{\text{C}} f_{\text{clk}}$  als Produkt) folgen dagegen aus dem zugrunde liegenden ESB und sind dementsprechend physikalisch motiviert.

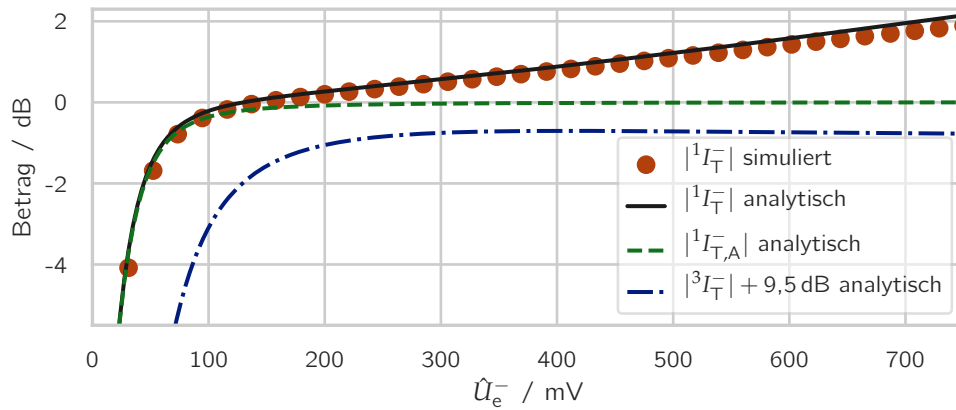
Aufgrund der quadratischen Abhängigkeit vom Quotienten  $\hat{U}_{\text{e}}^-/U_{\text{T}}$  in Gleichung 4.3 und der ansonsten vergleichbaren Struktur der Terme ist der Anteil  ${}^1 I_{\text{T,B}}^-$  für kleine Gegentakt-Eingangsamplituden  $\hat{U}_{\text{e}}^- \ll U_{\text{T}}$  deutlich kleiner als für große Gegentakt-Eingangsamplituden  $\hat{U}_{\text{e}}^- \gg U_{\text{T}}$ . Zusammen mit dem Ergebnis der nachfolgenden Modellauswertungen und Simulationen für typische Parameterkombinationen, wonach  $|{}^1 I_{\text{T,B}}^-|$  in der Größenordnung von 10%–20% von  $|{}^1 I_{\text{T,A}}^-|$  liegt, ist der Beitrag von  $|{}^1 I_{\text{T,B}}^-|$  an der gesamten Vektorsumme  $|{}^1 I_{\text{T}}^-|$  für den Fall kleiner Gegentakt-Eingangsamplituden vernachlässigbar. Es wird daher im Folgenden ausschließlich der Fall  $\hat{U}_{\text{e}}^- \gg U_{\text{T}}$  betrachtet. Aus Gleichung 4.3 folgt unmittelbar, dass der zu  ${}^1 I_{\text{T,B}}^-$  gehörige Zeiger einen positiven Real- und einen positiven Imaginärteil hat und somit im ersten Quadranten der komplexen Ebene liegt. In Abbildung 4.9a ist die zugehörige Vektorsumme für das zunächst betrachtete Szenario  ${}^1 I_{\text{T,C}}^- = 0$  skizziert. Da der zum statischen Anteil  ${}^1 I_{\text{T,A}}^-$  gehörende Zeiger auf der positiven reellen Achse liegt, ergibt sich ein potenzieller, in der Abbildung schattiert dargestellter Bereich für den Zeiger  ${}^1 I_{\text{T}}^-$  des gesamten Transferstroms. Der Anteil  ${}^1 I_{\text{T,B}}^-$  führt somit zu einer Vergrößerung der Länge des Zeigers  ${}^1 I_{\text{T}}^-$  des gesamten Transferstroms und damit zu einer Vergrößerung der Ausgangsamplitude des SS.

Gemäß Gleichung 4.3 ist der Beitrag  ${}^1 I_{\text{T,B}}^-$  direkt proportional zur Gegentakt-Eingangsamplitude  $\hat{U}_{\text{e}}^-$ , sodass durch eine Vergrößerung derselben die Ausgangsamplitude des SS vergrößert wird. Der Anteil  ${}^1 I_{\text{T,B}}^-$  hängt daneben von der Taktfrequenz  $f_{\text{clk}}$ , der gesamten am gemeinsamen Emitterknoten der SS-Transistoren wirkenden Kapazität  $C_{\text{E}}$  und der modifizierten Transitzeit  $\tau_{\text{C}}$  ab. Sowohl  $C_{\text{E}}$  als auch  $\tau_{\text{C}}$  treten dabei jeweils stets im Produkt mit  $f_{\text{clk}}$  auf, sodass eine Änderung der Taktfrequenz  $f_{\text{clk}}$  durch eine entsprechende inverse Änderung von  $C_{\text{E}}$  und  $\tau_{\text{C}}$  kompensiert werden kann. Im Falle der modifizierten Transitzeit  $\tau_{\text{C}}$  gestaltet sich dies jedoch schwierig, da diese für typische Parameterwerte der Schaltung (z. B. jenen aus Tabelle 4.1) von der durch die Transistortechnologie be-

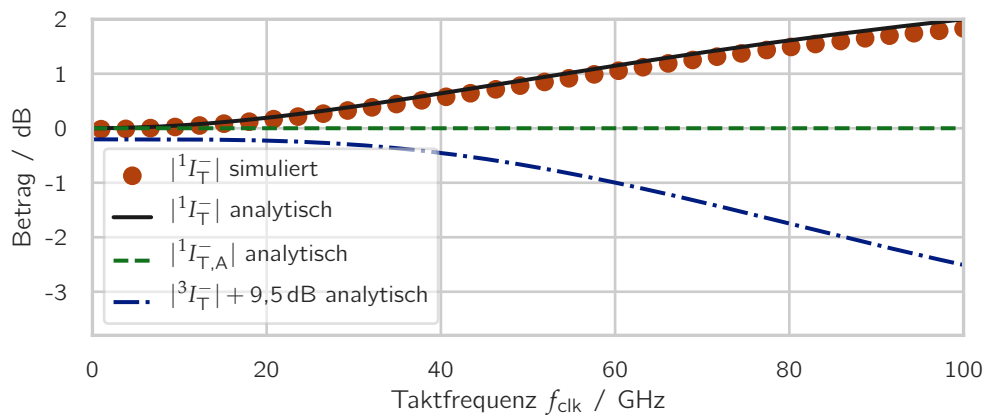
stimmten Transitzeit  $\tau_F$  dominiert wird. Aus Gleichung 4.3 kann unmittelbar abgelesen werden, dass der Anteil  ${}^1I_{T,B}^-$  zu null wird, falls die Taktfrequenz  $f_{\text{clk}}$  oder die Kapazität  $C_E$  gegen null gehen. Es lässt sich zeigen (siehe Anhang B.2.2), dass die Ausgangsamplitude  $|{}^1I_T^-|$  des SS monoton mit der Taktfrequenz  $f_{\text{clk}}$  und der Kapazität  $C_E$  steigt. Hierbei handelt es sich um eine von zwei Wirkmechanismen des dynamischer Überhöhungseffekts. Für einen ausgeprägten dynamischen Überhöhungseffekt sollte folglich die Kapazität  $C_E$  groß sein. Dadurch, dass die Kapazitäten am gemeinsamen Emitterknoten des SS gemäß des ESB nach Abbildung 3.4 ausschließlich in ihrer Gesamtheit  $C_E = C_{i0} + 2C_{BE0}$  in Gleichung 4.3 eingehen, besteht bei der Dimensionierung der Schaltung ein Freiheitsgrad bei der Wahl von  $C_{i0}$  und  $C_{BE0}$ . Dieser Freiheitsgrad wird durch Anforderungen an die Gleichtaktunterdrückung sowie die Eingangsimpedanz des SS eingeschränkt. Hierauf wird nachfolgend sowie in Abschnitt 4.3 näher eingegangen.

In Abbildung 4.10 sind beispielhaft die mit dem Modell berechnete statische Transferstrom-Amplitude  $|{}^1I_{T,A}^-|$  eines SS ohne dynamischen Überhöhungseffekt und die gesamte Transferstrom-Amplitude  $|{}^1I_T^-|$  mit dynamischem Überhöhungseffekt (für  ${}^1I_{T,C}^- = 0$ ) bei variierten Parametern  $\hat{U}_e^-$ ,  $f_{\text{clk}}$  und  $C_E$  aufgetragen. Zur Berechnung werden Gleichung 3.24 und Gleichung 4.3 herangezogen. Es zeigt sich jeweils die monotone Abhängigkeit von den Parametern. Der dynamische Überhöhungseffekt führt bei typischen Parameterwerten zu einer Erhöhung der Transferstrom-Amplitude von 1 dB bis 2 dB gegenüber der statischen Transferstrom-Amplitude  $|{}^1I_{T,A}^-|$ . Dies mag wenig erscheinen, jedoch kann dadurch eine Erhöhung der Grenzfrequenz von in etwa 10 % bis 20 % erreicht werden, was insbesondere bei den in dieser Arbeit betrachteten Schaltungen an der Geschwindigkeitsgrenze der Technologie signifikant ist. Besonders hilfreich zeigt sich in diesem Zusammenhang die Tatsache, dass der dynamische Überhöhungseffekt mit der Taktfrequenz zunimmt.

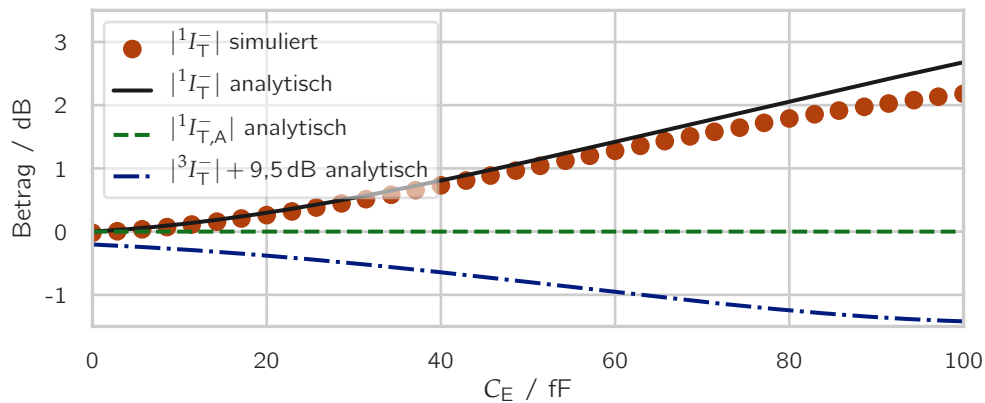
Die Variation der Gegentakt-Eingangsamplitude  $\hat{U}_e^-$  in Abbildung 4.10a zeigt, dass der dynamische Überhöhungseffekt erst bei Gegentakt-Eingangsamplituden  $\hat{U}_e^-$  signifikant in Erscheinung tritt, bei denen die statische Transferstrom-Amplitude  $|{}^1I_{T,A}^-|$  bereits in ihrer Begrenzung ist. Während im Beispiel der Verlauf des statischen Anteils  $|{}^1I_{T,A}^-|$  ab einer Gegentakt-Eingangsamplitude von  $\hat{U}_e^- \approx 100$  mV konstant ist, steigt der Gesamtverlauf der Transferstrom-Amplitude  $|{}^1I_T^-|$  stetig weiter an. Dieses Verhalten hat zwei Konsequenzen. Als erste Konsequenz bedeutet es, dass entgegen der häufig anzutreffenden Ansicht, dass die Kennlinie eines SS eine Begrenzung aufweist [21, 60], beim dynamischen Betrieb des SS faktisch kein begrenzendes Verhalten der Kennlinie auftritt. Zwar geht die statische Kennlinie in eine Begrenzung, die dynamische Kennlinie steigt jedoch auch darüber hinaus mit steigender Gegentakt-Eingangsamplitude weiter an, wenn auch mit geringerer Steigung. Dies ist wichtig zu wissen, wenn der SS beispielsweise eingesetzt werden soll, um ein Eingangssignal ab bestimmten Eingangspegeln abzuschneiden, um damit dem Eingangssignal überlagerte Störungen herauszufiltern. Aufgrund des dynamischen Überhöhungseffekts wird es dennoch zu einer Übertragung der Störungen kommen, wenn auch in abgeschwächter Form.



(a) Mit Parametersatz 4 ( $f_{\text{clk}} = 50 \text{ GHz}$ ) aus Tabelle 4.1 und variiertes Eingangsamplitude  $\hat{U}_e^-$ .



(b) Mit Parametersatz 2 ( $\hat{U}_e^- = 400 \text{ mV}$ ) aus Tabelle 4.1 und variiertes Taktfrequenz  $f_{\text{clk}}$ .



(c) Mit Parametersatz 6 aus Tabelle 4.1 und variiertes Kapazität  $C_E = C_{i0} + 2C_{\text{BEj}}$ .

**Abbildung 4.10:** Numerische Auswertung der Beträge von Gleichung 3.23 und Vergleich mit Schaltungssimulationen mit dem Transistor-ESB aus Abbildung 3.1. Die Referenz für die Betragsgänge liegt jeweils auf dem Endwert von  $|I_{\text{T,A}}^-|$ .

Als zweite Konsequenz folgt, dass die Auswirkung des dynamischen Überhöhungseffekts über die Gegentakt-Eingangsamplitude eingestellt werden kann, ohne den statischen Anteil  ${}^1I_{T,A}^-$  zu beeinflussen, da dieser bereits in seinem Bereich der Sättigung ist, wenn der dynamische Überhöhungseffekt nennenswert einsetzt. Dies ist in der Praxis sehr hilfreich, da so die Stärke des dynamischen Überhöhungseffekts während des Betriebs der Schaltung durch Anpassung der Gegentakt-Eingangsamplitude des SS justiert werden kann.

In Abbildung 4.10 ist neben der Auswertung der vorgestellten Modellgleichungen das Ergebnis von Schaltungssimulationen gezeigt. Hierfür wird das in Kapitel 3 eingeführte Transistor-ESB verwendet, das auch dem analytischen Modell zugrunde liegt. Der transient simulierte Gegentakt-Transferstrom wird für die Auswertung mithilfe einer FFT in seine Frequenz-Komponenten  ${}^nI_T^-$  zerlegt. Es zeigt sich für den betrachteten Bereich typischer Schaltungsparameter eine gute Übereinstimmung zwischen Rechnung und Simulation, was bestätigt, dass die im Zuge der Herleitung der Modellgleichungen aus dem ESB getroffenen Näherungen für realistische Schaltungsparameter gültig sind. Lediglich für hohe Kapazitäten  $C_E$  kommt es zu leichten Abweichungen, was eine Begrenzung der Modellgültigkeit auf die gewählten typischen Parameterbereiche aufzeigt. Ein Vergleich der Ergebnisse mit Simulationen mit einem HICUM-Transistormodell sind in Abschnitt 4.2.5 zu finden.

Für die Flankensteilheit des Gegentakt-Transferstroms ist nach den Überlegungen aus Abschnitt 4.1 in erster Linie die effektive Phase der dritten Harmonischen entscheidend, welche sich gemäß Gleichung 4.1 aus den Phasen bei der Grundfrequenz und der dritten Harmonischen des Taktsignals ergibt. Idealerweise sollte die effektive Phase der dritten Harmonischen für niedrige Taktfrequenzen bei  $180^\circ$  liegen und mit steigender Taktfrequenz sinken, um die über der Taktfrequenz steigende effektive Phasenverschiebung der dritten Harmonischen eines Tiefpassverhaltens der Übertragungsfunktion zwischen SS und Last zu kompensieren. Mit Gleichung 4.3 lässt sich zeigen (siehe Anhang B.2.3), dass die Phase  $\varphi_1$  des Gegentakt-Transferstroms bei der Grundfrequenz mit steigender Taktfrequenz monoton steigt und somit über das negative Vorzeichen in Gleichung 4.1 zu dem gewünschten Absinken der effektiven Phase der dritten Harmonischen über der Taktfrequenz beiträgt, solange die Bedingung

$$\tau_C f_{\text{clk}} \lesssim 0,07 \quad (4.4)$$

erfüllt ist. Mit typischen Schaltungsparametern bei der verwendeten Transistortechnologie ist dies bis zu Taktfrequenzen  $f_{\text{clk}}$  von in etwa 150 GHz erfüllt, was deutlich oberhalb des in dieser Arbeit benötigten und mit der verfügbaren Transistortechnologie erzielbaren Frequenzbereichs liegt. Bei schnelleren Transistortechnologien ist aufgrund der geringeren Transitzeit  $\tau_F$  davon auszugehen, dass auch die modifizierte Transitzeit  $\tau_C$  (vgl. Gleichung 3.14) geringer ist und somit die Taktfrequenz  $f_{\text{clk}}$ , ab welcher die Bedingung aus Gleichung 4.4 erfüllt ist, steigt. Folglich kann die Bedingung bei realistischen Anwendungen als stets erfüllt angesehen werden.

Mit denselben Näherungen, die zur Herleitung von Gleichung 4.3 führen, lässt sich wie in Anhang B.2.4 gezeigt für den Anteil  ${}^3I_{T,B}^-$  des dynamischen Überhöhungseffekts bei der dritten Harmonischen ( $n = 3$ ) für Gegentakt-Eingangsamplituden  $\hat{U}_e^- \gg U_T$  die Beziehung

$${}^3I_{T,B}^- \approx \frac{14}{\pi} \hat{U}_e^- C_E f_{\text{clk}} \frac{(4\pi \tau_C f_{\text{clk}})^2 (6\pi \tau_C f_{\text{clk}} + j)}{((4\pi \tau_C f_{\text{clk}})^2 + 1) (8(4\pi \tau_C f_{\text{clk}})^2 + 1)} \quad (4.5)$$

aufstellen. Der Anteil  ${}^3I_{T,B}^-$  hängt von denselben Parametern ab wie  ${}^1I_{T,B}^-$ , ist ebenso wie dieser proportional zur Gegentakt-Eingangsamplitude  $\hat{U}_e^-$  und liegt im ersten Quadranten der komplexen Ebene. Er wirkt damit dem Realteil des statischen Anteils  ${}^3I_{T,A}^-$  entgegen, welcher auf der negativen reellen Achse liegt. Der sich in Summe ergebende potenzielle Wertebereich von  ${}^3I_T^-$  ist für  ${}^3I_{T,C}^- = 0$  in Abbildung 4.9b schattiert angedeutet. Da  ${}^3I_{T,B}^-$  für  $f_{\text{clk}} = 0$  gegen null strebt, folgt, dass die Phase der dritten Harmonischen für niedrige Taktfrequenzen bei  $180^\circ$  startet und für höhere Taktfrequenzen stets kleiner als  $180^\circ$ , aber größer oder gleich null ist. Es lässt sich zeigen (siehe Anhang B.2.5), dass die Phase der dritten Harmonischen monoton mit der Taktfrequenz  $f_{\text{clk}}$  fällt, sofern die Bedingung

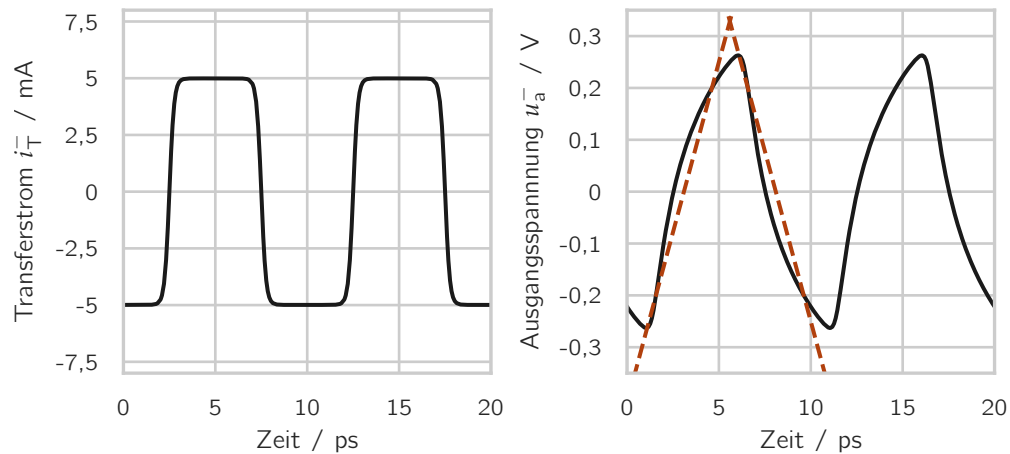
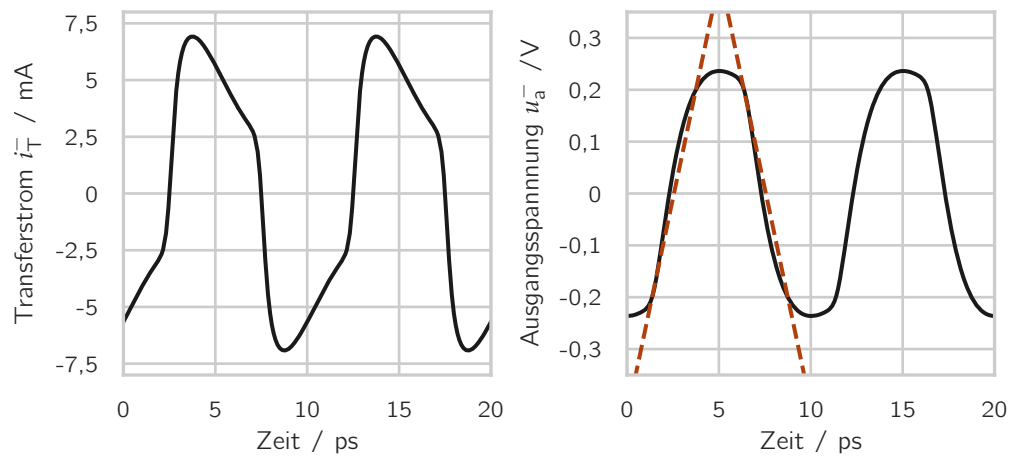
$$\hat{U}_e^- \gtrsim \frac{\pi}{2} \left( U_T + \tau_F \frac{I_0}{C_E} \right) \quad (4.6)$$

erfüllt ist. Für Beispielparametersatz 4 aus Tabelle 4.1 ist dies ab  $\hat{U}_e^- \gtrsim 160 \text{ mV}$  der Fall. Da der dynamische Überhöhungseffekt insgesamt und insbesondere die dritte Harmonische des Gegentakt-Transferstroms erst bei höheren Gegentakt-Eingangsamplituden signifikant werden, kann die Bedingung aus Gleichung 4.6 als üblicherweise erfüllt angesehen werden. Dies muss jedoch im Einzelfall überprüft werden.

Die mit steigender Taktfrequenz fallende Phase  $\varphi_3$  der dritten Harmonischen des Gegentakt-Transferstroms und die steigende Phase  $\varphi_1$  bei der Grundfrequenz führen zu einer fallenden effektiven Phase der dritten Harmonischen  $\hat{\varphi}_3$  des SS, wodurch ein Tiefpassverhalten der Phase der Übertragungsfunktion zur Last wie gewünscht ausgeglichen werden kann. Dies ist neben der Erhöhung der Ausgangsamplitude der zweite wesentliche Wirkmechanismus des dynamischen Überhöhungseffekts. In Abbildung 4.11 ist das zugehörige Verhalten an einem Simulationsbeispiel unter Verwendung des Transistor-ESB aus Kapitel 3 als Transistor-Modell demonstriert.

In Abbildung 4.11a ist die Gesamtkapazität  $C_E$  am gemeinsamen Emitterknoten des SS zu null gewählt, sodass kein dynamischer Überhöhungseffekt auftritt. Der Transferstrom  $i_T^-$  zeigt einen nahezu ideal rechteckförmigen Signalverlauf. Aufgrund eines Tiefpassverhaltens der Last, welche im Beispiel aus einem R-C-Glied besteht, hat die Ausgangsspannung  $u_a^-$  einen sägezahnförmigen Verlauf mit einer geringen Flankensteilheit.

In Abbildung 4.11b sind als Änderung im Vergleich zu Abbildung 4.11a Kapazitäten  $C_E$  am gemeinsamen Emitterknoten des SS eingeführt. Dadurch ergibt sich ein deutlicher dynamischer Überhöhungseffekt des Transferstroms  $i_T^-$ , der an der Überhöhung

(a) Mit Parametersatz 7 aus Tabelle 4.1 (kein dynamischer Überhöhungseffekt, da  $C_E = 0$ ).(b) Mit Parametersatz 8 aus Tabelle 4.1 (mit dynamischem Überhöhungseffekt, da  $C_E > 0$ ).

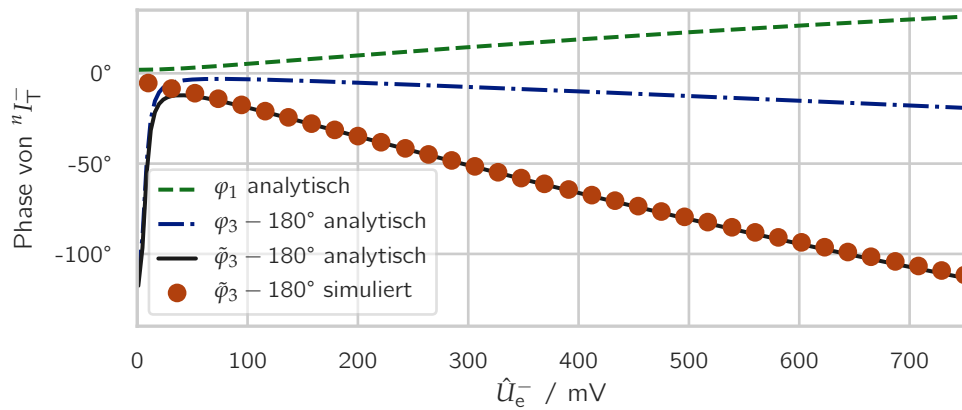
**Abbildung 4.11:** Großsignal-Simulation des Gegentakt-Transferstroms  $i_T^- = \frac{1}{2}(i_{T1} - i_{T2})$  und der Gegentakt-Ausgangsspannung  $u_a^- = \frac{1}{2}(u_{a1} - u_{a2})$  zum Vergleich der Auswirkung des dynamischen Überhöhungseffekts nach Tiefpassfilterung durch ein R-C-Glied am Ausgang des SS. Gestrichelt eingezeichnet sind die jeweiligen Flanken nach der Definition der Flankensteilheit in Abschnitt 4.1.



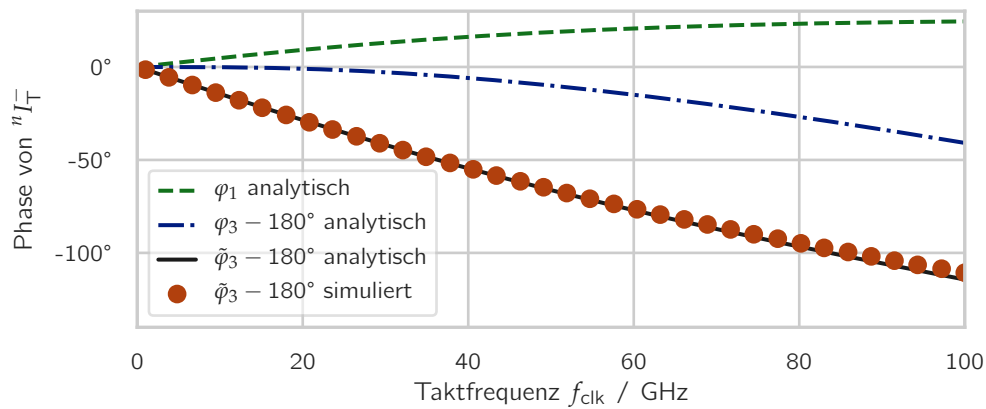
des Gegentakt-Transferstroms über den statischen Pegel hinaus zu Beginn jeder Taktflanke erkannt werden kann. Die aufgrund des dynamischen Überhöhungseffekts über der Taktfrequenz fallende effektive Phase der dritten Harmonischen kompensiert den Anstieg durch das Lastnetzwerk, sodass die Ausgangsspannung  $u_a^-$  eine sichtbar höhere Flankensteilheit aufweist und eine symmetrischere Form besitzt als der Signalverlauf ohne dynamischen Überhöhungseffekt in Abbildung 4.11a.

In Abbildung 4.12 sind die Phasen  $\varphi_1$ ,  $\varphi_3$  und die effektive Phase der dritten Harmonischen  $\hat{\varphi}_3$  des Gegentakt-Transferstroms durch Auswertung der Modellgleichungen 3.24, 4.3 und 4.5 für verschiedene Beispielparametersätze über der Gegentakt-Eingangsamplitude  $\hat{U}_e^-$ , der Taktfrequenz  $f_{\text{clk}}$  und der Kapazität  $C_E$  aufgetragen. Die Beispiele veranschaulichen die theoretisch hergeleiteten Zusammenhänge. So fällt erwartungsgemäß die effektive Phase der dritten Harmonischen mit steigender Taktfrequenz  $f_{\text{clk}}$ . Da  $f_{\text{clk}}$  in Gleichung 4.5 und Gleichung 4.3 stets im Produkt mit  $C_E$  oder der mit  $C_E$  skalierten modifizierten Transitzeit  $\tau_C$  steht, zeigt sich auch mit steigender Kapazität  $C_E$  ein Abfall der effektiven Phase der dritten Harmonischen  $\varphi_3$ . Wegen des linearen Zusammenhangs zwischen der Gegentakt-Eingangsamplitude  $\hat{U}_e^-$  und der beiden den dynamischen Überhöhungseffekt beschreibenden Gleichungen 4.3 und 4.5 verstärkt sich die durch den dynamischen Überhöhungseffekt bedingte Verringerung der effektiven Phase der dritten Harmonischen mit zunehmender Gegentakt-Eingangsamplitude  $\hat{U}_e^-$ . Sowohl die Dimensionierung mit einer großen Kapazität  $C_E$  als auch mit einer großen Gegentakt-Eingangsamplitude  $\hat{U}_e^-$  sind damit Maßnahmen für einen ausgeprägten dynamischen Überhöhungseffekt. Bei der Dimensionierung der Schaltung sollte darauf geachtet werden, dass keine Überkompensation der effektiven Phase der dritten Harmonischen stattfindet. Optimalerweise sollte der Abfall über der Taktfrequenz lediglich den Anstieg der Übertragungsfunktion des Lastnetzwerks kompensieren, um so an der Last eine über der Taktfrequenz in etwa konstante effektive Phase der dritten Harmonischen von  $180^\circ$  zu erzielen. Häufig ist es jedoch beim Entwurf der Schaltung nicht vollständig möglich, das Lastnetzwerk zu modellieren, z. B. weil es vom externen Aufbau abhängt. Hier bietet die Abhängigkeit des dynamischen Überhöhungseffekts von der Gegentakt-Eingangsamplitude  $\hat{U}_e^-$  die Möglichkeit, den Effekt noch im Betrieb nachzujustieren, sodass Abweichungen von der verwendeten Modellierung korrigiert werden können.

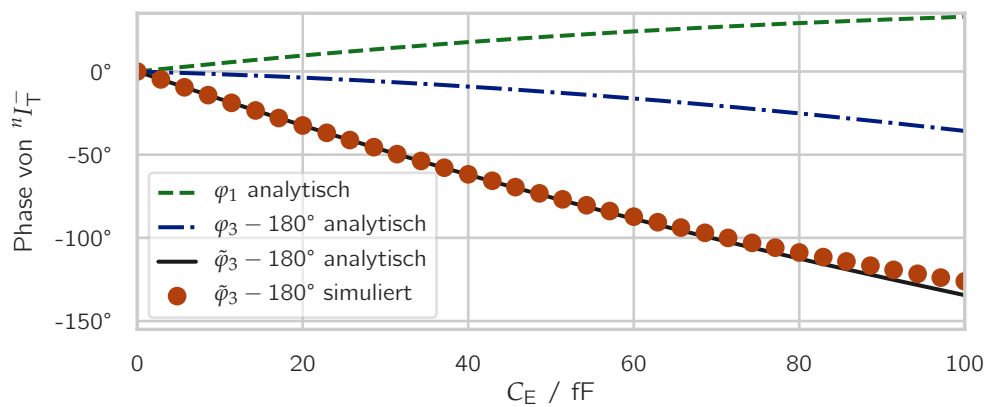
Die in Abbildung 4.12 gezeigten Vergleiche zwischen der Auswertung der analytischen Modellgleichungen und Schaltungssimulationen unter Verwendung des den Modellgleichungen zugrunde liegenden Transistor-ESB aus Kapitel 3 offenbaren eine gute Übereinstimmung, außer für Gegentakt-Eingangsamplituden  $\hat{U}_e^- < 50 \text{ mV}$ , wo eine gravierende Abweichung auftritt. Diese lässt sich dadurch erklären, dass die verwendeten Modellgleichungen auf der Annahme basieren, dass  $\hat{U}_e^- \gg U_T \approx 30 \text{ mV}$ . Da der dynamische Überhöhungseffekt für kleinere Gegentakt-Eingangsamplituden jedoch ohnehin keinen signifikanten Einfluss auf den Transferstrom des SS hat, stellt die Ungültigkeit des vorgestellten Modells in diesem Bereich keine nennenswerte Einschränkung dar. Vergleiche mit Simulationen mit einem HICUM-Transistormodell sind in Abschnitt 4.2.5 zu finden.



(a) Mit Parametersatz 4 ( $f_{\text{clk}} = 50 \text{ GHz}$ ) aus Tabelle 4.1 und variiertes Eingangsamplitude  $\hat{U}_e^-$ .



(b) Mit Parametersatz 2 ( $\hat{U}_e^- = 400 \text{ mV}$ ) aus Tabelle 4.1 und variiertes Taktfrequenz  $f_{\text{clk}}$ .



(c) Mit Parametersatz 6 aus Tabelle 4.1 und variiertes Kapazität  $C_E = C_{i0} + 2C_{\text{BEj}}$ .

**Abbildung 4.12:** Numerische Auswertung der (effektiven) Phase von Gleichung 3.23 und Vergleich mit Schaltungssimulationen.

Neben der effektiven Phase entscheidet gemäß Abschnitt 4.1 die Amplitude der dritten Harmonischen über die Flankensteilheit des Taktsignals. Die Amplitude sollte für eine hohe Flankensteilheit möglichst groß sein, sofern die effektive Phase der dritten Harmonischen an der Last mithilfe der vorangehend vorgestellten Methoden auf den Idealwert von  $180^\circ$  optimiert ist. Die in Abbildung 4.9b veranschaulichte Vektorsumme für die dritte Harmonische des Gegentakt-Transferstroms macht jedoch deutlich, dass der positive Realteil von  ${}^3I_{T,B}^-$  dem negativen Realteil von  ${}^3I_{T,A}^-$  entgegen wirkt und somit je nach Imaginärteil von  ${}^3I_{T,B}^-$  zu einem Amplitudenzeiger  ${}^3I_T^-$  mit kürzerer Länge als ohne dynamischen Überhöhungseffekt führen kann. Dieses Verhalten bestätigt sich in der Auswertung der Modellgleichungen für die Beispielsimulationen in Abbildung 4.10, wo die Amplitude der dritten Harmonischen  $|{}^3I_T^-|$  sowohl mit steigender Taktfrequenz  $f_{\text{clk}}$  als auch mit steigender Kapazität  $C_E$  abnimmt. Bei der Dimensionierung der Schaltung in Bezug auf die Ausprägung des Anteils  ${}^3I_{T,B}^-$  ergibt sich folglich eine Abwägung zwischen einer Optimierung der effektiven Phase der dritten Harmonischen auf  $180^\circ$  an der betrachteten Last des SS und einer Maximierung der Amplitude der dritten Harmonischen. Es empfiehlt sich, die Dimensionierung mit Fokus auf der effektiven Phase durchzuführen, da eine von  $180^\circ$  abweichende Phasenlage zu einem asymmetrischen Signal oder gar einer geringeren Flankensteilheit als ohne Beitrag bei der dritten Harmonischen führt (vgl. Abbildung 4.4) und eine große Amplitude der dritten Harmonischen in diesem Fall sogar kontraproduktiv wäre.

### 4.2.3 Analyse des durch ein Gleichtakt-Eingangssignal bedingten Anteils des Gegentakt-Transferstroms

Der Anteil

$${}^nI_{T,C}^- := \pi C_{i0} f_{\text{clk}} \sum_{m=-\infty}^{\infty} \frac{n-m\mathcal{T} m {}^mU_e^+}{2\pi m \tau_C f_{\text{clk}} - j} \quad (3.26)$$

ist als einziger der drei Anteile des Gegentakt-Transferstroms  ${}^nI_T^-$  in der Vektorsumme nach Gleichung 3.23 vom Gleichtakt-Eingangssignal  ${}^mU_e^+$  abhängig. Ohne Gleichtakt-Anteil des Eingangssignals verschwindet  ${}^nI_{T,C}^-$  und es gelten die zuvor getroffenen Überlegungen und Zusammenhänge für den Gegentakt-Transferstrom. Im Hinblick auf Amplitude, Grenzfrequenz und Flankensteilheit sind gemäß der Überlegungen in Abschnitt 4.1 die Beiträge von  ${}^nI_{T,C}^-$  für  $n = 1$  und  $n = 3$  von Bedeutung. Da  $n-m\mathcal{T}$  in Gleichung 3.26 unter der Annahme eines Taktsignals ohne oder nur mit geringem Tastgradfehler im Wesentlichen lediglich Anteile bei ungeraden  $(n - m)$  hat (vgl. Gleichung 3.21), tragen zu der Summe in Gleichung 3.26 für  $n = 1$  und  $n = 3$  im Wesentlichen die Anteile bei geraden Harmonischen  $m$  des Gleichtakt-Eingangssignals  ${}^mU_e^+$  bei. Dabei spielt auch ihre jeweilige Phasenlage eine Rolle für das Resultat der gesamten Summe. Für ein beliebiges Gleichtakt-Eingangssignal lassen sich daher keine allgemeinen Aussagen treffen, wie stark der Anteil  ${}^nI_{T,C}^-$  den gesamten Gegentakt-Transferstrom  ${}^nI_T^-$  beeinflusst und ob er zu einer Erhöhung oder einer Verringerung von dessen Amplitude,

Grenzfrequenz und Flankensteilheit führt. Stammt das Gleichtakt-Eingangssignal von einer externen Quelle (beispielsweise aufgrund einer single-ended Ansteuerung), verfügt es üblicherweise im Wesentlichen über Beiträge bei ungeraden Harmonischen der Taktfrequenz, sodass nach Gleichung 3.26 keine nennenswerten Beiträge von  ${}^n I_{T,C}^-$  für  $n = 1$  bzw.  $n = 3$  auftreten. Stammt das Gleichtakt-Eingangssignal des betrachteten SS hingegen von einem vorgeschalteten SS, verfügt es hauptsächlich über gerade Harmonische, was potenziell zu einem nennenswerten Einfluss von  ${}^n I_{T,C}^-$  auf die betrachteten Größen Amplitude, Grenzfrequenz und Flankensteilheit führen kann. Es lässt sich jedoch zeigen (siehe Anhang B.2.6), dass im Falle einer linearen, reellen Transimpedanz  $R_q$  zwischen dem Ausgang des vorgeschalteten SS und dem Eingang des betrachteten SS die Anteile  ${}^1 I_{T,C}^-$  und  ${}^3 I_{T,C}^-$  im Vergleich zu jenen des dynamischen Überhöhungseffekts ( ${}^1 I_{T,B}^-$  und  ${}^3 I_{T,B}^-$ ) vernachlässigbar sind, sofern gilt

$$C_{i0} R_q \ll 10 \tau_C \frac{C_E \hat{U}_e^-}{C_{E,q} \hat{U}_{e,q}^-}. \quad (4.7)$$

Hierbei bezeichnen  $C_{E,q}$  die gesamte Kapazität am Emitterknoten des vorgeschalteten SS und  $\hat{U}_{e,q}^-$  dessen Eingangsamplitude. Die übrigen Größen beziehen sich auf den betrachteten SS. Mit den Beispielwerten von Parametersatz 2 aus Tabelle 4.1 für den betrachteten und den vorgeschalteten SS folgt, dass die Bedingung aus Gleichung 4.7 erfüllt ist, wenn  $R_q \ll 300 \Omega$ . Angesichts typischer Lastwiderstände in der Größenordnung von  $50 \Omega$  lässt sich diese Anforderung (knapp) erfüllen, sodass der Anteil  ${}^n I_{T,C}^-$  weitgehend vernachlässigbar ist und sich der Gegentakt-Transferstrom in erster Näherung aus dem statischen Anteil nach Gleichung 3.24 und dem dynamischen Überhöhungseffekt durch den Anteil  ${}^n I_{T,B}^-$  ergibt. Zu beachten ist jedoch, dass Gleichung 4.7 auf der Annahme basiert, dass die Gruppenlaufzeit zwischen dem Ausgang des vorgeschalteten SS und dem Eingang des betrachteten SS über der Frequenz konstant ist und sich insbesondere nicht für die Gegen- und Gleichtaktanteile unterscheidet. Im Allgemeinen ist hingegen davon auszugehen, dass das Taktsignal auf dem Weg zwischen den beiden SSs (über BS, TMLs, EFs, ...) unterschiedliche und zusätzlich frequenzabhängige Phasenverschiebungen im Gleich- und Gegentakt erfährt. Dadurch ändern sich die Phasenlagen der einzelnen Summanden der Reihe in Gleichung 3.26, was sowohl zu einem vom Betrag her größeren als auch einem kleineren Ergebnis als ohne Phasenverschiebung führen kann. Gleichung 4.7 ist daher als Faustformel zu verstehen, um abschätzen zu können, in welcher Größenordnung die Bauteilparameter liegen sollten, damit der Anteil  ${}^n I_{T,C}^-$  typischerweise vernachlässigbar ist. Eine Simulation mit Modellierung der Schnittstellen und realitätsnahen Transistormodellen ist zur Verifikation jedoch zu empfehlen.

Zusätzlich zu einem von einer vorgeschalteten Stufe stammenden Gleichtakt-Eingangssignal des betrachteten SS kann es zum Entstehen weiterer Gleichtakt-Eingangssignale aufgrund von Gegentakt-Gleichtakt-Konversionen [21] oder Signaleinkopplungen in die Versorgungsspannungsverteilung [13] kommen. Letztere können auch von anderen als der betrachteten Stufe stammen, wodurch sowohl die Amplitude als auch die Phasenlage der Einkopplungen schwer vorherzusehen ist. Aus diesem Grund ist es bei der Dimen-

sionierung der Schaltung häufig ratsam, den Einfluss des Gleichtakt-Eingangssignals auf Transferstrom-Amplitude, Grenzfrequenz und Flankensteilheit des betrachteten SS möglichst gering zu halten. Hierzu empfiehlt es sich, bei der Schaltungsdimensionierung und dem Layout-Entwurf darauf zu achten, dass die Kapazität  $C_{i0}$  am Emitterknoten des SS gegen Masse so gering wie möglich ist. Da Gleichung 3.26 mit der Kapazität  $C_{i0}$  skaliert, reduziert sich durch diese Maßnahme der Anteil  ${}^n I_{T,C}^-$ . Das Minimieren von  $C_{i0}$  ist zudem vorteilhaft zur Gewährleistung der Stabilität von den betrachteten SS ansteuernden EFs [42] und zur Verringerung eines potenziellen Gleichanteils (siehe Kapitel 5).

Statt den Zusammenhang zwischen Gleichtakt-Eingangssignal und dem Transferstrom-Anteil  ${}^n I_{T,C}^-$  durch Minimierung von  $C_{i0}$  gering zu halten, kann dieser auch zur Erhöhung von Amplitude, Grenzfrequenz und Flankensteilheit ausgenutzt werden, indem gezielt ein Gleichtakt-Eingangssignal mit geeignet gewählter, gegebenenfalls einstellbarer Phase bei einer geraden Harmonischen der Taktfrequenz am Eingang des betrachteten SS oder dessen gemeinsamen Emitterknotens  $N_E$  (vgl. Abbildung 3.4) eingespeist wird.

Zusammengefasst lässt sich durch Wahl eines großen Betriebsstroms  $I_0$  und einer großen Gegentakt-Eingangsamplitude  $\hat{U}_e^-$  der statische Anteil der Gegentakt-Transferstrom-Amplitude eines SS maximieren und ein Abfall der Gegentakt-Eingangsamplitude über der Frequenz teilweise kompensieren, sodass die Grenzfrequenz vergrößert wird.

Der durch den Anteil  ${}^n I_{T,B}^-$  bedingte dynamische Überhöhungseffekt führt zu einer zusätzlich größeren Amplitude, einer höheren Grenzfrequenz und einer besseren Flankensteilheit des Gegentakt-Transferstroms  $i_T^-$  des SS. Dimensionierungskriterien hierfür sind ebenfalls die Wahl einer hohen Gegentakt-Eingangsamplitude  $\hat{U}_e^-$  sowie einer großen Kapazität  $C_E$  am gemeinsamen Emitterknoten der SS-Transistoren. Die Abhängigkeit des dynamischen Überhöhungseffekts von der Gegentakt-Eingangsamplitude  $\hat{U}_e^-$  erweist sich in der Praxis als nützlich, da der Effekt auf diese Weise im Betrieb variiert werden und damit auch die Gefahr einer Überkompensation der effektiven Phase der dritten Harmonischen gebannt werden kann. Wenn eine möglichst geringe Abhängigkeit von dem nur schwer modellierbaren Gleichtakt-Eingangssignal des SS gewünscht ist, sollte  $C_{i0}$  möglichst gering sein. Durch diese Forderung wird der bei der Dimensionierung des dynamischen Überhöhungseffekts existierende Freiheitsgrad in der Wahl der Gesamtkapazität  $C_E = C_{i0} + 2 C_{BE0}$  eingeschränkt. Zur Erreichung eines ausgeprägten dynamischen Überhöhungseffekts sollte folglich eine hohe Kapazität  $C_E$  durch große Kapazitäten  $C_{BE0}$  bei gleichzeitiger Minimierung von  $C_{i0}$  realisiert werden. Dies führt allerdings zu einer höheren Belastung der den SS ansteuernden Schaltung, wie in Abschnitt 4.3 diskutiert wird.

#### 4.2.4 Beziehung zwischen Gegentakt-Transferstrom und -Ausgangsstrom

Die in Abschnitt 4.2 vorgestellten Modellgleichungen ermöglichen die Analyse und die Optimierung des Gegentakt-*Transferstroms*  $i_T^-$  von mit Taktsignalen angesteuerten SSs im Hinblick auf Amplitude, Grenzfrequenz und Flankensteilheit. Der gesamte Gegentakt-

Ausgangsstrom  $i_a^-$  des SS ergibt sich mit dem Modell aus Kapitel 3 durch Überlagerung des Gegentakt-Transferstroms mit den Strömen durch die Kollektor-Basis- und Kollektor-Substrat-Kapazitäten  $C_{CB0}$  respektive  $C_{CS0}$  gemäß Gleichung 3.18. Eine Fourier-Transformation der Gleichung liefert für die Komponente des Gegentakt-Ausgangsstroms bei der  $n$ -ten Harmonischen der Taktfrequenz  $f_{\text{clk}}$

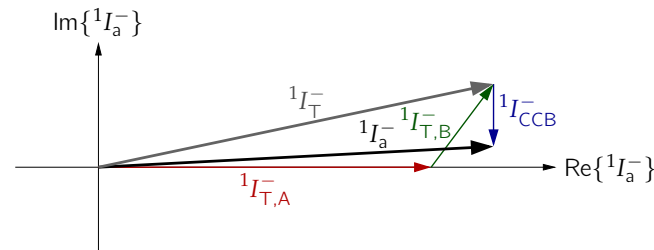
$${}^n I_a^- = {}^n I_T^- - j 2\pi f_{\text{clk}} n C_{CB0} {}^n U_e^- + j 2\pi f_{\text{clk}} n (C_{CB0} + C_{CS0}) {}^n U_a^-. \quad (4.8)$$

Der Gegentakt-Ausgangsstrom  ${}^n I_a^-$  hängt folglich nicht nur vom Gegentakt-Transferstrom  ${}^n I_T^-$ , sondern auch von der Gegentakt-Eingangsspannung  ${}^n U_e^-$  und der Gegentakt-Ausgangsspannung  ${}^n U_a^-$  des SS ab. Im Falle einer linearen (komplexen) Lastimpedanz  $Z_L(jn\omega_{\text{clk}})$  des SS mit  ${}^n U_a^- = -Z_L(jn\omega_{\text{clk}}) {}^n I_a^-$  (vgl. Abbildung 4.2 für die Definition von der Spannungs- und Stromrichtungen) und  $\omega_{\text{clk}} = 2\pi f_{\text{clk}}$ , lässt sich der Gegentakt-Ausgangsstrom darstellen als

$${}^n I_a^- = \frac{1}{\underbrace{1 + jn\omega_{\text{clk}} (C_{CB0} + C_{CS0}) Z_L(jn\omega_{\text{clk}})}_{:=H_{CCB}(jn\omega_{\text{clk}})}} \left( {}^n I_T^- \underbrace{-jn\omega_{\text{clk}} C_{CB0} {}^n U_e^-}_{:={}^n I_{CCB}^-} \right). \quad (4.9)$$

Die in Abschnitt 4.2 erhaltenen Ergebnisse für den Gegentakt-Transferstrom  ${}^n I_T^-$  lassen sich folglich durch zwei Modifikationen auf den gesamten Gegentakt-Ausgangsstrom  ${}^n I_a^-$  anwenden.

1. Der Gegentakt-Transferstrom  ${}^n I_T^-$  wird überlagert mit dem in Gleichung 4.9 definierten Strom  ${}^n I_{CCB}^-$ , welcher im Falle des in diesem Kapitel angenommenen monofrequenten Eingangssignals nach Gleichung 4.2 lediglich einen Beitrag bei der Grundfrequenz ( $n = \pm 1$ ) liefert. Es findet folglich keine Beeinflussung der Komponente bei der dritten Harmonischen statt. Bei der Grundfrequenz  $n = 1$  liegt der Beitrag durch  ${}^n I_{CCB}^-$  auf der negativen imaginären Achse. In Abbildung 4.13 ist die sich dabei ergebende Vektorsumme (für zunächst  $H_{CCB} = 1$ ) dargestellt. Es wird deutlich, dass der Strom  ${}^1 I_{CCB}^-$  dem Anteil des dynamischen Überhöhungseffekts  ${}^1 I_{T,B}^-$  entgegen wirkt und damit insbesondere die Phase des Zeigers des Gegentakt-Ausgangsstroms  ${}^1 I_a^-$  gegenüber jenem des Gegentakt-Transferstroms  ${}^1 I_T^-$  reduziert. Auch die Länge des Zeigers für  ${}^1 I_a^-$  ist etwas kürzer als jene von  ${}^1 I_T^-$ , sodass die Amplitude des Gegentakt-Ausgangsstroms ebenfalls geringer als die des Gegentakt-Transferstroms ist. Mit den im vorliegenden Kapitel betrachteten typischen Parameterwerten überwiegt weiterhin der dynamische Überhöhungseffekt gegenüber  ${}^1 I_{CCB}^-$ , d. h. der Gegentakt-Ausgangsstrom übersteigt sowohl bezüglich seiner Amplitude als auch der Grenzfrequenz und der Flankensteilheit den statischen Gegentakt-Ausgangsstrom. Da der dynamische Überhöhungseffekt durch die Kapazität  $C_E$  beeinflusst wird, welche unabhängig von  $C_{CB0}$  erhöht werden kann, ist es durch geeignete Dimensionierung der Schaltung stets möglich, dass der dynamische Überhöhungseffekt dominiert.



**Abbildung 4.13:** Veranschaulichung der Vektorsumme des Beitrags  ${}^1I_a^-$  des SS-Ausgangsstroms im Gegentakt bei der Grundfrequenz  $f_{\text{clk}}$  unter Berücksichtigung der Kollektor-Basis-Kapazität  $C_{\text{CB}}$  mit Lastimpedanz  $Z_L = 0$ .

- Die Überlagerung von Gegentakt-Transferstrom  ${}^nI_T^-$  und  ${}^nI_{\text{CCB}}^-$  nach Gleichung 4.9 durchläuft eine lineare Filterfunktion  $H_{\text{CCB}}(j\omega)$ . Falls die Lastimpedanz  $Z_L(j\omega)$  eine rein reelle oder eine positiv reell und kapazitive Last (z. B. ein R-C-Glied) darstellt, entspricht  $H_{\text{CCB}}(j\omega)$  einem Tiefpassfilter erster Ordnung. Es bietet sich an, in diesem Fall die Wirkung des Tiefpassfilters mithilfe des dynamischen Überhöhungseffekts zu kompensieren, wie in Abschnitt 4.2 erläutert und am Beispiel in Abbildung 4.11 demonstriert. Zeigt  $Z_L(j\omega)$  ein induktives Verhalten, beispielsweise aufgrund einer BS oder einer Induktivität als Last des SS, weist  $H_{\text{CCB}}(j\omega)$  eine (gedämpfte) Resonanz auf. Die Resonanz kann genutzt werden, um die Grenzfrequenz des SS weiter zu erhöhen. Der Einsatz einer BS oder einer Induktivität zu diesem Zwecke ist eine bekannte und übliche Maßnahme zur Optimierung der Ausgangsschnittstelle von SSs [13, 19, 52].

In Abbildung 4.14 und Abbildung 4.15 sind die mit dem analytischen Modell ermittelten Kurvenverläufe für die Amplitude bei der Grundfrequenz sowie die effektive Phase der dritten Harmonischen von Gegentakt-Transferstrom  ${}^nI_T^-$  und Gegentakt-Ausgangsstrom  ${}^nI_a^-$  für eine Beispielschaltung mit  $Z_L = 0$  (und damit  $H_{\text{CCB}} = 1$ ) aufgetragen. Ein Vergleich der Ergebnisse der analytischen Modellgleichungen für den Ausgangsstrom  ${}^nI_a^-$  mit einer Schaltungssimulation mit dem Transistor-ESB aus Abbildung 3.1, auf dem das analytische Modell basiert, zeigt eine gute Übereinstimmung. Wie vorhergesagt, zeigt sich der dynamische Überhöhungseffekt beim Gegentakt-Ausgangsstrom  ${}^nI_a^-$  sowohl bezüglich der Amplitude als auch der Phase schwächer ausgeprägt als beim Gegentakt-Transferstrom  ${}^nI_T^-$ . Das ist der Grund, weshalb der dynamische Überhöhungseffekt bei Simulation der äußeren Transistorströme häufig nicht wesentlich auffällt. Tatsächlich ist er jedoch vorhanden und kompensiert eine Bandbreitenbegrenzung der intrinsischen Ausgangsschnittstelle des SS. Das Wissen um diese Zusammenhänge ermöglicht es, durch die in Abschnitt 4.2 vorgestellten Maßnahmen zur Dimensionierung den dynamischen Überhöhungseffekt, falls gewünscht, gezielt weiter zu erhöhen, um nicht nur die Bandbreitenbegrenzung der intrinsischen Ausgangsschnittstelle des SS selbst, sondern gegebenenfalls auch die der daran angeschlossenen Last zu kompensieren. Wegen des linearen Zusammenhangs zwischen Gegentakt-Transferstrom und Gegentakt-Ausgangsstrom gelten die Schlussfolgerungen zur Optimierung von Amplitude, Grenzfrequenz und Flankensteilheit

des Gegentakt-Transferstroms aus Abschnitt 4.2 unverändert auch für den Gegentakt-Ausgangsstrom, lediglich mit schwächerer Ausprägung.

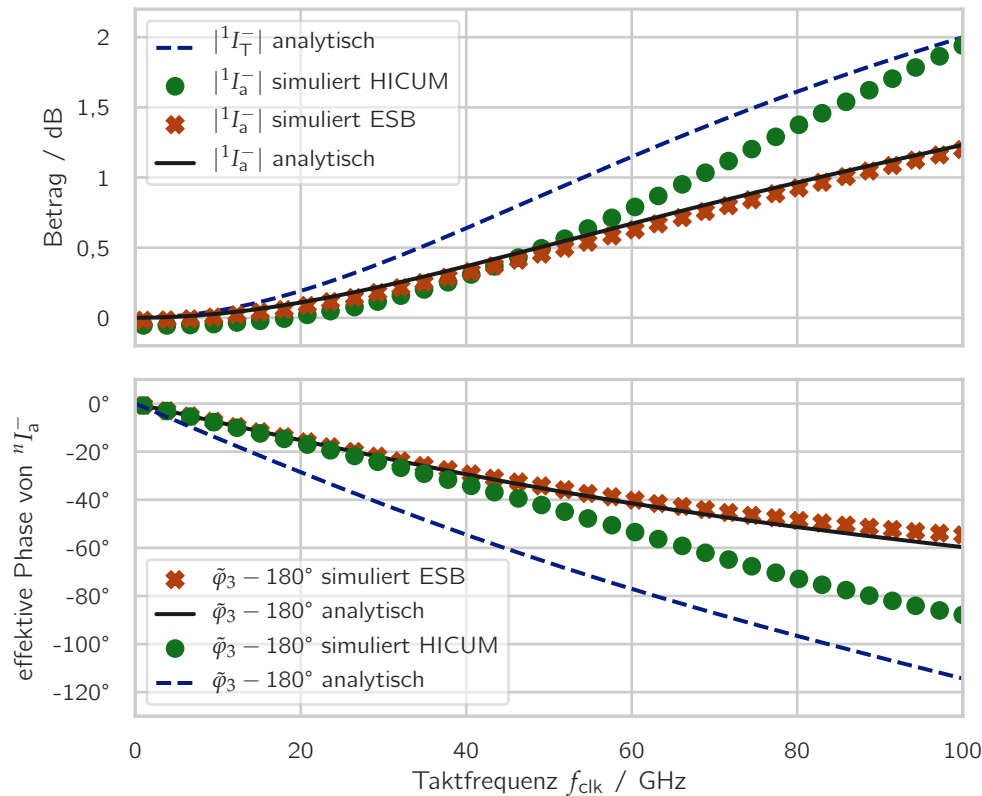
#### 4.2.5 Simulationsvergleich von analytischem und HICUM-Modell

Die im vorliegenden Kapitel durchgeführten Analysen und Schlussfolgerungen zur Dimensionierung basieren auf dem stark vereinfachten Transistor-ESB aus Kapitel 3. Die für realitätsnahe Schaltungssimulationen üblicherweise verwendeten, deutlich umfangreicheren Transistormodelle VBIC und HICUM beinhalten darüber hinaus zahlreiche zusätzliche Effekte (Bahnwiderstände, Zusatzphasen, Hochstromeffekt), welche Einfluss auf das Verhalten des SS haben [11, 12]. Die zusätzlichen Effekte könnten (teilweise) in die vorgestellten Modelle integriert werden, würden allerdings dazu führen, dass die dabei resultierenden Modellgleichungen eine so große Komplexität hätten, dass eine anschauliche Interpretation nicht mehr möglich wäre und die Auswertung nur noch numerisch durchgeführt werden könnte. Da sich in diesem Fall kein Vorteil gegenüber einer herkömmlichen numerischen Schaltungssimulation ergeben würde, ist in dieser Arbeit ganz bewusst auf die Integration der Effekte in die Modellgleichungen verzichtet worden.

Um einen Eindruck von den Übereinstimmungen und Abweichungen zwischen vorgestelltem analytischem Modell und mit HICUM-Transistormodellen durchgeführten Simulationen zu erhalten, sind in Abbildung 4.14 und 4.15 Vergleiche der Resultate für eine Beispielschaltung gezeigt. Es wird deutlich, dass das hier vorgestellte einfache Modell ausreicht, um die primär auftretenden Zusammenhänge abzubilden. Zwar kommt es erwartungsgemäß zu quantitativen Abweichungen in Amplitude und Phase der simulierten Kurvenverläufe und es werden zusätzliche Effekte sichtbar, beispielsweise die Abweichung der effektiven Phase der dritten Harmonischen zwischen ESB und HICUM-Modell in Abbildung 4.15 für kleine Eingangsamplituden  $\hat{U}_e^- < 100 \text{ mV}$ , bei denen die untersuchten Großsignaleffekte allerdings ohnehin nicht von Relevanz sind. Bezüglich grundlegender qualitativer Charakteristika wie Monotonie und Stetigkeit der Kurvenverläufe weisen das analytische Modell und die Simulation innerhalb des gewählten typischen Parameter-raums jedoch ein vergleichbares Verhalten auf, was es erlaubt, die auf dem analytischen Modell basierenden Schlussfolgerungen als Basis für eine erste Schaltungsoptimierung zu verwenden. Eine nachfolgende Simulation mit einem komplexen Transistormodell (z. B. HICUM oder VBIC) zur Verifikation ist jedoch stets zu empfehlen.

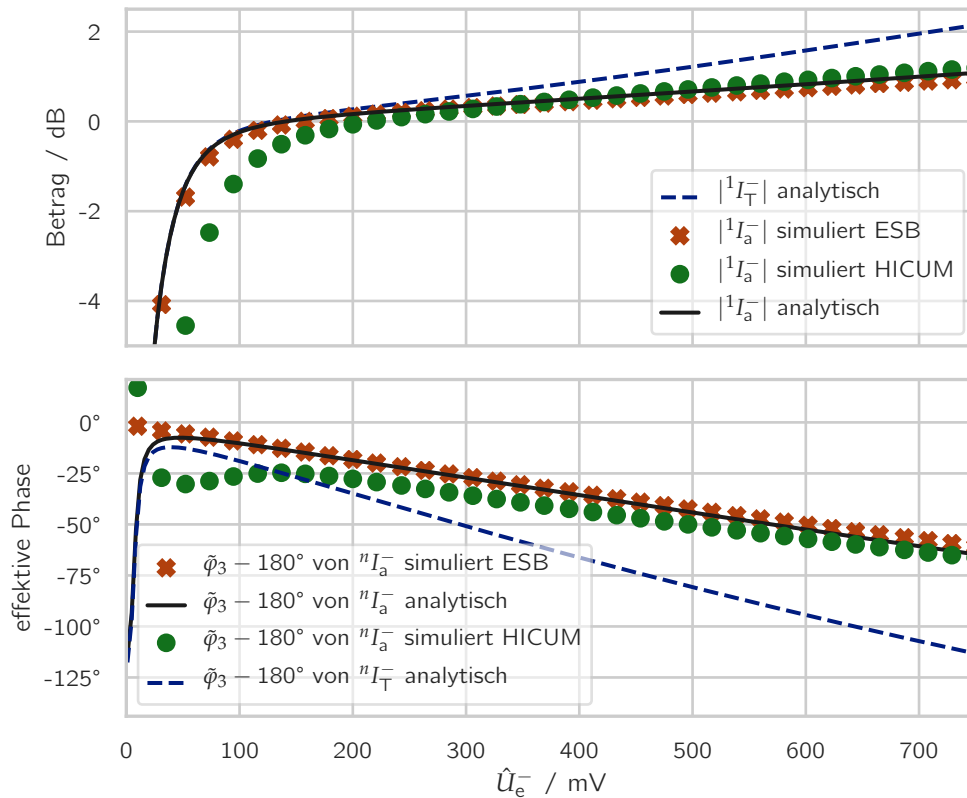
Ein großer Vorteil der in diesem Kapitel vorgestellten Modellgleichungen zeigt sich bei einem Vergleich mit einer Kleinsignal-Simulation des betrachteten SS. Kleinsignal-Simulationen oder -Analysen werden häufig durchgeführt, um schnell erste Ergebnisse und einen groben Überblick über die Einflussfaktoren und Zusammenhänge einer Schaltung zu erhalten, da die hierbei auftretenden Gleichungssysteme aufgrund der Linearisierung der Schaltung um einen Arbeitspunkt deutlich einfacher als jene bei einer vollständigen Großsignal-Betrachtung sind und somit üblicherweise auch analytische Berechnungen ermöglichen [60, 65, 67]. Die Motivation hinter einer Kleinsignal-Analyse ist damit prinzipiell die gleiche wie jene hinter der Verwendung des stark vereinfachten, dafür jedoch





**Abbildung 4.14:** Vergleich der Schaltungssimulationen mit Parametersatz 2 (ESB) und Parametersatz 3 (HICUM) aus Tabelle 4.1 bei variierter Taktfrequenz  $f_{\text{clk}}$  mit den analytisch berechneten Verläufen für  $^nI_T^-$  nach Gleichung 3.23, 4.3 und 4.5 sowie  $^nI_a^-$  nach Gleichung 4.9. Die Referenz für die Betragsgänge liegt wie in Abbildung 4.10.

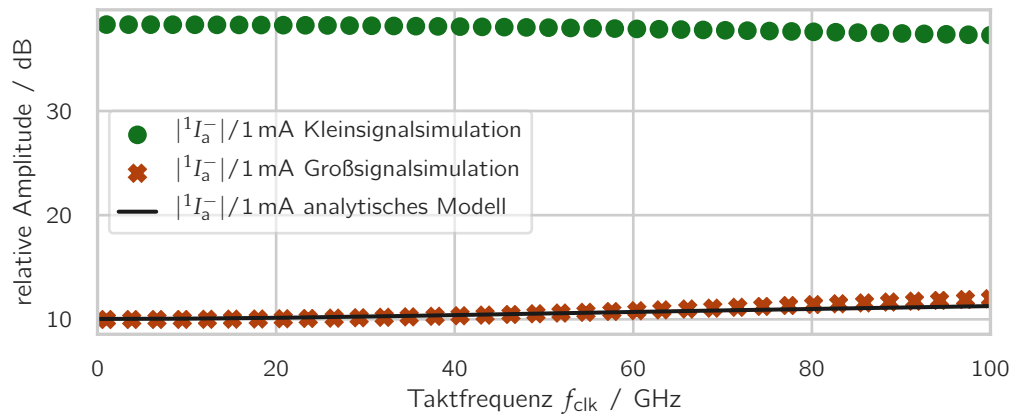
im Großsignal analytisch auswertbaren ESB in dieser Arbeit. Eine Kleinsignal-Analyse hat jedoch den inhärenten Nachteil, dass sie das begrenzende Verhalten eines SS nicht abbildet und dadurch eine zu große Verstärkung im Sinne des Betrags der Wirkungsfunktion zwischen Ausgangsspannung oder -strom und Eingangsspannung des SS liefert. Dennoch werden des Öfteren Kleinsignal-Analysen oder -Messungen, z. B. mithilfe eines Vektor-Netzwerk-Analysators (VNA), an SSs durchgeführt, um auf einfache und schnelle Weise qualitative Eindrücke zu erhalten und daraus beispielsweise die Grenzfrequenz der Schaltung abzuleiten [58, 68]. Der Vergleich von Großsignal- und Kleinsignal-Simulation bei jeweiliger Verwendung von HICUM-Transistormodellen in Abbildung 4.16 zeigt für die Ausgangsamplitude des SS einer Beispielschaltung jedoch, dass nicht nur wie zu erwarten große quantitative Abweichungen ( $> 25$  dB) auftreten, sondern auch der qualitative Zusammenhang, wie in diesem Fall die gegenläufige Steigung der Kurvenverläufe über der Taktfrequenz, falsch wiedergegeben wird. Die in der Abbildung ebenfalls dargestellte Auswertung der hier vorgestellten analytischen Modellgleichungen hingegen



**Abbildung 4.15:** Vergleich der Schaltungssimulationen mit Parametersatz 4 (ESB) und Parametersatz 5 (HICUM) aus Tabelle 4.1 bei variierter Eingangsamplitude  $\hat{U}_e^-$  mit den analytisch berechneten Verläufen für  ${}^n I_T^-$  nach Gleichung 3.23, 4.3 und 4.5 sowie  ${}^n I_a^-$  nach Gleichung 4.9. Die Referenz für die Betragsgänge liegt wie in Abbildung 4.10a.

zeigt sowohl qualitativ als auch quantitativ eine wesentlich bessere Übereinstimmung mit der auf dem HICUM-Modell basierenden Großsignal-Simulation. Dies ist insofern bemerkenswert, als auch die Kleinsignal-Simulation auf dem HICUM-Modell basiert, wohingegen die Modellgleichungen das einfache ESB aus Kapitel 3 als Basis haben.

Um Abschätzungen und analytische Betrachtungen an mit Taktsignalen angesteuerten Ss durchzuführen, sind folglich die hier vorgestellten Modellgleichungen im Vergleich zu einer Kleinsignal-Analyse zu empfehlen. Der Vorteil der dadurch möglichen analytischen Untersuchungen gegenüber einer reinen Schaltungssimulation besteht darin, dass die einzelnen Anteile des Ausgangsstroms separiert betrachtet werden können, während bei einer Schaltungssimulation üblicherweise ausschließlich der gesamte Ausgangsstrom angeschaut werden kann. Nur durch die getrennte Betrachtung der Anteile lässt sich beispielsweise erkennen, dass für den dynamischen Überhöhungseffekt die Gesamtkapazität  $C_E = C_{i0} + 2C_{BE0}$  unabhängig von den Einzelkapazitäten  $C_{i0}$  und  $C_{BE0}$  entscheidend ist und dass das durch die Kapazitäten am Kollektor der Transistoren verursachte Tief-



**Abbildung 4.16:** Vergleich der durch Klein- und Großsignalsimulation (HICUM-Transistormodell) sowie den in dieser Arbeit vorgestellten analytischen Modellgleichungen ermittelten Ausgangsamplitude eines SS für Parametersatz 3 aus Tabelle 4.1 bei variierter Taktfrequenz  $f_{\text{clk}}$ .

passverhalten teilweise durch den dynamischen Überhöhungseffekt kompensiert wird. Nichtsdestoweniger sind für quantitativ korrekte Ergebnisse Schaltungssimulationen mit realitätsnahen Transistor-Modellen (z. B. HICUM, VBIC) von Nöten. Mit dem Wissen um die auf den analytischen Modellgleichungen beruhenden Zusammenhänge ist durch die Kombination von einfachem analytischem Modell und realitätsnaher Schaltungssimulation eine schnelle und genaue Dimensionierung der Schaltung möglich.

### 4.3 Randbedingungen bei der Dimensionierung von Stromschaltern in Bezug auf deren Schnittstellen und den Energiebedarf

Die im vorliegenden Kapitel durchgeführten Analysen und getroffenen Schlussfolgerungen zur Dimensionierung beziehen sich ausschließlich auf den SS selbst und nicht auf seine Peripherie. Dies ist im Einklang mit dem Fokus und dem Thema der vorliegenden Arbeit. Nichtsdestoweniger verdienen auch die angrenzenden Schaltungsteile an den Schnittstellen an Ein- und Ausgang des betrachteten SS Beachtung, da diese über Amplitude und Grenzfrequenz des Eingangssignals und über die Auskopplung des Ausgangssignals entscheiden. Neben Ausgangsamplitude, Grenzfrequenz und Flankensteilheit ist zudem der Energiebedarf ein wichtiges Kriterium bei der Dimensionierung von SSs. Ein hoher Energiebedarf ist nicht nur aus Umweltaspekten und wegen einer geringen Laufzeit von akkubetriebenen Geräten nachteilig, sondern führt auch zu einer hohen Wärmeentwicklung, welche aufwendig abgeführt werden muss und die Geschwindigkeit der Schaltung beeinträchtigt. Die Maßnahmen zur Erhöhung von Amplitude, Grenzfrequenz und Flankensteilheit führen jedoch zwangsläufig zu einer Erhöhung des Energiebedarfs,

welcher zudem überproportional steigt. Dieser Zusammenhang wird im Folgenden für den Fall einer resistiv-kapazitiven Last, z. B. einem R-C-Glied oder einem MZM wie in der Anwendung in Kapitel 6, aufgezeigt.

Bei Verwendung von für Hochgeschwindigkeitsschaltungen vorteilhafter CML (siehe Kapitel 2) ist die Stromaufnahme der Schaltung zeitlich konstant. Sie ist insbesondere im Gegensatz zu CMOS-Schaltungen [69] unabhängig von der angelegten Taktfrequenz, d. h. eine für hohe Grenzfrequenzen dimensionierte Schaltung hat auch dann ihre maximale Leistungsaufnahme, wenn die verwendete Taktfrequenz niedrig ist. Wegen der konstanten Leistungsaufnahme  $P$  der Schaltung ist der Energiebedarf  $W = P t$  direkt proportional zur Betriebszeit  $t$ . Es reichen folglich Betrachtungen der statischen Stromaufnahme aus, um den Energiebedarf zu bestimmen.

Bei mit Taktsignalen angesteuerten SSs sind zwei Fälle im Hinblick auf die Last häufig vertreten, so auch bei den im experimentellen Teil dieser Arbeit entwickelten Schaltungen. Im ersten Fall hat die Last eine vorgegebene, näherungsweise reelle Impedanz, z. B.  $50 \Omega$ . Dann ist über die gewünschte Ausgangsamplitude zusammen mit der Last-Impedanz zwangsläufig der Betriebsstrom  $I_0$  des SS festgelegt. Überlegungen zur Reduktion des Energiebedarfs für diesen Fall sind ausführlich in [42] zu finden und werden nicht weiter vertieft. Beim zweiten, im Folgenden betrachteten Fall, weist die Last eine überwiegend kapazitive Eingangsimpedanz auf. Dies trifft beispielsweise auf die Eingangsimpedanz eines SS oder eines MZM ohne zusätzlichen Abschluss zu (siehe Anwendung in Abschnitt 6.2). In Abbildung 4.17 ist für diesen Fall das Schaltbild eines SS inklusive seiner Peripherie dargestellt. Die Widerstände  $R_L$  dienen dazu, für niedrige Taktfrequenzen einen definierten, statischen, einseitigen Spitze-Tal-Ausgangspegel  $U_{SS,stat} = I_0 R_L$  an der Last zu erzielen. Sie stellen zusammen mit dem Betriebsstrom  $I_0$  des SS einen Freiheitsgrad dar. Dieser Freiheitsgrad wird durch die Grenzfrequenz  $f_{3dB}$  eingeschränkt, welche die Ausgangsschnittstelle aufweisen soll. Neben der Last-Kapazität  $C_L$  treten an dem Ausgangsknoten die parasitären und intrinsischen Kapazitäten der BS-Transistoren und des Layouts in Erscheinung. Sämtliche, am Ausgangsknoten wirkenden, parasitären Kapazitäten sind in Abbildung 4.17 in Form der Ersatzkapazität  $C_{par}$  zusammengefasst. Da größere Betriebsströme  $I_0$  üblicherweise größere Transistoren mit größeren parasitären Kapazitäten sowie größere Layoutflächen bedingen, wird die Ersatzkapazität

$$C_{par} := C_{par,0} + c_{par,I} I_0 \quad (4.10)$$

allgemein durch einen konstanten Anteil  $C_{par,0}$  und einen dem Betriebsstrom  $I_0$  proportionalen Anteil  $c_{par,I} I_0$  modelliert. Die Gesamtkapazität am Ausgangsknoten  $C_L + C_{par}$  bildet mit  $R_L$  einen R-C-Tiefpass. Durch Vorgabe der Grenzfrequenz  $f_{3dB}$  lässt sich  $R_L$  bestimmen, womit bei zusätzlich vorgegebenem statischem Ausgangspegel  $U_{SS,stat}$  für den Betriebsstrom des SS folgt

$$I_0 = \frac{2\pi f_{3dB} (C_L + C_{par,0}) U_{SS,stat}}{1 - 2\pi f_{3dB} c_{par,I} U_{SS,stat}}. \quad (4.11)$$

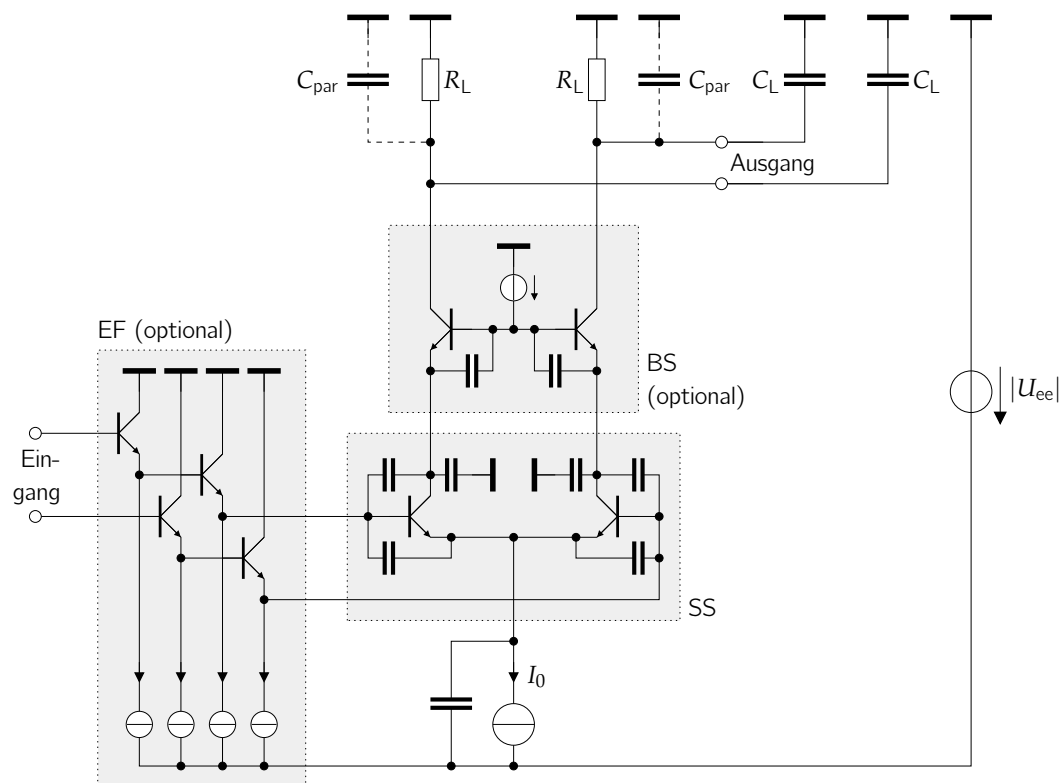


Abbildung 4.17: Schaltbild eines SS mit optionalen EFs und BS und kapazitiver Last  $C_L$ .

Es zeigt sich, dass der Betriebsstrom  $I_0$  sowohl mit der Grenzfrequenz der Ausgangsschnittstelle  $f_{3dB}$  als auch dem Ausgangshub  $U_{SS,stat}$  und dem parasitären Kapazitätsanteil  $c_{par,I}$  überproportional steigt und sogar eine Polstelle annehmen kann. Eine wichtige Maßnahme zur Reduktion des Energiebedarfs ist daher die Minimierung der parasitären Kapazitäten an der Ausgangsschnittstelle, wobei der Einfluss von  $c_{par,I}$  im Vergleich zu  $C_{par,0}$  umso größer ist, je näher Gleichung 4.11 ihrer Polstelle liegt.

Die in Abschnitt 4.2 vorgestellten Methoden und Kriterien zum Erzielen einer hohen Ausgangsamplitude, einer hohen Grenzfrequenz und einer hohen Flankensteilheit am Ausgang von mit Taktsignalen angesteuerten SSs haben unmittelbar Auswirkung auf den Energiebedarf der Schaltung. Einerseits kann der dynamische Überhöhungseffekt des SS ausgenutzt werden, um das R-C-Tiefpassverhalten der betrachteten Ausgangsschnittstelle teilweise zu kompensieren, sodass die benötigte Grenzfrequenz  $f_{3dB}$  der Ausgangsschnittstelle geringer gewählt werden kann. Dadurch reduziert sich nach Gleichung 4.11 der benötigte Betriebsstrom  $I_0$  des SS und damit auch der Energiebedarf der Schaltung. Andererseits ist für einen ausgeprägten dynamischen Überhöhungseffekt gemäß Abschnitt 4.2 eine Dimensionierung des SS mit großer Basis-Emitter-Kapazität  $C_{BE0}$  und großer Eingangsamplitude  $\hat{U}_e^-$  erforderlich. Dies führt zu einem mit zunehmender Taktfrequenz steigenden Eingangsstrom des SS, welcher von der treibenden Quelle

bereitgestellt werden muss. Zum Treiben des SS werden häufig ein oder mehrere kaskadierte EF-Paare eingesetzt, wie in Abbildung 4.17 als optional dargestellt. Die EF-Paare bieten bei geeigneter Dimensionierung eine ausreichend geringe Ausgangsimpedanz zur Bereitstellung des benötigten Stroms und können zudem durch Ausnutzung des komplex konjugierten Fehlanpassungskonzepts genutzt werden, um die Grenzfrequenz der Schaltung weiter zu erhöhen bzw. die Anforderung an  $f_{3\text{dB}}$  der Ausgangsschnittstelle zusätzlich zu senken. Die entsprechenden Zusammenhänge und Überlegungen zur Dimensionierung von EFs sind in der Literatur hinlänglich bekannt [13, 14, 15, 16, 17, 42, 49, 50, 70] und werden daher in dieser Arbeit nicht vertieft. Zur Bereitstellung des benötigten Eingangsstroms des SS müssen die EFs mit einem ausreichend hohen Arbeitspunktstrom betrieben werden, was die Gesamtstromaufnahme der Schaltung erhöht und große EF-Transistoren erforderlich macht. Bei den typischen Schaltungsdimensionierungen im experimentellen Teil dieser Arbeit liegt die Stromaufnahme  $I_{\text{EF,ges}}$  sämtlicher einen SS ansteuernder EFs in der Größenordnung von  $2I_0$  und trägt damit signifikant zur Gesamtstromaufnahme der Schaltungszelle bei, was dem Vorteil der Verringerung von  $I_0$  durch die Möglichkeit der Dimensionierung mit geringerer Grenzfrequenz  $f_{3\text{dB}}$  der Ausgangsschnittstelle entgegen wirkt. Die Wahl großer EF-Transistoren sorgt in Verbindung mit der hohen Lastkapazität durch den SS zudem typischerweise für eine Verschiebung der Resonanzüberhöhung hin zu niedrigeren Frequenzen [14]. Die Grenzfrequenz der Eingangsschnittstelle verringert sich dadurch. Es muss daher bei der Dimensionierung der Schaltung im Einzelfall überprüft werden, ob die Verringerung der Grenzfrequenz der Eingangsschnittstelle oder die Erhöhung der Grenzfrequenz durch den dynamischen Überhöhungseffekt und die begrenzende statische Kennlinie  ${}^1\mathcal{T}$  des SS (siehe Abschnitt 4.2) überwiegen und welche Anforderungen an den Energiebedarf der Schaltung bestehen. Bei der Wahl der Eingangsamplitude  $\hat{U}_e^-$  sowie der optionalen Erhöhung der Kapazitäten  $C_{\text{BE0}}$  des SS durch das Hinzufügen von zusätzlichen Kapazitäten ist folglich eine Abwägung zu treffen.

Für die Leistungsaufnahme der Schaltung aus Abbildung 4.17 gilt bei Verwendung von EFs

$$P = |U_{\text{ee}}| (I_0 + I_{\text{EF,ges}}). \quad (4.12)$$

Während die Ströme  $I_0$  und  $I_{\text{EF,ges}}$  durch Grenzfrequenz, Ausgangshub und die Ausprägung des gewünschten dynamischen Überhöhungseffekts bestimmt werden, stellt die Versorgungsspannung  $|U_{\text{ee}}|$  einen Freiheitsgrad dar. Überlegungen zur Dimensionierung von  $|U_{\text{ee}}|$  finden sich in [42] und werden im Folgenden kurz wiedergegeben und auf die betrachtete Schaltung aus Abbildung 4.17 angewendet. Für eine möglichst geringe Leistungsaufnahme sollte  $|U_{\text{ee}}|$  so gering wie möglich gewählt werden. Hierbei ist zu beachten, dass die Kollektor-Basis-Spannung an den Transistoren nicht zu klein werden sollte, da sich dadurch die Kollektor-Basis-Sperrschichtkapazität [48] und damit  $C_{\text{par}}$  erhöht, was nach Gleichung 4.11 zu einer überproportionalen Steigerung des nötigen Betriebsstroms  $I_0$  führt. Es sollte zudem vermieden werden, dass der Transistor in Sättigung kommt, da dies seine Hochgeschwindigkeitseigenschaften verschlechtert. Es ist daher nötig, eine minimale Kollektor-Emitter-Spannung einzuhalten, z. B. 400 mV [71].

Am Ausgang des SS kann wie in Abbildung 4.17 als optional dargestellt eine BS eingesetzt werden, um die Grenzfrequenz der Schaltung weiter zu erhöhen bzw. die Anforderung an  $f_{3\text{dB}}$  und damit gemäß Gleichung 4.11 den Betriebsstrom  $I_0$  zu senken. Die Erhöhung der Grenzfrequenz der Ausgangsschnittstelle durch eine BS ergibt sich zum einen durch den verminderten Miller-Effekt und der daraus resultierenden Verringerung von  $C_{\text{par}}$  [18, 48]. Zum anderen kann genau wie bei der Verwendung von EFs das komplex konjugierte Fehlanpassungskonzept genutzt werden, um eine (gedämpfte) Polstelle im Frequenzgang der Ausgangsschnittstelle nahe der Grenzfrequenz einzuführen, welche eine Resonanzüberhöhung erzeugt und dadurch die Grenzfrequenz anhebt. Das zugrunde liegende Verhalten lässt sich anhand der in Gleichung 4.9 für die Ausgangsschnittstelle des SS definierten Übertragungsfunktion  $H_{\text{CCB}}(j\omega)$  erkennen. Eine BS weist typischerweise eine Eingangsimpedanz mit positivem Imaginärteil auf [19, 52]. Die Eingangsimpedanz der BS entspricht der Lastimpedanz  $Z_L(j\omega)$  des SS und führt somit durch die Multiplikation mit  $j$  in Gleichung 4.9 zu einem negativ reellen, frequenzabhängigen Beitrag im Nenner von  $H_{\text{CCB}}(j\omega)$ , welcher dem positiv reellen Term 1 entgegen wirkt. Auf diese Weise ist es möglich, dass der Betrag  $|H_{\text{CCB}}|$  mit der Taktfrequenz steigt und sogar größere Werte als 1 annehmen kann.

Sowohl die Verringerung von  $C_{\text{par}}$  als auch die Möglichkeit, aufgrund der durch die BS erhöhten Grenzfrequenz der Ausgangsschnittstelle die Grenzfrequenz  $f_{3\text{dB}}$  des R-C-Lasttiefpasses niedriger zu dimensionieren, sorgen gemäß Gleichung 4.11 für eine Reduktion von  $I_0$  und somit der Leistungsaufnahme. Allerdings erhöht sich durch den Einsatz einer BS die Versorgungsspannung  $|U_{\text{ee}}|$  um mindestens die Spannung einer Basis-Emitter-Strecke, was wiederum zu einer Erhöhung der Leistungsaufnahme beiträgt. Ob die Reduktion von  $I_0$  oder die Erhöhung von  $|U_{\text{ee}}|$  überwiegt, hängt davon ab, wie groß die relative Änderung von  $|U_{\text{ee}}|$  durch den Einsatz einer BS und wie stark der Einfluss von  $C_{\text{par}}$  auf  $I_0$  ist (d. h. wie groß  $C_{\text{par},0}$  im Vergleich zu  $C_L$  ist und wie nahe Gleichung 4.11 ihrer Polstelle ist). Dies muss im Einzelfall überprüft werden.

Da eine integrierte Schaltung typischerweise aus zahlreichen Schaltungszellen besteht, ist es in den meisten Fällen nicht möglich, für jede Schaltungszelle eine separate, minimale Versorgungsspannung  $|U_{\text{ee}}|$  bereitzustellen. Dies würde wie in Abschnitt 2.1 erläutert einen hohen Entwicklungsaufwand mit sich bringen und gleichzeitig die Funktion der Schaltung durch eine erhöhte Quellimpedanz der Versorgungsspannungen und gegebenenfalls dem Auftreten von Störsignalen beeinträchtigen. Aus diesem Grund ist es in vielen Fällen zu empfehlen, sich auf eine geringe Anzahl verschiedener Versorgungsspannungen zu beschränken, wobei die Wahl der für mehrere Zellen jeweils gemeinsamen Versorgungsspannung zwangsläufig auf die betragsmäßig höchste benötigte Spannung fällt. Dies bringt jedoch eine höhere Leistungsaufnahme mit sich als beim Betrieb jeder Zelle mit ihrer minimalen Versorgungsspannung. Die Anzahl der verwendeten Versorgungsspannungen muss folglich abgewogen werden. Für die im Rahmen dieser Arbeit entwickelten Testschaltungen wird die höhere Leistungsaufnahme bei Verwendung von nur einer Versorgungsspannung zugunsten einer einfacheren Versorgungsspannungsverteilung in Kauf genommen. Bei Produktentwicklungen kann sich der Mehraufwand für die Bereitstellung mehrerer Versorgungsspannungen jedoch auszahlen.

Neben der Dimensionierung einer einzelnen Schaltungszelle hat die Topologie der Gesamtschaltung einen Einfluss auf den Energiebedarf. Durch die Wahl alternativer Schaltungstopologien lässt sich die Anzahl benötigter Schaltungszellen unter Umständen reduzieren oder die Anforderungen an Grenzfrequenz und Ausgangsamplitude der einzelnen Zellen senken, sodass diese mit einer geringeren Leistungsaufnahme dimensioniert werden können. Ein Beispiel hierfür in Form zweier unterschiedlicher Phasenschieber-Konzepte ist in Abschnitt 6.3.3 im experimentellen Teil dieser Arbeit gezeigt. Ein grundlegend alternativer Ansatz zur Reduktion des Energiebedarfs besteht in der Verwendung schmalbandiger Schaltungskonzepte [58, 72, 73]. Wegen der in der vorliegenden Arbeit angestrebten breitbandigen Anwendung (siehe Kapitel 1) werden derartige Konzepte hier jedoch nicht näher betrachtet.

## 4.4 Fazit

Die im vorliegenden Kapitel vorgestellten analytischen Modellgleichungen ermöglichen es, Amplitude, Grenzfrequenz und Flankensteilheit am Ausgang von mit sinusförmigen Taktsignalen angesteuerten SS zu beschreiben und darauf basierend Schlussfolgerungen zur Optimierung der Schaltung zu treffen. Eine Besonderheit hierbei liegt in der Betrachtung breitbandiger SSs und den damit verbundenen, frequenzabhängigen Effekten. Die Analysen basieren auf dem im Rahmen dieser Arbeit verwendeten einfachen Transistor-ESB aus Kapitel 3 und stellen durchgängig Großsignal-Betrachtungen dar. Auch wenn die bei den Analysen betrachteten Eingangs-Taktsignale sinusförmig sind, sind Großsignal-Betrachtungen entscheidend, da die starke Nichtlinearität von SSs dazu führt, dass die in der Literatur häufig zu findenden Kleinsignal-Betrachtungen [58, 15, 48, 60] die relevanten Effekte zur Beschreibung des dynamischen Verhaltens insbesondere bei Taktfrequenzen nahe der Technologiegrenze nicht abbilden und somit zu falschen Ergebnissen führen (vgl. Abschnitt 4.2.5). Zwar finden sich auch in der Literatur Analysen der Nichtlinearität von TASs und damit von SSs. Diese haben jedoch üblicherweise zum Ziel, die Ursachen der Nichtlinearität zu identifizieren und zu eliminieren, um ein möglichst lineares Verhalten zu erreichen [15, 62, 63]. Die im vorliegenden Kapitel durchgeführten Großsignal-Analysen folgen hingegen der Intention, die Verzerrungen gezielt zur Verbesserung der Schaltung auszunutzen. Das Ausgangssignal des betrachteten SS wird dafür in drei elementare Anteile zerlegt.

Ein Anteil beruht rein auf der statischen Kennlinie des SS und kann dazu genutzt werden, eine Bandbreitenbegrenzung des Eingangssignals teilweise zu kompensieren. Der zugehörige Zusammenhang ist in der Literatur bekannt [15] und wird von dem vorgestellten Modell bestätigt.

Der zweite Anteil resultiert aus den Umladeströmen der Transistor- und Layout-Kapazitäten. Er verursacht ein hier als dynamischen Überhöhungseffekt bezeichnetes Verhalten, welches in dieser Arbeit erstmals analytisch modelliert wird. Der dynamische Überhöhungseffekt führt innerhalb typischer Parameterbereiche zu einer Erhöhung von



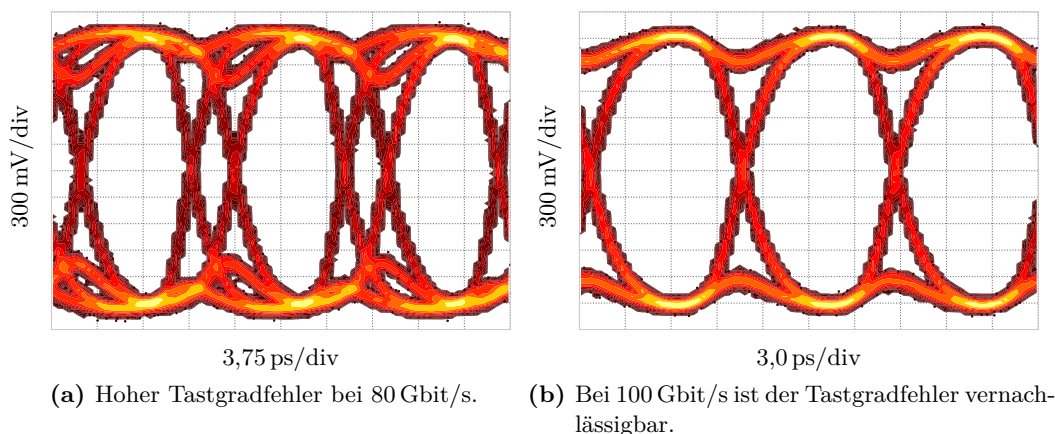
Amplitude, Grenzfrequenz und Flankensteilheit am Ausgang von mit Taktsignalen angesteuerten SSs mit steigender Taktfrequenz, steigender Eingangsamplitude und steigenden (parasitären) Kapazitäten am gemeinsamen Emitterknoten der SS-Transistoren. Auf diese Weise kann eine Bandbreitenbegrenzung der Last des SS (teilweise) kompensiert werden. Die analytische Modellierung ermöglicht es, die zugehörigen Einflussfaktoren und ihre Zusammenhänge zu identifizieren, um den dynamischen Überhöhungseffekt gezielt einzusetzen. Dies wird im experimentellen Teil dieser Arbeit in Abschnitt 6.2 bei einem PMUX zum Erzielen einer guten Signalqualität am Datenausgang genutzt, indem die Schaltung basierend auf den hier erlangten Erkenntnissen dimensioniert wird. Mit Hinblick auf eine Optimierung von Halbleitertechnologien sind zur Erzielung eines ausgeprägten dynamischen Überhöhungseffekts große Basis-Emitter-Sperrschichtkapazitäten bei gleichzeitig niedrigen Kollektor-Basis- und Kollektor-Substrat-Kapazitäten der SS-Transistoren wünschenswert.

Der dritte Anteil am Ausgangsstrom des SS resultiert aus einem Gleichtakt-Eingangssignal. Da dieses häufig durch unerwünschte Störungen und unbekannte Phasenverschiebungen bedingt ist, empfiehlt es sich im Allgemeinen, den zugehörigen Anteil durch Reduktion der gesamten gegen Masse wirkenden Kapazität am gemeinsamen Emitterknoten des SS zu minimieren, wie in Abschnitt 4.2.3 erläutert. Der Anteil kann allerdings auch gezielt zur weiteren Erhöhung von Ausgangsamplitude, Grenzfrequenz und Flankensteilheit genutzt werden, indem ein geeignet gewähltes Gleichtakt-Eingangssignal eingespeist wird.

Die aus den Analysen resultierenden Schlussfolgerungen zur Maximierung von Ausgangsamplitude, Grenzfrequenz und Flankensteilheit von mit Taktsignalen angesteuerten SSs bilden Abwägungsüberlegungen mit der Dimensionierung der Schnittstellen (z. B. EFs, BS) und dem Energiebedarf der Schaltung. Der Energiebedarf steigt überproportional mit der Grenzfrequenz und der Ausgangsamplitude, sodass Abwägungsentscheidungen getroffen werden müssen. Bei den im Rahmen dieser Arbeit entwickelten Schaltungen (siehe Kapitel 6) steht das Erreichen von Rekord-Geschwindigkeiten an der Technologiegrenze im Vordergrund, weshalb der Energiebedarf hier als sekundär angesehen wird.

## 5 Modellierung und Minimierung von frequenzabhängigen Tastgradfehlern

Ein mit einem Taktsignal angesteuerter SS sollte im Idealfall an seinem Ausgang ein symmetrisches und Gleichanteil-freies Taktsignal aufweisen. Aufgrund verschiedener Ursachen und Zusammenhänge, welche im vorliegenden Kapitel näher beleuchtet werden, tritt jedoch häufig ein Tastgradfehler auf, d. h. der zeitliche Abstand der Nulldurchgänge des Taktsignals zwischen steigender und fallender Flanke weicht vom Idealwert der halben Periodenlänge ab. Ein Tastgradfehler bei einem Taktsignal ist problematisch, da er die mit dem Taktsignal angesteuerte Schaltung beeinträchtigt [74, 75]. Im Falle der im Rahmen dieser Arbeit entwickelten und in Kapitel 6 vorgestellten MUX-Schaltungen führt ein Tastgradfehler beispielsweise zu einer unterschiedlichen Breite jeweils zweier benachbarter Bits der Daten am Ausgang. Im Augendiagramm zeigt sich dies als verringerte Augenöffnung in horizontaler Richtung und aufgrund der begrenzten Bandbreite der Ausgangsstufe auch in vertikaler Richtung. Die in Abbildung 5.1 gezeigten, simulierten Augendiagramme einer der entwickelten MUX-Schaltungen veranschaulichen dieses Verhalten. Bei der Simulation wird eine leichte Asymmetrie am Takteingang in Form eines Gleichanteils eingebracht. Die Asymmetrie führt je nach Taktfrequenz zu einem deutlichen (bei 80 Gbit/s) oder einem vernachlässigbaren (bei 100 Gbit/s) Tastgradfehler am Ausgang des MUX. Eine solche Abhängigkeit des Tastgradfehlers von



**Abbildung 5.1:** Simulierte Augendiagramme der in dieser Arbeit entwickelten MUX-Schaltung (vgl. Kapitel 6) zur Verdeutlichung des Einflusses eines frequenzabhängigen Tastgradfehlers des Taktsignals auf die Daten-Signalqualität.

der Taktfrequenz wird nicht nur bei diesem MUX, sondern unter anderem auch in [13] beobachtet. Sie stellt gerade bei den in dieser Arbeit betrachteten breitbandigen Schaltungen ein Problem dar, weshalb der Fokus im vorliegenden Kapitel auf der Analyse von frequenzabhängigen Einflüssen auf den Tastgradfehler liegt. Noch größere Anforderungen als ein MUX stellen Digital-Analog-, Analog-Digital-Wandler sowie Sample&Hold-Schaltungen an das Taktsignal, sofern sie sowohl auf die steigende als auch die fallende Flanke des Taktsignals abtasten. (Das zugehörige Taktsignal wird in der englischsprachigen Literatur in diesem Fall als *half-rate clock* bezeichnet). Der Tastgradfehler  $\Delta D$  (siehe Definition in Abschnitt 5.1) lässt sich dabei in einen äquivalenten Zeit-Jitter

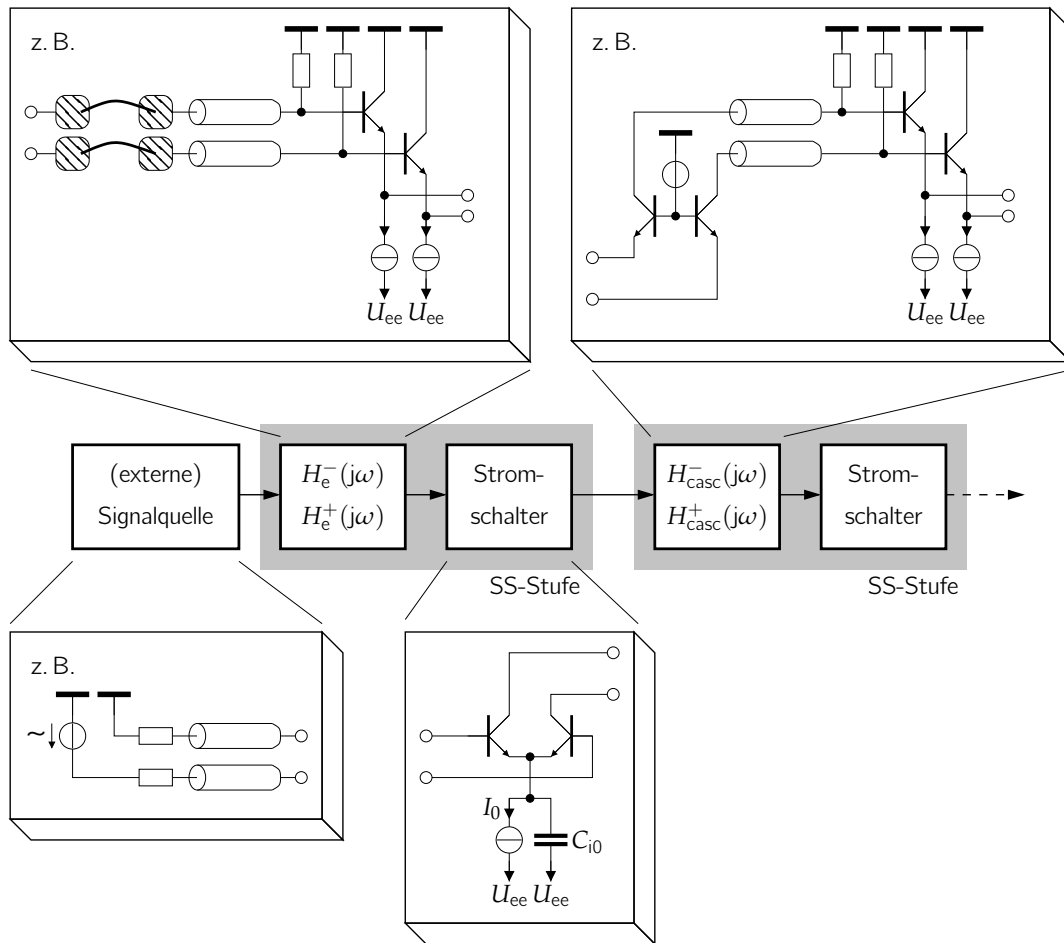
$$\Delta t_{\text{clk}} = \frac{1}{f_{\text{clk}}} |\Delta D| \quad (5.1)$$

als mittlere Abweichung  $\Delta t_{\text{clk}}$  des Abtastzeitpunkts vom idealen Zeitpunkt umrechnen. In [76] findet sich für Analog-Digital-Wandler und Sample&Hold-Schaltungen die Abschätzformel

$$\text{SNR} = -20 \log(2\pi f_{\text{sig}} \Delta t_{\text{clk}}) = -20 \log\left(2\pi \frac{f_{\text{sig}}}{f_{\text{clk}}} |\Delta D|\right) \quad (5.2)$$

für das bestmögliche Signal-Rausch-Verhältnis (SNR) bei einem sinusförmigen Ein- bzw. Ausgangssignal mit der Signalfrequenz  $f_{\text{sig}}$ . Hieraus folgt als Beispiel, dass bereits ein Tastgradfehler  $\Delta D$  von 1% die effektive Auflösung eines Analog-Digital-Wandlers bei der maximalen Signalfrequenz (Nyquist-Frequenz) auf 5 bit beschränkt. Ein geringer Tastgradfehler ist folglich ein wichtiges Kriterium beim Entwurf von mit Taktsignalen angesteuerten SSs.

Aufgrund der großen Bedeutung eines geringen Tastgradfehlers für die mit dem Taktsignal betriebene Schaltung ist es interessant, seine Entstehungsmechanismen zu verstehen und durch geeignete Dimensionierung der Schaltung dafür zu sorgen, dass er weitgehend minimiert wird. Die Betrachtung des Tastgradfehlers ist insbesondere von Bedeutung, wenn bei einer Taktverteilung mehrere SS-Stufen kaskadiert sind, wie in Abbildung 5.2 gezeigt. Ein Tastgradfehler am Eingang der Kaskade kann sich mit jeder Stufe weiter verstärken, sodass bereits ein kleiner Tastgradfehler am Eingang zu einem hohen Tastgradfehler am Ausgang führen kann. Dies ist selbst dann relevant, wenn die Last keine hohen Anforderungen an das Taktsignal stellt, da es durch die hohe Gesamtverstärkung des Tastgradfehlers in der Kaskade dazu kommen kann, dass das Taktsignal nicht mehr propagiert und der Ausgang statisch wird. Gerade bei den in dieser Arbeit betrachteten breitbandigen Schaltungen ist es von großem Interesse, zu verstehen, woraus die in Abbildung 5.1 und in [13] beobachtete Frequenzabhängigkeit des Tastgradfehlers resultiert und welche Maßnahmen dagegen ergriffen werden können. Erste Erklärungsansätze und Modelle für einen frequenzabhängigen Gleichanteil und damit einen frequenzabhängigen Tastgradfehler finden sich bereits in [13, 77]. Diese betrachten jedoch jeweils nur einen isolierten Einflussfaktor an einem einzelnen SS. In realitätsnäheren Schaltungen treten hingegen die Einflussfaktoren meistens in Kombination auf und treffen auf Taktverteilungen, welche aus mehreren kaskadierten SS-Stufen bestehen. Eine einzelne SS-



**Abbildung 5.2:** Blockdiagramm einer allgemeinen Kaskade von SS-Stufen mit Beispielschaltungen der jeweiligen Blöcke.

Stufe wiederum besteht nicht nur aus dem SS, sondern z. B. auch aus EFs, BS und TMLs. Im vorliegenden Kapitel wird daher ein allgemeines, analytisches Modell zur Beschreibung des Tastgradfehlers am Ausgang jeder Stufe einer typischen Kaskade von SS-Stufen vorgestellt. Das Modell wird genutzt, um Ursachen für einen Tastgradfehler aufzuzeigen und zu untersuchen, wie sich dieser in einer Kaskade von SS-Stufen fortpflanzt. Hierdurch werden nicht nur bekannte Zusammenhänge in einem einzigen, geschlossenen Modell vereint, sondern auch der aus der Praxis bekannte Effekt des Auftretens vermehrter Tastgradfehler bei mittleren Taktfrequenzen analytisch erklärt und auf klare Einflussfaktoren zurückgeführt. Die zugehörige Modellierung ist erstmals in der im Rahmen dieser Arbeit entstandenen Veröffentlichung [33] vorgestellt worden und wird im vorliegenden Kapitel in größerer Tiefe betrachtet und in das geschlossene Gesamtmodell eingebunden. Basierend auf dem analytischen Modell werden Schlussfolgerungen getroffen, um den Tastgradfehler durch geeignete Dimensionierung der Schaltung und

der Verwendung von Schaltungskonzepten zu verringern. Besonderes Augenmerk liegt auf dem Einfluss der Taktfrequenz, da es bei breitbandigen Taktverteilungsschaltungen wichtig ist, dass der Tastgradfehler im gesamten Frequenzbereich gering ist.

Teilweise (so auch in [13]) wird anstelle des Tastgradfehlers der Gleichanteil in Form des dc-Offsets des Taktsignals betrachtet. Beide Größen – Tastgradfehler und Gleichanteil – haben ihre Relevanz zur Beschreibung eines Taktsignals, sind jedoch nicht äquivalent und lassen sich nur für sinusförmige Signale eindeutig ineinander umrechnen. Für das in Abschnitt 5.2 vorgestellte analytische Modell und die darauf basierenden Schlussfolgerungen zur Dimensionierung und Schaltungskonzepte in Abschnitt 5.4 ist es erforderlich, die beiden Größen zu definieren, voneinander abzugrenzen und ihren Zusammenhang aufzuzeigen.

## 5.1 Definition und Abgrenzung der Größen Tastgradfehler und Gleichanteil

Wie in Abschnitt 3.3.3 definiert bezeichnet der Tastgrad  $D$  die relative Zeit zwischen der steigenden und der fallenden Flanke eines Taktsignals bezogen auf die Periodenlänge [59]. Der *Tastgradfehler*

$$\Delta D := D - \frac{1}{2} \quad (5.3)$$

ist definiert als die Abweichung des Tastgrads von seinem Idealwert. Der Tastgradfehler  $\Delta D$  ergibt sich rein aus den Nulldurchgängen des Taktsignals. Da ein SS in erster Näherung an den Nulldurchgängen seines Eingangssignals schaltet, weist auch das Ausgangssignal Nulldurchgänge an denselben Stellen auf und hat damit unabhängig von der Signalform denselben Tastgradfehler wie das Eingangssignal. Diese Signalform-unabhängige Identität des Tastgradfehlers an Ein- und Ausgang eines SS macht den Tastgradfehler zu einem gut geeigneten Maß für das in diesem Kapitel vorgestellte Modell. Ein Tastgradfehler lässt sich jedoch nur schwer messen, da hierfür das Taktsignal in hoher zeitlicher Auflösung, z. B. mithilfe eines Oszilloskops, betrachtet werden muss. Für eine genaue Messung ist es erforderlich, dass die Bandbreite der Messtechnik mehrere Harmonische des Taktsignals umfasst, was bei Hochgeschwindigkeitsschaltungen sehr hohe Anforderungen an die Messtechnik und die Schnittstellen stellt und bei Taktfrequenzen im Bereich von 100 GHz und darüber mit dem gegenwärtigen Stand der Technik nicht möglich ist. Für eine Messung eignet sich die Größe des *Gleichanteils*

$${}^0U^- := f_{\text{clk}} \int_0^{\frac{1}{f_{\text{clk}}}} u^-(t) dt \quad (5.4)$$

als zeitlicher Mittelwert eines Taktsignals  $u^-(t)$  deutlich besser, da er sehr einfach, z. B. mithilfe eines als Tiefpassfilters fungierenden R-C-Glieds und einem Multimeter, bestimmt werden kann. Dies erlaubt es, auch an mehreren Stellen zwischen den SS-Stufen

einer Kaskade gleichzeitig zu messen. Zudem bietet sich der Gleichanteil als einfach zu erhaltende Fehlergröße für eine integrierte Regelschleife an. Allerdings ändert sich der Zusammenhang zwischen Gleichanteil und Tastgradfehler je nach Form des Taktsignals, wie im Folgenden motiviert wird.

Im Falle eines monofrequenten, sinusförmigen Taktsignals

$$u^-(t) = \hat{U}^- \cos(2\pi f_{\text{clk}} t) + {}^0U^- \quad (5.5)$$

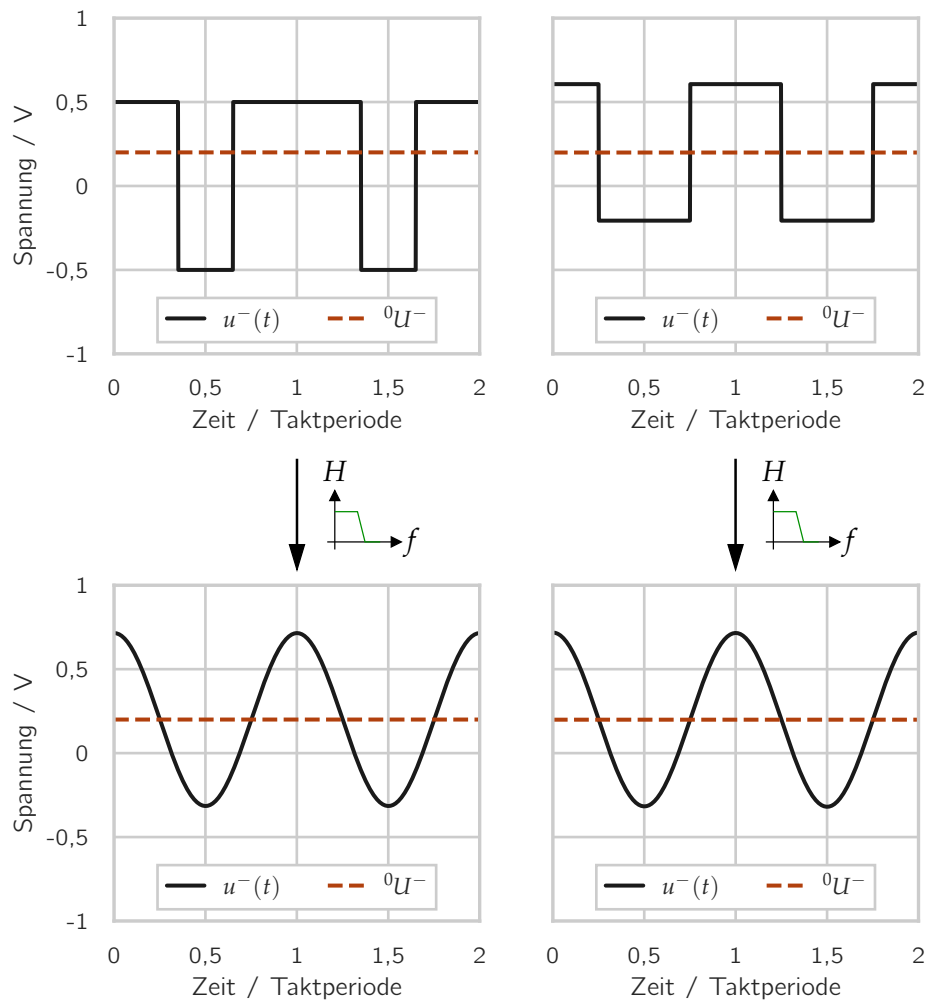
mit Taktfrequenz  $f_{\text{clk}}$  und Signalamplitude  $\hat{U}^-$  besteht zwischen dem Tastgradfehler  $\Delta D$  und dem zeitlichen Mittelwert  ${}^0U^-$  der Zusammenhang

$${}^0U^- = \hat{U}^- \sin(\pi \Delta D) \approx \pi \hat{U}^- \Delta D, \quad (5.6)$$

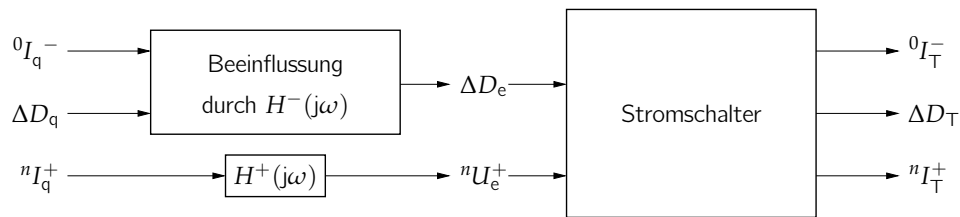
wobei die Näherung für kleine Tastgradfehler  $\Delta D$  erfüllt ist, was eine realistische Annahme darstellt, da in den meisten Anwendungen nur kleine Tastgradfehler toleriert werden. Hat das Taktsignal eine Rechteckform mit einer Amplitude von  $\hat{U}^-$  bei der Grundfrequenz und dazu korrespondierende symmetrische Endwerte des (Spannungs-)Pegels von  $\pm \frac{\pi}{4} \hat{U}^-$ , besteht zwischen Tastgradfehler  $\Delta D$  und Gleichanteil  ${}^0U^-$  der Zusammenhang

$${}^0U^- = \frac{\pi}{2} \hat{U}^- \Delta D, \quad (5.7)$$

welcher sich um einen Faktor 2 von jenem bei einem sinusförmigen Taktsignal nach Gleichung 5.6 unterscheidet. Die Beziehung aus Gleichung 5.7 gilt jedoch nur, wenn das Rechtecksignal symmetrische Endwerte des (Spannungs-)Pegels aufweist. Ohne die Randbedingung besteht im Allgemeinen bei Rechtecksignalen ein weiterer Freiheitsgrad. Dies ist beispielhaft in Abbildung 5.3 veranschaulicht. Beide im oberen Teil der Abbildung gezeigten Rechtecksignale haben denselben Gleichanteil und dieselbe Amplitude  $\hat{U}^-$  bei der Grundfrequenz des Taktsignals, weisen jedoch einen unterschiedlichen Tastgradfehler auf. Es ist folglich nicht möglich, aus dem Gleichanteil auf den Tastgradfehler zu schließen und umgekehrt. Werden die Rechtecksignale im Beispiel aus Abbildung 5.3 auf ein Tiefpass-Filter gegeben, welches nur Frequenzen bis zur Grundfrequenz passieren lässt, weisen beide Signale denselben Tastgradfehler auf, wie im unteren Teil der Abbildung zu sehen ist. Dies liegt daran, dass sich der Tastgradfehler des durch die Filterung sinusförmigen Signalverlaufs gemäß Gleichung 5.6 direkt aus dem Gleichanteil des Signals ergibt, welcher in beiden Fällen identisch ist. Der Tastgradfehler ändert sich folglich bei einer frequenzabhängigen, linearen Filterung des Taktsignals, wohingegen der Gleichanteil unverändert bleibt. Die Abhängigkeit des Zusammenhangs zwischen Tastgradfehler und Gleichanteil von der Signalform ist ein Problem bei breitbandigen Schaltungen. Nahe der Grenzfrequenz ist das Taktsignal näherungsweise sinusförmig und es besteht der direkte Zusammenhang nach Gleichung 5.6. Bei niedrigeren Taktfrequenzen nimmt das Taktsignal jedoch mehr und mehr einen rechteckförmigen Verlauf an, sodass kein direkter Zusammenhang zwischen den Größen besteht. Interessant dabei ist, dass dieses Verhalten nicht nur bei Änderung der Taktfrequenz, sondern auch bei Änderung der



**Abbildung 5.3:** Beispiel zweier rechteckiger Taktsignale  $u^-(t)$  mit identischem Gleichanteil  ${}^0U^-$  aber unterschiedlichem Tastgradfehler (oben). Nach Tiefpass-Filterung resultieren in beiden Fällen identische Tastgradfehler (unten).



**Abbildung 5.4:** Blockdiagramm einer allgemeinen SS-Stufe mit den zur Modellierung von Tastgradfehler und Gleichanteil relevanten Ein- und Ausgangsgrößen.

Signalform durch (Tiefpass-)Filterung innerhalb einer Schaltung auftritt. So kann ein näherungsweise rechteckförmiges Taktsignal am Ausgang des SS einer betrachteten SS-Stufe aufgrund eines Tiefpass-Verhaltens von BS, TML und EFs am Eingang eines nachfolgenden SS näherungsweise sinusförmig sein und damit einen anderen Tastgradfehler aufweisen als am Ausgang der betrachteten SS-Stufe.

Die vorausgehenden Betrachtungen machen deutlich, dass der Tastgradfehler zwar die zur Beschreibung eines Taktsignals relevante Größe am Eingang eines SS ist, dass jedoch auch der Gleichanteil bekannt sein muss, wenn ein Taktsignal mit beliebiger Signalform auf dem Weg zum Eingang eines SS eine Filterung durchläuft. Aus diesem Grund besteht einer der beiden zentralen Teile des im folgenden Abschnitt vorgestellten Modells daraus, den Tastgradfehler am Eingang eines SS bei einer frequenzabhängigen Filterung eines beliebigen Quell-Taktsignals in Abhängigkeit von der Filterfunktion sowie von Gleichanteil und Tastgradfehler des ungefilterten Quell-Taktsignals analytisch zu beschreiben.

## 5.2 Modellierung von Tastgradfehler und Gleichanteil an einer Stromschalter-Stufe

Im vorliegenden Abschnitt wird ein im Rahmen der Arbeit entwickeltes, analytisches Modell zur Beschreibung des Tastgradfehlers  $\Delta D_T$  und des Gleichanteils  ${}^0I_T^-$  am Ausgang einer allgemeinen SS-Stufe vorgestellt. Eine allgemeine SS-Stufe entspricht wie in Abbildung 5.4 dargestellt einem der in Abbildung 5.2 kaskadierten Elemente bestehend aus einem SS und einer vorgeschalteten Filterfunktion. Als Modell-relevante Eingangsgrößen dienen der Tastgradfehler  $\Delta D_q$ , der Gleichanteil  ${}^0I_q^-$  und die Gleichtakt-Frequenzkomponenten  ${}^nI_q^+$  eines Quell-Taktsignals bei Harmonischen  $n$  der Taktfrequenz. Das Quell-Taktsignal der SS-Stufe kann beispielsweise von einer in der Kaskade vorgeschalteten SS-Stufe stammen oder von einer externen Signalquelle. Im Falle einer vorgeschalteten SS-Stufe ergeben sich die Eingangsgrößen der betrachteten SS-Stufe durch Anwenden des Modells auf die vorgeschaltete Stufe, sodass es mithilfe des Modells möglich ist, den Tastgradfehler und den Gleichanteil an jeder Stufe einer Kaskade von SS-Stufen zu bestimmen. Ohne Einschränkung der Allgemeingültigkeit werden Ströme als Quellgrößen gewählt, da diese den Ausgangsgrößen einer vorgeschalteten SS-Stufe entsprechen.



Die im Folgenden vorgestellten Modellgleichungen können analog auch für Spannungsgrößen verwendet werden. Das Quell-Taktsignal durchläuft auf dem Weg zum Eingang des SS der SS-Stufe Filterfunktionen  $H^-(j\omega)$  für den Gegentakt-Anteil und  $H^+(j\omega)$  für den Gleichtakt-Anteil. Die Filterfunktionen können sich beispielsweise aus den Übertragungsfunktionen von BS, TML und EFs im Falle kaskadierter SS-Stufen oder aus jenen von externen TMLs, Bonddrähten, internen TMLs und EFs im Falle einer externen Signalquelle zusammensetzen. Sie entsprechen damit den Funktionen  $H_{\text{casc}}^\pm(j\omega)$  und  $H_e^\pm(j\omega)$  in Abbildung 5.2. Zwar weisen EFs und BS ein leicht nichtlineares Verhalten auf, dieses ist jedoch bei den in Taktverteilungsschaltungen üblichen Dimensionierungen deutlich schwächer ausgeprägt als die Nichtlinearität des SS, sodass die Filterfunktionen  $H^-(j\omega)$ ,  $H^+(j\omega)$  als näherungsweise linear im Vergleich zum SS betrachtet werden. Als Quell-Taktsignal wird ein allgemeines, rechteckförmiges Signal mit Tastgradfehler  $\Delta D_q$  und Gleichanteil  ${}^0I_q^-$  angenommen. Durch lineare Filterung ist es möglich, aus einem derartigen Rechtecksignal nahezu beliebige Signalformen zu gewinnen, sodass die Annahme eines Rechtecksignals keine Einschränkung der Allgemeingültigkeit darstellt. Die Filterfunktion zur Gewinnung des tatsächlich am Eingang der SS-Stufe vorliegenden Taktsignals aus dem rechteckförmigen, allgemeinen Taktsignal kann als Teil von  $H^-(j\omega)$  und  $H^+(j\omega)$  berücksichtigt werden. Der am Eingang des betrachteten SS auftretende Tastgradfehler  $\Delta D_e$  hängt von der Filterfunktion  $H^-(j\omega)$  sowie vom Tastgradfehler  $\Delta D_q$  und vom Gleichanteil  ${}^0I_q^-$  des Quell-Taktsignals ab. Am SS findet eine Konversion des Tastgradfehlers  $\Delta D_e$  in Verbindung mit dem durch  $H^+(j\omega)$  gefilterten Gleichtakt-Eingangssignal  ${}^nU_e^+$  in einen Gleichanteil  ${}^0I_T^-$  statt (vgl. Abschnitt 5.2.2). Dieser Gleichanteil wiederum hat Einfluss auf den Tastgradfehler einer gegebenenfalls kaskadierten Folgestufe. Zur Beschreibung von Tastgradfehler und Gleichanteil am Ausgang der SS-Stufe wird das Modell aus Kapitel 3 verwendet und der Transferstrom  $i_T^\pm$  anstelle des Ausgangsstroms  $i_a^\pm$  des SS herangezogen, da sich der Ausgangsstrom  $i_a^\pm$  durch lineare Filterung des Transferstroms  $i_T^\pm$  ergibt (vgl. Gleichungen 3.17 und 3.18). Die zugehörige Filterfunktion kann als Teil von  $H^-(j\omega)$ ,  $H^+(j\omega)$  einer Folge-SS-Stufe berücksichtigt werden.

Im Folgenden werden die Modellgleichungen zur analytischen Beschreibung von Tastgradfehler  $\Delta D_T$  und Gleichanteil  ${}^0I_T^-$  am Ausgang einer SS-Stufe allgemein aufgestellt. Zusammen mit Gleichung 3.15 zur Beschreibung des Gleichtakt-Transferstroms  ${}^nI_T^+$  am Ausgang eines SS sind damit alle Größen am Ausgang einer SS-Stufe bekannt, welche ihrerseits zur Bestimmung von Tastgradfehler und Gleichanteil einer kaskadierten Folgestufe benötigt werden. Auf diese Weise ergibt sich ein vollständiges Modell für den Tastgradfehler am Ausgang jeder SS-Stufe einer Kaskade, beispielsweise bei einer Taktverteilungsschaltung. Für eine einfachere Interpretation und einen Einblick in die Zusammenhänge werden die Modellgleichungen in Abschnitt 5.3 auf zwei typische Anwendungsfälle von SS-Stufen spezialisiert und für diese anhand von Beispielen erläutert. In diesem Kontext werden häufige Ursachen für die Entstehung von Tastgradfehlern aufgezeigt und die Größe der Tastgradfehler-Verstärkung definiert. Basierend darauf werden in Abschnitt 5.4 Schaltungsdimensionierungen und -konzepte zur Minimierung von Tastgradfehler und Gleichanteil vorgeschlagen.

### 5.2.1 Modellierung des Tastgradfehlers

Der Tastgradfehler  $\Delta D_T$  des Gegentakt-Transferstroms  $i_T^-$  eines SS lässt sich aus der Zeitdarstellung gemäß Gleichung 3.16 unmittelbar schlussfolgern. Da der Gleichtakt-Transferstrom  $i_T^+$  gemäß der Modellannahme in Abschnitt 3.3 nur schwach von  $I_0/2$  abweicht und somit stets positiv ist, sind die Nulldurchgänge des Gegentakt-Transferstroms  $i_T^-$  gleich jenen des Gegentakt-Eingangssignals  $u_e^-$  des SS. Es gilt damit

$$\Delta D_T = \Delta D_e, \quad (5.8)$$

d. h. die Tastgradfehler an Ein- und Ausgang eines SS sind identisch.

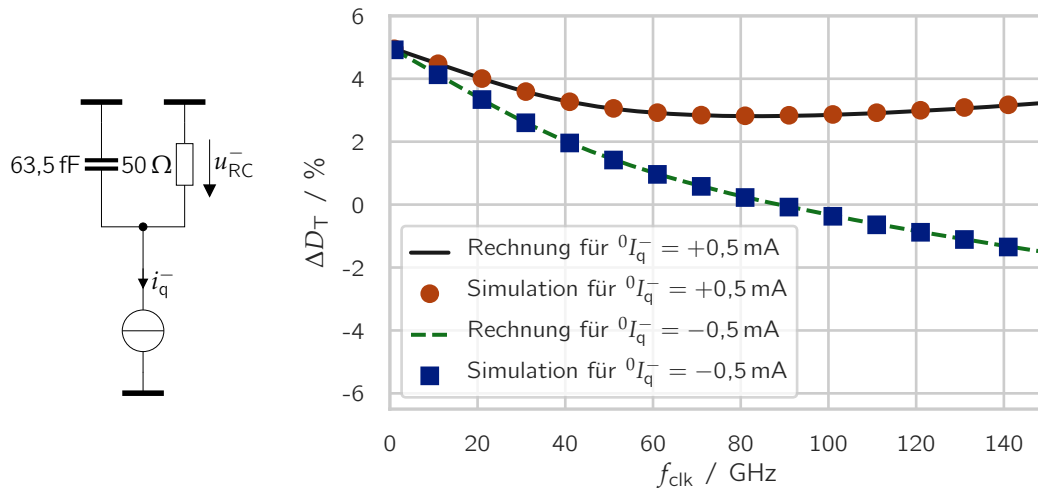
Der Tastgradfehler  $\Delta D_e$  am Eingang des SS ergibt sich abhängig von der Übertragungsfunktion  $H^-(j\omega)$  frequenzabhängig aus dem Tastgradfehler  $\Delta D_q$  und dem Gleichanteil  ${}^0I_q^-$  des Quellsignals. In [78] ist eine Gleichung hergeleitet zur (näherungsweise) Beschreibung der Änderung des Tastgradfehlers eines Rechtecksignals mit symmetrischen Endwerten bei Filterung durch eine lineare, zeitunabhängige Übertragungsfunktion. Die zugehörige Herleitung ist im Rahmen dieser Arbeit verallgemeinert worden für ein Rechtecksignal, welches bei einer Taktfrequenz  $f_{\text{clk}}$  neben einem bekannten Tastgradfehler  $\Delta D_q$  und einer Amplitude  $\hat{I}_q^- := 2|{}^1I_q^-|$  bei der Grundfrequenz einen Gleichanteil  ${}^0I_q^-$  aufweist, sodass auch Signale mit nicht-symmetrischen Endwerten beschrieben werden können. Nach Filterung durch  $H^-(j\omega)$  ergibt sich mit der in Anhang C.1 aufgeführten Herleitung und  $\omega_{\text{clk}} = 2\pi f_{\text{clk}}$  für den Tastgradfehler

$$\Delta D_T = \Delta D_e = \frac{\frac{H^-(0) {}^0I_q^-}{\pi |{}^1I_q^-|} + \Delta D_q \left( \sum_{n=-\infty, n \neq 0}^{\infty} H^-(j2n\omega_{\text{clk}}) e^{j2n\omega_{\text{clk}}t_H} \right)}{\sum_{n=-\infty}^{\infty} H^-(j(2n+1)\omega_{\text{clk}}) e^{j(2n+1)\omega_{\text{clk}}t_H}}, \quad (5.9)$$

wobei  $t_H$  der Verzögerungszeit der Filterfunktion  $H^-(j\omega)$  entspricht. Gleichung 5.9 ist eine der beiden zentralen Modellgleichungen in diesem Kapitel und erlaubt in Verbindung mit Gleichung 5.16 die Bestimmung von Tastgradfehler und Gleichanteil am Ausgang einer SS-Stufe. Die universelle Einsetzbarkeit von Gleichung 5.9 ergibt sich daraus, dass sich durch lineare Filterung eines Rechtecksignals mit Tastgradfehler  $\Delta D_q$  und Gleichanteil  ${}^0I_q^-$  nahezu beliebige Taktsignalformen repräsentieren lassen. Ist das Quellsignal nicht rechteckförmig, kann es dennoch als ein rechteckförmiges Taktsignal modelliert werden, welches eine zusätzliche Filterfunktion durchläuft, die als Teil von  $H^-(j\omega)$  betrachtet wird. Gleichung 5.9 eignet sich folglich allgemeingültig zur Beschreibung des Tastgradfehlers von nahezu beliebigen Taktsignalen. Im Zähler von Gleichung 5.9 treten zwei additive Terme auf. Der erste ist proportional zum Gleichanteil  ${}^0I_q^-$ . Der zweite ist proportional zum Tastgradfehler  $\Delta D_q$  des ungefilterten Rechteck-Quellsignals sowie zur Summe über die Beiträge der Filterfunktion  $H^-(j\omega)$  bei geraden Harmonischen der Taktfrequenz  $f_{\text{clk}}$ . Liegt die Taktfrequenz deutlich unterhalb der Grenzfrequenz der Filterfunktion, tragen zahlreiche gerade Harmonische zum Summenterm im Zähler von

Gleichung 5.9 bei, sodass der zum Tastgradfehler  $\Delta D_q$  proportionale Summenterm den Zähler dominiert und der Gleichanteil  ${}^0I_q^-$  einen vernachlässigbaren Einfluss auf den Tastgradfehler  $\Delta D_T$  hat. Der Nennerterm enthält eine Summe über die ungeraden Harmonischen von  $H^-(j\omega)$ . Liegt die Taktfrequenz  $f_{\text{clk}}$  deutlich unterhalb der Grenzfrequenz von  $H^-(j\omega)$  und hat  $H^-(j\omega)$  einen über der Frequenz flachen Verlauf, sind die Summen in Zähler und Nenner ähnlich groß, sodass der gefilterte Tastgradfehler  $\Delta D_T$  in etwa dem Tastgradfehler  $\Delta D_q$  des Quell-Taktsignals entspricht. Nähert sich die Taktfrequenz  $f_{\text{clk}}$  der Grenzfrequenz von  $H^-(j\omega)$ , nehmen die Summenterme in Zähler und Nenner ab. Die Abnahme im Zähler ist hierbei stärker, da die Summe im Zähler über die geraden Harmonischen geht und somit erst bei höheren Frequenzen startet als die über ungerade Harmonische laufende Summe im Nenner. Es dominiert daher bei Taktfrequenzen im Bereich der Grenzfrequenz von  $H^-(j\omega)$  der Einfluss des Gleichanteils  ${}^0I_q^-$ , wohingegen der Einfluss des Tastgradfehler  $\Delta D_q$  vernachlässigbar ist. Dieses Verhalten wird im Folgenden anhand eines einfachen Beispiels veranschaulicht.

Zur Veranschaulichung von Gleichung 5.9 wird als Beispiel die Spannung  $u_{\text{RC}}^-$  an dem in Abbildung 5.5 gezeigten R-C-Parallelglied mit einer Grenzfrequenz von 50 GHz betrachtet. Als Ansteuerung dient ein rechteckförmiges Strom-Taktsignal  $i_q^-$  mit einem Tastgradfehler  $\Delta D_q = 5\%$ , einer Amplitude  $\hat{I}_q^- = 2|{}^1I_q^-| \approx 25\text{ mA}$  bei der Grundfrequenz und zwei verschiedenen, jeweils über der Frequenz konstanten Gleichanteilen  ${}^0I_q^- = \pm 0,5\text{ mA}$  bei unterschiedlichen Taktfrequenzen  $f_{\text{clk}}$ . Die Spannung  $u_{\text{RC}}^-$  an dem R-C-Glied ergibt sich als Tiefpass-Filterung des Strom-Quellsignals  $i_q^-$  mit einer vom Betrag her über der Frequenz abfallenden Filterfunktion  $H^-(j\omega)$ . Es handelt sich dabei um ein realistisches Szenario für einen SS, der als Last einen Widerstand mit parasitärer Parallelkapazität hat. Eine Schaltungssimulation des Tastgradfehlers  $\Delta D_T$  der Spannung  $u_{\text{RC}}^-$  am R-C-Glied ist in Abbildung 5.5 zusammen mit einer Auswertung von Gleichung 5.9 gezeigt. Schaltungssimulation und Rechnung stimmen sehr gut überein und weisen eine deutliche Frequenzabhängigkeit des Tastgradfehlers  $\Delta D_T$  auf, obwohl das Quellsignal keine über der Frequenz variierenden Größen hat. Die Frequenzabhängigkeit des Tastgradfehlers  $\Delta D_T$  resultiert rein aus der Frequenzabhängigkeit der Filterfunktion  $H^-(j\omega)$  aufgrund der begrenzten Bandbreite des R-C-Glieds. Bei niedrigen Taktfrequenzen ist der Tastgradfehler  $\Delta D_T$  am Ausgang des R-C-Glieds in etwa gleich dem des Rechtecksignals  $\Delta D_q = 5\%$  am Eingang. Dies entspricht dem Fall, bei dem die zu  $\Delta D_q$  proportionalen Summenterme im Zähler von Gleichung 5.9 den Zähler dominieren. Die beiden verschiedenen Gleichanteile  ${}^0I_q^-$  haben hier kaum einen Einfluss auf den Tastgradfehler. Mit steigender Taktfrequenz tragen weniger Harmonische zu der mit  $\Delta D_q$  skalierten Summe im Zähler von Gleichung 5.9 bei, sodass der Einfluss von  $\Delta D_q$  schwindet und jener von  ${}^0I_q^-$  steigt. Abhängig von  ${}^0I_q^-$  erklärt sich daraus der unterschiedliche Verlauf des Tastgradfehlers über der Frequenz. Bis in etwa zur Grenzfrequenz des R-C-Glieds fällt der Tastgradfehler für beide Beispiel-Gleichanteile  ${}^0I_q^-$  ab, da die im Beispiel gewählten Gleichanteile niedriger als der sich nach Gleichung 5.7 für ein Rechtecksignal mit symmetrischen Endwerten ergebende Gleichanteil von circa 2 mA sind. Es dominiert hierbei jeweils im Zähler der Term durch den Gleichanteil  ${}^0I_q^-$ . Daher ist der Abfall umso stärker,



**Abbildung 5.5:** Beispiel für die Frequenzabhängigkeit des Tastgradfehlers  $\Delta D_{\text{T}}$  der Spannung  $u_{\text{RC}}^-$  an einem R-C-Glied, welches mit einem Rechtecksignal  $i_{\text{q}}^-$  mit frequenzunabhängigem Tastgradfehler  $\Delta D_{\text{q}} = 5\%$  und zwei verschiedenen Gleichanteilen  ${}^0I_{\text{q}}^- = \pm 0,5 \text{ mA}$  angesteuert wird. Gezeigt ist ein Vergleich zwischen der Rechnung nach Gleichung 5.9 und einer Schaltungssimulation.

je niedriger der gewählte Gleichanteil des Quell-Taktsignals ist. Zum Nennerterm trägt im Wesentlichen der Term  $H^-(j\omega_{\text{clk}})$  bei der Grundfrequenz des Taktsignals bei. Bei weiter steigender Taktfrequenz bleibt der Zählerterm in Gleichung 5.9 in etwa konstant, da er durch den jeweils konstanten Gleichanteil  ${}^0I_{\text{q}}^-$  dominiert wird. Der Nennerterm hingegen sinkt weiter aufgrund der zunehmenden Dämpfung des Quell-Taktsignals bei der Grundfrequenz. Hierdurch nimmt der Tastgradfehler vom Betrag her zu. Dies erklärt, warum die im positiven Bereich liegende Kurve für  ${}^0I_{\text{q}}^- = +0,5 \text{ mA}$  zu hohen Taktfrequenzen hin wieder leicht ansteigt, wohingegen die im negativen Bereich liegende Kurve für  ${}^0I_{\text{q}}^- = -0,5 \text{ mA}$  weiter sinkt.

Das einfache Beispiel mit dem R-C-Glied verdeutlicht bereits, dass durch lineare Filterung eines Taktsignals eine Frequenzabhängigkeit des Tastgradfehlers  $\Delta D_{\text{T}}$  auftreten kann, obwohl das Quell-Taktsignal frequenzunabhängig sowohl einen konstanten Tastgradfehler als auch einen konstanten Gleichanteil aufweist. Wird anstelle eines R-C-Glieds die frequenzabhängige Übertragungsfunktion  $H^-(j\omega)$  einer SS-Stufe bestehend aus den komplexeren Frequenzgängen von beispielsweise BS, TML und EFs betrachtet und wird berücksichtigt, dass bereits das Quell-Taktsignal der SS-Stufe einen frequenzabhängigen Tastgradfehler  $\Delta D_{\text{q}}$  und Gleichanteil  ${}^0I_{\text{q}}^-$  aufweisen kann, lässt sich erahnen, dass der Zusammenhang nach Gleichung 5.9 für den Tastgradfehler  $\Delta D_{\text{T}}$  am Ausgang einer SS-Stufe eine Schlüsselrolle für das Verständnis der Frequenzabhängigkeit des Tastgradfehlers bei kaskadierten SS-Stufen darstellt. Ein detaillierterer Einblick in diese Zusammenhänge findet sich in Abschnitt 5.3 anhand von Beispielen für zwei typische Anwendungsfälle von SS-Stufen.

### 5.2.2 Modellierung des Gleichanteils

In die zentrale Gleichung 5.9 zur Bestimmung des Tastgradfehlers  $\Delta D_T$  am Ausgang einer allgemeinen SS-Stufe nach Abbildung 5.4 geht neben dem Tastgradfehler  $\Delta D_q$  und der Übertragungsfunktion  $H^-(j\omega)$  der Gleichanteil  ${}^0I_q^-$  am Eingang der SS-Stufe ein. Um den Tastgradfehler bei kaskadierten SS-Stufen bestimmen zu können, ist daher auch der jeweilige Gleichanteil  ${}^0I_T^-$  am Ausgang einer SS-Stufe als Eingangsgröße der Folgestufe von Interesse.

Zur Bestimmung des Gleichanteils  ${}^0I_T^-$  wird das nichtlineare Modell des SS aus Kapitel 3 verwendet. Gemäß Gleichung 3.23 setzt sich der Gleichanteil aus drei Anteilen

$${}^0I_T^- = {}^0I_{T,A}^- + {}^0I_{T,B}^- + {}^0I_{T,C}^- \quad (5.10)$$

zusammen. Hierbei handelt es sich um einen Anteil, welcher sich aus den statischen Eigenschaften des SS ergibt ( ${}^0I_{T,A}^-$ ) und zwei ergänzenden dynamischen Anteilen, wie im Folgenden erläutert wird. Dies ist vergleichbar zu der Vektorsumme in Abschnitt 4.2, wobei sämtliche Anteile hier rein reell sind und somit keine Summe von Vektoren, sondern von Skalaren bilden.

Der Anteil

$${}^0I_{T,A}^- = \frac{1}{2} I_0 {}^0\mathcal{T} \approx \alpha_T \pi |{}^1I_{T,A}^-| \Delta D_T, \quad (5.11)$$

$$\text{mit } \alpha_T := \begin{cases} 2, & \text{wenn } i_T^- \text{ sinusförmig,} \\ 1, & \text{wenn } i_T^- \text{ rechteckförmig} \end{cases} \quad (5.12)$$

ergibt sich mit der Herleitung in Anhang C.2 aus der Anwendung der statischen tanh-Kennlinie des SS auf das Gegentakt-Eingangssignal, wobei  ${}^0\mathcal{T}$  den in Abschnitt 3.3.3 definierten, resultierenden Fourier-Koeffizienten bei der Frequenz-Komponente  $n = 0$  bezeichnet. Der Anteil  ${}^0I_{T,A}^-$  ist eine direkte Folge des in Abschnitt 5.2.1 bestimmten Tastgradfehlers  $\Delta D_T$  am Ausgang des SS und kann näherungsweise bis auf einen von der Signalform des Gegentakt-Transferstroms abhängigen Vorfaktor  $\alpha_T$  proportional durch  $\Delta D_T$  und die statische Transferstrom-Amplitude  $|{}^1I_{T,A}^-|$  (siehe Abschnitt 4.2) ausgedrückt werden. Der Anteil ist unabhängig von dem frequenzabhängigen Verhalten des SS selbst und kann daher als statischer Anteil angesehen werden. Wegen der Proportionalität zum potenziell frequenzabhängigen Tastgradfehler  $\Delta D_T$  nach Gleichung 5.9 kann er sich dennoch dynamisch mit der Taktfrequenz ändern. Der Anteil  ${}^0I_{T,A}^-$  ist unabhängig vom Gleichtaktsignal  ${}^nU_e^+$  am Eingang des SS.

Der Anteil  ${}^0I_{T,B}^-$  ist von der Taktfrequenz  $f_{\text{clk}}$ , der Gesamtkapazität  $C_E$  am Emitterknoten des SS (vgl. Gleichung 3.12) und der modifizierten Transitzeit  $\tau_C$  (vgl. Gleichung 3.14) abhängig. Es handelt sich folglich um einen dynamisch auftretenden Gleichanteil, wobei der zugehörige Zusammenhang aufgrund einer Reihendarstellung (siehe Gleichung 3.25) wenig einsichtig ist. Auch wenn der Anteil noch nicht zuvor in den bekannten Veröffentlichungen erwähnt wurde, lohnt sich eine eingehende Betrachtung hier

nicht, da er bei den im Rahmen dieser Arbeit verwendeten typischen Schaltungsparametern gegenüber dem Anteil  ${}^0I_{T,A}^-$  vernachlässigbar ist. Als Bedingung für die Vernachlässigbarkeit lässt sich sowohl für sinus- als auch für rechteckförmige Eingangssignale mit über der Frequenz konstanter Gruppenlaufzeit

$$\hat{U}_e^- \ll \frac{I_0}{3 C_E f_{\text{clk}}} \quad (5.13)$$

herleiten (siehe Anhang C.3). Im Beispiel von Parametersatz 1 aus Tabelle 5.1 ist die Bedingung aus Gleichung 5.13 für  $\hat{U}_e^- \ll 1,6 \text{ V}$  erfüllt, was angesichts typischer Eingangsamplituden von einigen hundert Millivolt in den meisten Fällen zutrifft. Falls die Bedingung aus Gleichung 5.13 oder die zugrunde liegende Annahme eines Eingangssignals mit konstanter Gruppenlaufzeit nicht erfüllt sein sollten, lässt sich allgemein zeigen, dass der Anteil  ${}^0I_{T,B}^-$  proportional zu  $\Delta D_T$  ist (siehe ebenfalls Anhang C.3). Es ist damit möglich, seinen Beitrag durch Modifikation von  $\alpha_T$  in Gleichung 5.11 als Teil von  ${}^0I_{T,A}^-$  mit zu berücksichtigen. Im Hinblick auf die in Abschnitt 5.4 vorgestellten Schlussfolgerungen zur Dimensionierung ändert sich durch die Berücksichtigung bzw. Vernachlässigung des Anteils  ${}^0I_{T,B}^-$  nichts, da auf eine Verringerung von  $\Delta D_T$  und nicht von  $\alpha_T$  zur Verringerung des Gleichanteils  ${}^0I_T^-$  abgezielt wird. Aus diesem Grund wird der Anteil  ${}^0I_{T,B}^-$  im Folgenden nicht berücksichtigt.

Der ebenfalls dynamische Anteil

$${}^0I_{T,C}^- = 2\pi C_{i0} f_{\text{clk}} \sum_{n=1}^{\infty} \text{Re} \left\{ \frac{n {}^n\mathcal{T}^* {}^nU_e^+}{2\pi n \tau_C f_{\text{clk}} - j} \right\} \quad (5.14)$$

mit der modifizierten Transitzeit  $\tau_C$  nach Gleichung 3.14 hängt als einziger der drei Anteile vom Gleichtakt-Eingangssignal  ${}^nU_e^+$  ab und skaliert mit der Kapazität  $C_{i0}$  sowie der Taktfrequenz  $f_{\text{clk}}$ . Für allgemeine Eingangssignale treten Mischprodukte sämtlicher Harmonischer  $n$  des Gleichtakt-Eingangssignals  ${}^nU_e^+$  mit den in Abschnitt 3.3.3 definierten Fourier-Komponenten  ${}^n\mathcal{T}$  auf. Es ergibt sich damit eine komplexe Abhängigkeit sowohl von der Amplitude als auch der Phase der einzelnen Harmonischen des Gleichtakt-Eingangssignals, wobei zusätzlich eine Modifikation durch den von der Taktfrequenz und der modifizierten Transitzeit abhängigen Term  $\tau_C f_{\text{clk}}$  auftritt. In Abschnitt 5.3.1 wird Gleichung 5.14 für sinusförmige Eingangssignale näher beschrieben und interpretiert. Allgemein lässt sich für beliebige Eingangssignale eine Unterscheidung in Beiträge bei geraden und bei ungeraden Harmonischen  $n$  der Taktfrequenz treffen. Bei geraden Harmonischen  $n$  sind die Fourier-Koeffizienten  ${}^n\mathcal{T}$  nur dann von null verschieden, wenn das Eingangssignal des SS einen Tastgradfehler  $\Delta D_e$  aufweist (vgl. Gleichungen 3.20 und 3.21). Maßnahmen, die helfen, den Anteil  ${}^0I_{T,A}^-$  und damit  $\Delta D_T = \Delta D_e$  zu reduzieren, führen automatisch auch zu einer Reduktion der Beiträge zu  ${}^0I_{T,C}^-$  bei geraden Harmonischen des Gleichtakt-Eingangssignals. Eine gesonderte Betrachtung der geraden Harmonischen des Gleichtakt-Eingangssignals ist damit in Hinblick auf Maßnahmen zur Reduktion des Gleichanteils nicht von Nöten. Beiträge zu der Summe in Gleichung 5.14 bei ungeraden Harmonischen  $n$  des Gleichtakt-Eingangssignals führen hingegen zu einem

Gleichanteil  ${}^0I_{T,C}^-$ , welcher unabhängig von einem eventuell am Eingang des SS vorherrschenden Tastgradfehler  $\Delta D_e$  ist. Dieser Fall verdient besonderer Beachtung. Er ist unter anderem bei single-ended Ansteuerung einer SS-Stufe, beispielsweise der Eingangsstufe einer Taktverteilung durch einen externen Signalgenerator, relevant. In Abschnitt 5.3.1 wird der Fall am Beispiel eines sinusförmigen Eingangssignals vertieft. Ein Gleichtakt-Eingangssignal am betrachteten SS kann außerdem durch Signaleinkopplungen in das Versorgungsspannungsnetz und durch Gegentakt-Gleichtakt-Konversion aufgrund von Asymmetrien auftreten und auf diesem Wege ebenfalls zu einem Gleichanteil beitragen [13, 21].

Zur Beurteilung der Auswirkungen eines Gleichanteils am Ausgang einer SS-Stufe ist der auf die Amplitude  $|{}^1I_T^-|$  bezogene *amplitudenbezogene Gleichanteil*  ${}^0I_T^-/(\pi |{}^1I_T^-|)$  eine Größe von Interesse, da dieser als  ${}^0I_q^-/(\pi |{}^1I_q^-|)$  via Gleichung 5.9 Auswirkung auf den Tastgradfehler einer gegebenenfalls kaskadierten Folgestufe hat. Zur besseren Anschaulichkeit der Gleichungen und damit für eine einfachere Interpretation der Ergebnisse wird im Folgenden als Näherung angenommen, dass für die Transferstrom-Amplitude des SS

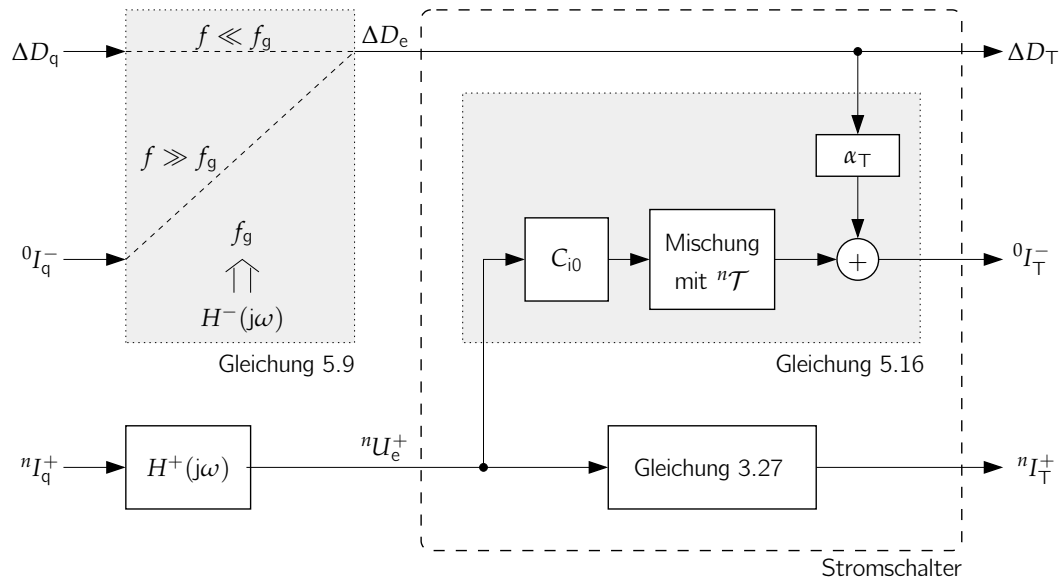
$$|{}^1I_T^-| \approx |{}^1I_{T,A}^-| \quad (5.15)$$

gilt, d. h. der in Kapitel 4 analysierte dynamische Überhöhungseffekt wird bei der Bestimmung des amplitudenbezogenen Gleichanteils vernachlässigt. Diese Vorgehensweise ist gerechtfertigt und im Einklang mit dem in dieser Arbeit verfolgten erkenntnisorientierten Optimierungsansatz (vgl. Kapitel 1), da die Vernachlässigung des dynamischen Überhöhungseffekts lediglich zu einer quantitativen Abweichung des amplitudenbezogenen Gleichanteils von 10 % bis 20 % führt und somit einen sekundären Effekt darstellt. Mit der Näherung ergibt sich aus Gleichung 5.10, 5.11 und 5.14 für den amplitudenbezogenen Gleichanteil am Ausgang einer SS-Stufe

$$\frac{{}^0I_T^-}{\pi |{}^1I_T^-|} \approx \alpha_T \Delta D_T + \frac{2 C_{i0} f_{\text{clk}}}{|{}^1I_T^-|} \sum_{n=1}^{\infty} \text{Re} \left\{ \frac{n {}^n\mathcal{T}^* {}^nU_e^+}{2\pi n \tau_C f_{\text{clk}} - j} \right\}. \quad (5.16)$$

Hierbei handelt es sich um die zweite zentrale Gleichung dieses Kapitels, welche zusammen mit Gleichung 5.9 ein vollständiges Modell zur Beschreibung von Tastgradfehler und Gleichanteil einer allgemeinen SS-Stufe darstellt. Gleichung 5.16 setzt sich aus zwei additiven Termen zusammen. Der erste Term ist proportional zum Tastgradfehler  $\Delta D_T$  am Ausgang des betrachteten SS und der zweite Term hängt vom Gleichtakt-Eingangssignal  ${}^nU_e^+$  ab. In Abschnitt 5.3 werden die Einflussgrößen auf die beiden Terme und die sich daraus wiederum ergebenden Einflüsse für eine kaskadierte Folgestufe anhand von Beispielen erläutert und veranschaulicht.

Gleichung 5.9 und Gleichung 5.16 bilden das im Rahmen dieser Arbeit entwickelte allgemeine analytische Modell zur Beschreibung von Tastgradfehler  $\Delta D_T$  und Gleichanteil  ${}^0I_T^-$  am Ausgang einer allgemeinen SS-Stufe und folglich auch am Ausgang einer Kaskade mehrerer solcher Stufen. In Abbildung 5.6 sind die Zusammenhänge der Gleichungen



**Abbildung 5.6:** Blockdiagramm des analytischen Modells zur Beschreibung von Tastgradfehler und Gleichanteil am Ausgang einer SS-Stufe. Die Funktionen von Gleichung 5.9 und 5.16 sind zur Wahrung der Übersichtlichkeit vereinfacht dargestellt.

anschaulich dargestellt. Ein Tastgradfehler  $\Delta D_q$  bzw. ein Gleichanteil  ${}^0I_q^-$  am Eingang einer SS-Stufe führt je nach Übertragungsfunktion  $H^-(j\omega)$  zu einem frequenzabhängigen Tastgradfehler  $\Delta D_T$  am Ausgang der Stufe. Die Übertragungsfunktion  $H^-(j\omega)$  beinhaltet dabei sämtliche Frequenzgänge von Schaltungsteilen und -elementen zwischen einer externen Signalquelle bzw. dem Ausgang des SS einer vorgeschalteten SS-Stufe bis zum Eingang des SS der betrachteten SS-Stufe, nicht jedoch die Übertragungsfunktion des SS selbst. Sie entspricht in der Darstellung nach Abbildung 5.2 den Funktionen  $H_e^-(j\omega)$  bzw.  $H_{\text{casc}}^-(j\omega)$ . Bei Taktfrequenzen deutlich unterhalb der Grenzfrequenz  $f_g$  von  $H^-(j\omega)$  ist der Einfluss des Gleichanteils  ${}^0I_q^-$  am Eingang der SS-Stufe auf den Tastgradfehler  $\Delta D_T$  am Ausgang vernachlässigbar. Es dominiert der Einfluss des Tastgradfehlers  $\Delta D_q$  am Eingang der SS-Stufe. Demgegenüber ist nahe bzw. oberhalb der Grenzfrequenz  $f_g$  der Einfluss des Tastgradfehlers  $\Delta D_q$  vernachlässigbar und dafür jener des Gleichanteils  ${}^0I_q^-$  relevant. Der Tastgradfehler  $\Delta D_T$  am Ausgang der SS-Stufe führt zusammen mit einem eventuellen Gleichtakt-Eingangssignal  ${}^nI_q^+$  bei ungeraden Harmonischen  $n$  der Taktfrequenz über die Übertragungsfunktion  $H^+(j\omega)$  und Gleichung 5.16 zu einem Gleichanteil  ${}^0I_T^-$  am Ausgang der SS-Stufe. Dieser Gleichanteil wiederum hat Einfluss auf den Tastgradfehler einer gegebenenfalls kaskadierten Folgestufe.



## 5.3 Anpassung des Modells an typische Anwendungsfälle

Um die Modellgleichungen 5.9 und 5.16 einfacher interpretieren zu können, werden diese im Folgenden für zwei Anwendungsfälle von SS-Stufen angepasst. Hierbei handelt es sich zum einen um den Fall der Ansteuerung mit sinusförmigen Taktsignalen. Dieser Fall trifft häufig, so auch bei den im Rahmen dieser Arbeit entwickelten Schaltungen, auf die erste SS-Stufe einer Taktverteilung zu, welche von einer externen Signalquelle oder einem internen Oszillator gespeist wird. Gerade bei einer extern angesteuerten SS-Stufe sind zahlreiche potenzielle Ursachen für einen Tastgradfehler vorhanden. Es lohnt sich daher, den Fall einer mit einem Sinussignal angesteuerten (ersten) SS-Stufe gesondert zu betrachten und dafür angepasste Modellgleichungen aufzustellen. Diese erlauben eine leichtere Interpretation als die allgemeinen Modellgleichungen und ermöglichen so einen Einblick in die Ursachen und Zusammenhänge des auftretenden Tastgradfehlers und Gleichanteils. Zum anderen wird der Anwendungsfall mehrerer kaskadierter SS-Stufen betrachtet. Hier ist es von besonderem Interesse, ob und wie stark sich ein gegebenenfalls vorhandener Tastgradfehler innerhalb der Kaskade verstärkt. Basierend auf den sich aus den beiden Anwendungsfällen ergebenden Resultaten werden in Abschnitt 5.4 Schlussfolgerungen zur Dimensionierung und Schaltungskonzepte vorgestellt, um Tastgradfehler und Gleichanteil zu minimieren.

### 5.3.1 Tastgradfehler und Gleichanteil bei einer sinusförmig angesteuerten Stromschalter-Stufe

Das in Abschnitt 5.2 vorgestellte analytische Modell für den Tastgradfehler und den Gleichanteil an einer SS-Stufe nimmt als Eingangssignal allgemein ein mit einer linearen Übertragungsfunktion gefiltertes Rechtecksignal mit Tastgradfehler  $\Delta D_q$  an. Dadurch lassen sich Taktsignale mit nahezu beliebiger Form abbilden, unter anderem auch reine Sinussignale. In letzterem Fall bedingt die Annahme eines gefilterten Rechtecksignals jedoch eine für die Problemstellung unverhältnismäßig hohe Komplexität. Daher werden im Folgenden die Modellgleichung 5.9 in einer für diesen Fall vereinfachten Form präsentiert und die Einflussgrößen auf den Tastgradfehler einer SS-Stufe bei sinusförmiger Ansteuerung aufgezeigt sowie anhand von Beispielen veranschaulicht. Die durchgeführten Betrachtungen beziehen sich auf eine von einer externen, sinusförmigen Signalquelle angesteuerte erste SS-Stufe einer Kaskade. Die dabei auftretenden Gesetzmäßigkeiten lassen sich auch für jede andere SS-Stufe der Kaskade anwenden, sofern das Eingangssignal der SS-Stufe beispielsweise durch Bandbreitenbegrenzung bei hohen Taktfrequenzen ebenfalls als näherungsweise sinusförmig angesehen werden kann.

In Abbildung 5.2 ist beispielhaft der Signalweg von einer externen Signalquelle zum SS der ersten SS-Stufe einer Kaskade von SS-Stufen dargestellt. Gängige Signalgeneratoren bieten häufig keinen differentiellen Ausgang, sodass die Schaltung single-ended angesteuert werden muss. Zwar ist es prinzipiell möglich, mit einem  $180^\circ$ -Hybrid-Koppler eine Konversion von einem single-ended zu einem differentiellen Signal durchzuführen,

allerdings weisen solche Koppler typischerweise eine deutlich geringere Bandbreite als die in dieser Arbeit betrachteten breitbandigen Schaltungen auf und erhöhen zudem Komplexität und Kosten des Aufbaus. Es wird daher in der Praxis häufig eine single-ended-Ansteuerung verwendet.

Allgemein können an einer Signalquelle sowohl Gegen- als auch Gleichtakt-Komponenten  ${}^nU_q^-$  und  ${}^nU_q^+$  auftreten, welche im Falle einer single-ended-Signalquelle identisch sind. Bei einem Sinussignal dominieren die Beiträge bei der Grundfrequenz. Nichtsdestoweniger können bei nicht-idealen Sinus-Signalquellen auch Harmonische auftreten, welche zwar deutlich schwächer als der Beitrag bei der Grundfrequenz sind, aber zu einem Tastgradfehler führen. Gegentakt- und Gleichtaktanteil der Signalquelle durchlaufen auf dem Weg zum SS über z. B. externe TMLs, Bonddrähte, interne TMLs sowie EFs unterschiedliche, frequenzabhängige Übertragungsfunktionen  $H_e^-(j\omega)$  für den Gegentakt und  $H_e^+(j\omega)$  für den Gleichtakt. Die Spannungen am Eingang des SS ergeben sich daher zu

$${}^nU_e^- := |{}^nU_e^-| e^{j\varphi_{e,n}^-} = H_e^-(jn\omega_{\text{clk}}) {}^nU_q^-, \quad (5.17)$$

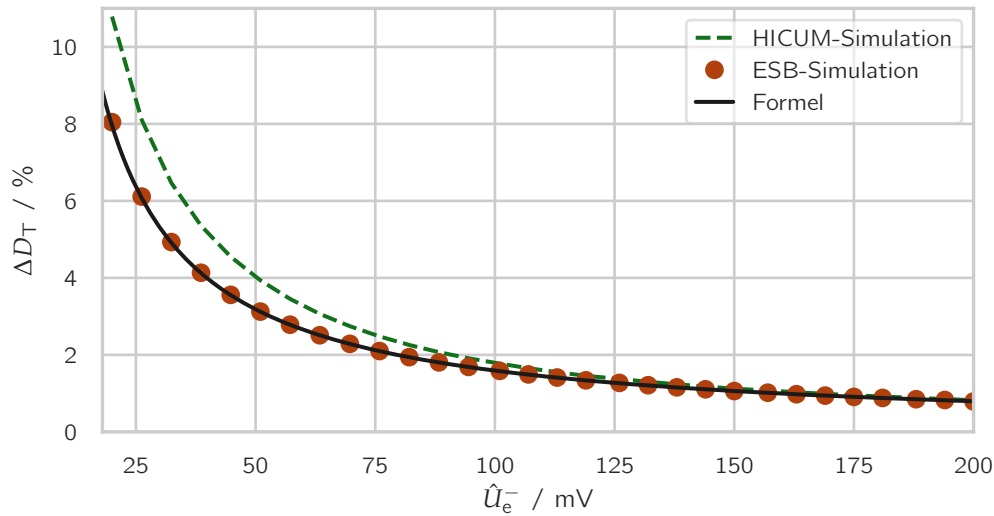
$${}^nU_e^+ := |{}^nU_e^+| e^{j\varphi_{e,n}^+} = H_e^+(jn\omega_{\text{clk}}) {}^nU_q^+. \quad (5.18)$$

Wegen unterschiedlicher Übertragungsfunktionen  $H_e^-(jn\omega_{\text{clk}})$  und  $H_e^+(jn\omega_{\text{clk}})$  weisen  ${}^nU_e^-$  und  ${}^nU_e^+$  selbst im Fall einer single-ended-Signalquelle mit  ${}^nU_q^+ = {}^nU_q^-$  im Allgemeinen unterschiedliche Beträge  $|{}^nU_e^-|$ ,  $|{}^nU_e^+|$  und vor allem unterschiedliche Phasen  $\varphi_{e,n}^-$ ,  $\varphi_{e,n}^+$  auf. Für den am Eingang und damit auch am Ausgang des SS auftretenden Tastgradfehler resultiert aus der Modellgleichung 5.9 mit der Herleitung und Erweiterung nach Anhang C.4 die problemangepasste Form

$$\Delta D_T = \Delta D_e = \frac{\sum_{n=-\infty}^{\infty} |{}^{2n}U_e^-| (-1)^n e^{j(\varphi_{e,2n}^- - 2n\varphi_{e,1}^-)}}{2\pi |{}^1U_e^-|}. \quad (5.19)$$

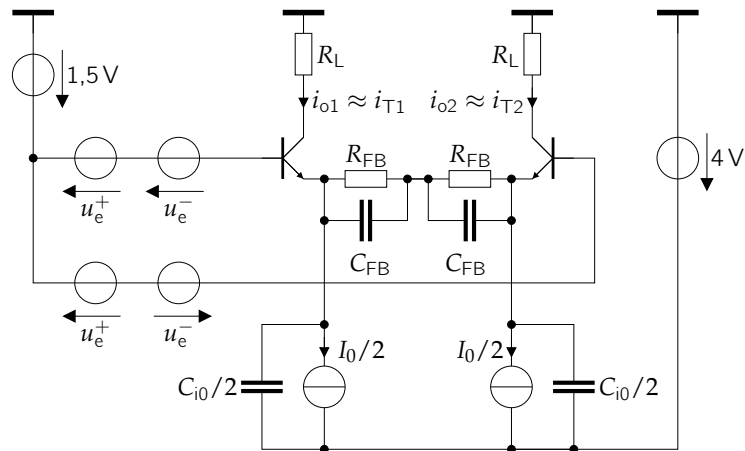
Zum Tastgradfehler  $\Delta D_T$  tragen folglich neben dem Gleichanteil  ${}^0U_e^-$  (schwache) gerade Harmonische des Eingangssignals  ${}^{2n}U_e^-$  bei. Hierbei ist insbesondere die Phasenbeziehung zwischen den Harmonischen und der Komponente bei der Grundfrequenz entscheidend. Für die Messungen in dieser Arbeit wird ein hochwertiger Signalgenerator (Keysight E8257D) verwendet, welcher eine zweite Harmonische von  $-50$  dBc gegenüber dem Trägersignal aufweist [79]. Damit ergibt sich ein vernachlässigbarer Tastgradfehler von maximal  $\Delta D_T = 0,05\%$ . Bei Verwendung eines günstigeren Signalgenerators oder eines integrierten Oszillators kann das Betrachten der geraden Harmonischen des Taktsignals hingegen von Bedeutung für den Tastgradfehler sein.

Der gegenüber den geraden Harmonischen dominierende Einfluss des Eingangssignals auf den Tastgradfehler stellt üblicherweise der Gleichanteil  ${}^0U_e^-$  dar. Dieser resultiert bei der in Abbildung 5.2 gezeigten Eingangsbeschaltung beispielsweise aus Asymmetrien der Abschlusswiderstände außerhalb oder innerhalb der integrierten Schaltung, aus Abweichungen (Mismatch) zwischen den Bauelementen innerhalb der Schaltung oder aus unterschiedlichen Masse-Bezugspotenzialen zwischen dem single-ended Signalgenerator an dem einen und dem Abschluss an dem anderen differentiellen Eingang der Schaltung.



**Abbildung 5.7:** Simulation des Tastgradfehlers am Ausgang des mit einem sinusförmigen Takt-signal angesteuerten SS aus Abbildung 5.8 mit Parametersatz 1 aus Tabelle 5.1 und Vergleich mit der Berechnung nach Gleichung 5.19.

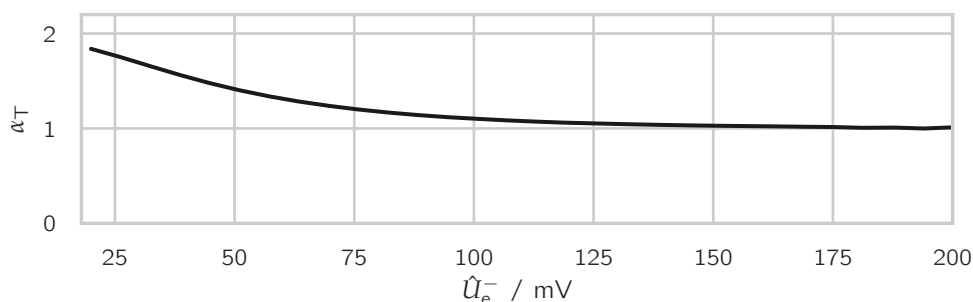
All diese Effekte führen zu einem Tastgradfehler  $\Delta D_T$ , welcher gemäß Gleichung 5.19 umgekehrt proportional zur Amplitude  $\hat{U}_e^- := 2|{}^1U_e^-|$  des Taktsignals bei der Grundfrequenz ist. Dieser Zusammenhang ist in Abbildung 5.7 in Form einer Auswertung von Gleichung 5.19 für den Tastgradfehler am Ausgang eines mit einem reinen Sinussignal mit variiertem Gegentakt-Eingangsamplitude  $\hat{U}_e^-$  und einem konstanten Gleichanteil  ${}^0U_e^-$  angesteuerten SS verdeutlicht. Die Auswertung der Gleichung wird mit einer Schaltungssimulation verglichen, deren zugrunde liegender Schaltplan in Abbildung 5.8 dargestellt ist. Für die Transistoren wird entweder das ESB aus Abbildung 3.1 oder ein HICUM-Modell mit für aktuelle Hochgeschwindigkeitstechnologien typischen Parametern verwendet. Die für die jeweiligen Simulationen verwendeten Parameter sind in Tabelle 5.1 aufgeführt. Die Berechnung nach Gleichung 5.19 und die Simulation mit dem ESB-Modell zeigen eine gute Übereinstimmung eines mit steigender Gegentakt-Eingangsamplitude  $\hat{U}_e^-$  fallenden Tastgradfehlers. Der Vergleich in Abbildung 5.7 mit einer HICUM-Simulation zeigt ein qualitativ gleiches Verhalten, jedoch weist die Simulation bei niedrigen Gegentakt-Eingangsamplituden höhere Tastgradfehler als die Auswertung von Gleichung 5.19 auf. Der Hauptgrund für diese Abweichung liegt in einer asymmetrischen Eigenerwärmung der Transistoren, welche in Form einer Mitkopplung einen vorhandenen Tastgradfehler weiter erhöht. Das in diesem Kapitel vorgestellte Modell kann prinzipiell um eine Berücksichtigung der Eigenerwärmung der Transistoren erweitert werden. Allerdings resultiert dabei ein Gleichungssystem, welches nur numerisch lösbar ist und welches sich einer anschaulichen Interpretation verschließt, ohne, dass sich an den Schlussfolgerungen in Abschnitt 5.4 etwas ändert. Aus diesem Grund wird auf die Berücksichtigung der Eigenerwärmung verzichtet.



**Abbildung 5.8:** Schaltplan für die Simulationen im vorliegenden Kapitel mit sinusförmigem Takt-Eingangssignal des SS. Die jeweiligen Parametersätze sind in Tabelle 5.1 aufgeführt. Für die Eingangssignale gilt  $u_e^- = {}^0\hat{U}_e^- + \hat{U}_e^- \cos(2\pi f_{\text{clk}} + \varphi_{e,1}^-)$  und  $u_e^+ = \hat{U}_e^+ \cos(2\pi f_{\text{clk}} + \varphi_{e,1}^+)$ .

**Tabelle 5.1:** Schaltungsparameter der im vorliegenden Kapitel durchgeführten Simulationen bezogen auf den Schaltplan in Abbildung 5.8. Es gilt außerdem jeweils  $\varphi_{e,1}^- = 0$ ,  $I_0 = 10 \text{ mA}$ ,  $U_T = 30 \text{ mV}$ ,  $R_L = 0$ . Bei Verwendung des ESB-Transistor-Modells gilt  $\tau_F = 315 \text{ fs}$ ,  $C_{i0} = 15 \text{ fF}$ ,  $C_{BE0} = 14 \text{ fF}$ ,  $C_{CB0} = 10 \text{ fF}$ ,  $C_{CS0} = 6 \text{ fF}$ . Bei Verwendung des HICUM-Modells gilt  $l_E = 5 \mu\text{m}$ .

Nr.	$\hat{U}_e^-$	$\hat{U}_E^+$	${}^0U_e^-$	$f_{\text{clk}}$	$\varphi_{e,1}^+$	$\alpha_T$	$R_{\text{FB}} \parallel C_{\text{FB}}$	Ergebnis
1	variirt	0	5 mV	50 GHz	0	–	$0 \Omega \parallel 0 \text{ F}$	Abb. 5.7, Abb. 5.9
2	100 mV	100 mV	0	20 GHz, 100 GHz	variirt	–	$0 \Omega \parallel 0 \text{ F}$	Abb. 5.11
3	variirt	$= \hat{U}_e^-$	1 mV	50 GHz	$-45^\circ,$ $+90^\circ$	–	$0 \Omega \parallel 0 \text{ F}$	Abb. 5.15
4	variirt	0	5 mV	50 GHz	0	1,4	$50 \Omega \parallel 1 \text{ pF}$	Abb. 5.18
5	variirt	0	5 mV	50 GHz	0	1,4	$0 \Omega \parallel 0 \text{ F}$	Abb. 5.18
6	100 mV	100 mV	0	50 GHz	variirt	1	$50 \Omega \parallel 1 \text{ pF}$	Abb. 5.19



**Abbildung 5.9:** Simulation des Faktors  $\alpha_T$  als Verhältnis  ${}^0I_T^- / (\pi |{}^1I_T^-|) / \Delta D_T$  am Ausgang des mit einem sinusförmigen Taktsignal angesteuerten SS aus Abbildung 5.8 mit Parametersatz 1 aus Tabelle 5.1. Für die Transistoren wird das ESB aus Abbildung 3.1 verwendet.

Der amplitudenbezogene Gleichanteil am Ausgang der SS-Stufe setzt sich gemäß Modellgleichung 5.16 aus der Addition eines zu  $\Delta D_T$  proportionalen und eines vom Gleichтакт-Eingangssignal  $\hat{U}_e^+$  abhängigen Terms zusammen. Im Sinne zweier Wirkungsfunktionen werden die Einflüsse der beiden Terme im Folgenden separat betrachtet.

Liegt kein Gleichтакт-Eingangssignal vor, d. h. ist  ${}^nU_e^+ = 0$ , folgt aus Gleichung 5.16

$$\left. \frac{{}^0I_T^-}{\pi |{}^1I_T^-|} \right|_{{}^nU_e^+=0} \approx \alpha_T \Delta D_T. \quad (5.20)$$

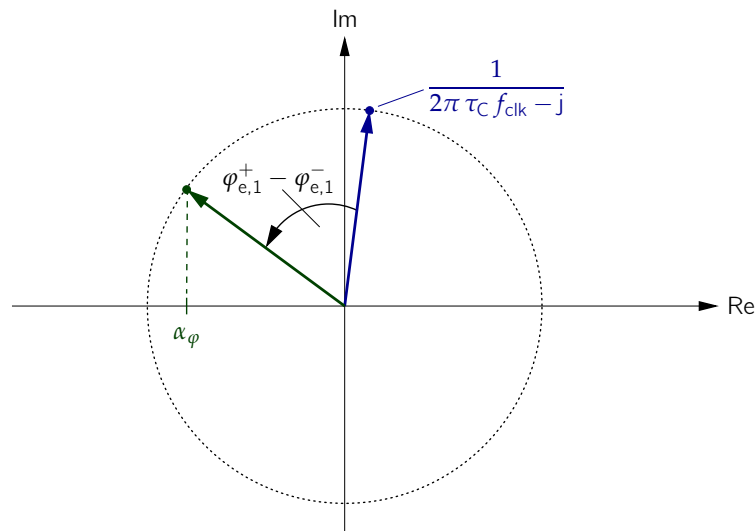
Der amplitudenbezogene Gleichanteil am Ausgang der SS-Stufe ist folglich direkt proportional zum Tastgradfehler  $\Delta D_T$ . Der Proportionalitätsfaktor  $\alpha_T$  liegt gemäß Gleichung 5.11 abhängig von der Signalform des Gegentakt-Transferstroms des SS zwischen 2 (Sinus) und 1 (Rechteck). Auch wenn das Eingangssignal des SS sinusförmig ist, kann und wird der Gegentakt-Transferstrom bei genügend großer Eingangsamplitude rechteckförmig sein. Dies gilt selbst bei hohen Taktfrequenzen, da die Bandbreitenbegrenzung der Transistoren bei der gewählten Modellierung nach Abschnitt 3.3 im Übergang zwischen Transferstrom und Ausgangsstrom und nicht im Transferstrom selbst abgebildet ist. In Abbildung 5.9 sind Simulationsergebnisse für den Faktor  $\alpha_T$  für verschiedene Gegentakt-Eingangsamplituden  $\hat{U}_e^- = 2|{}^1U_e^-|$  gezeigt. Hierfür wird die Schaltung aus Abbildung 5.8 mithilfe des ESB-Transistormodells aus Abbildung 3.4 simuliert und der Faktor  $\alpha_T$  gemäß Gleichung 5.20 durch Bilden des Verhältnisses von amplitudenbezogenem Gleichanteil zu Tastgradfehler  $\Delta D_T$  bestimmt. Für kleine Gegentakt-Eingangsamplituden  $\hat{U}_e^-$  ist die Übertragungskennlinie des SS näherungsweise linear und der Gegentakt-Transferstrom dadurch sinusförmig, sodass  $\alpha_T \approx 2$ . Mit steigender Gegentakt-Eingangsamplitude nähert sich der Gegentakt-Transferstrom des SS einem Rechtecksignal an und  $\alpha_T$  strebt in Übereinstimmung mit dem Modell gegen 1.

Die zweite Wirkungsfunktion

$$\frac{{}^0I_T^-}{\pi |{}^1I_T^-|} \Big|_{\Delta D_T=0} \approx \frac{4 C_{i0} f_{\text{clk}} |{}^1U_e^+|}{I_0} \underbrace{\text{Re} \left\{ \frac{e^{j(\varphi_{e,1}^+ - \varphi_{e,1}^-)}}{2\pi \tau_C f_{\text{clk}} - j} \right\}}_{:=\alpha_\varphi} \quad (5.21)$$

für ein SS-Eingangssignal ohne Tastgradfehler  $\Delta D_T$  und mit einem rein sinusförmigen Gleichtaktanteil bei der Grundfrequenz, entsprechend des Falls einer single-ended Ansteuerung, stellt eine vereinfachte Form von Gleichung 5.16 dar. Der durch das Gleichtakt-Eingangssignal verursachte amplitudenbezogene Gleichanteil resultiert aus einer Mischung des Gegentakt-Eingangssignals mit dem durch die Kapazität  $C_{i0}$  aufgrund des Gleichtakt-Eingangssignals fließenden Strom (vgl. Abbildung 3.4). Der amplitudenbezogene Gleichanteil ist gemäß Gleichung 5.21 proportional zur Amplitude  $\hat{U}_e^+ = 2|{}^1U_e^+|$  des Gleichtakt-Eingangssignals und skaliert mit der Kapazität  $C_{i0}$ , der Taktfrequenz  $f_{\text{clk}}$  sowie dem Inversen des Betriebsstroms  $I_0$ . Der zugrunde liegende qualitative Zusammenhang wurde bereits in [13] beschrieben und in [77] quantitativ analysiert, wobei die Analyse in [77] den Einfluss der Phase des Gleichtakt-Eingangssignals nicht betrachtet.

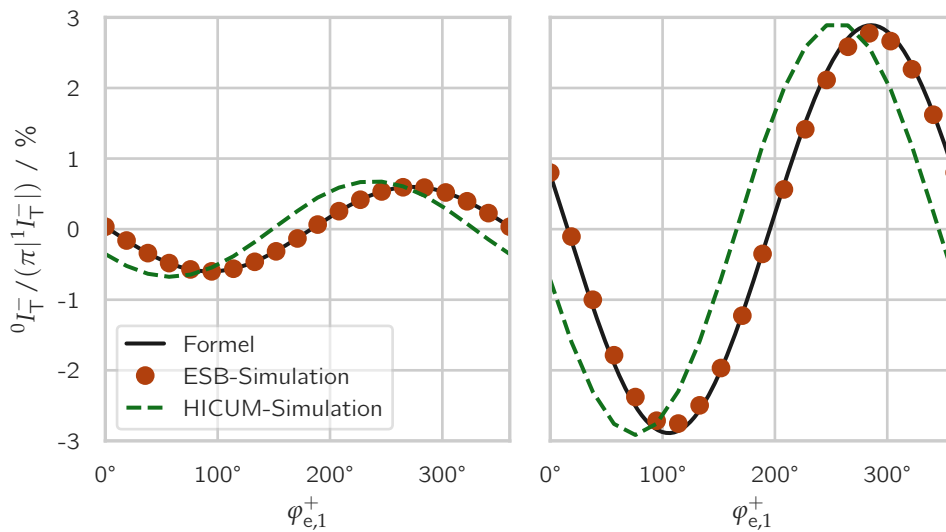
Die Phase des Gleichtakt-Eingangssignals geht über den in Gleichung 5.21 als  $\alpha_\varphi$  definierten Faktor ein und hat einen signifikanten Einfluss auf den amplitudenbezogenen Gleichanteil. Die Bestimmung von  $\alpha_\varphi$  ist in Abbildung 5.10 grafisch veranschaulicht. Der Term  $1/(2\pi \tau_C f_{\text{clk}} - j)$  bildet einen komplexen Zeiger, welcher abhängig von dem Produkt aus Taktfrequenz  $f_{\text{clk}}$  und der modifizierten Transitzeit  $\tau_C$  ist. Eine Änderung einer der beiden Größen kann folglich durch die inverse Änderung der anderen Größe kompensiert werden, wobei es sich bei  $f_{\text{clk}}$  um eine bei breitbandigen Schaltungen variable Größe und bei  $\tau_C$  um eine nach festgelegter Dimensionierung konstante Größe handelt. Die modifizierte Transitzeit hängt gemäß Gleichung 3.14 von der Kapazität  $C_E$ , dem Betriebsstrom  $I_0$ , der Temperaturspannung  $U_T$  und der Transitzeit  $\tau_F$  des SS ab und wird bei typischen Parameterwerten (z. B. jenen aus Tabelle 5.1) von der für eine gegebene Halbleiter-Technologie näherungsweise konstanten Transitzeit  $\tau_F$  dominiert. Der Term  $1/(2\pi \tau_C f_{\text{clk}} - j)$  befindet sich stets im ersten Quadranten, startet für niedrige Taktfrequenzen und Kapazitäten auf der positiven imaginären Achse bei  $+j$  und läuft mit steigender Taktfrequenz bzw. zunehmenden Kapazitäten in Richtung reelle Achse, wobei seine Länge stetig abnimmt. Für typische Zeitkonstanten  $\tau_C$  bei in der verwendeten Transistortechnologie realisierten Schaltungen wird der Punkt, bei dem der Realteil ebenso groß wie der Imaginärteil ist, erst bei  $f_{\text{clk}} \approx 250$  GHz erreicht, sodass der Zeiger für typische Taktfrequenzen bis circa 100 GHz als in erster Näherung nahe der imaginären Achse angesehen werden kann, wie in Abbildung 5.10 beispielhaft dargestellt. Zur Bestimmung von  $\alpha_\varphi$  und damit des Faktors des amplitudenbezogenen Gleichanteils nach Gleichung 5.21 wird, wie in Abbildung 5.10 gezeigt, die Phase des zu  $1/(2\pi \tau_C f_{\text{clk}} - j)$  gehörenden Zeigers um die Phasendifferenz  $(\varphi_{e,1}^+ - \varphi_{e,1}^-)$  zwischen Gleichtakt- und Gegentakt-Eingangssignal erhöht und vom resultierenden Zeiger der Realteil gebildet. Liegt der durch  $1/(2\pi \tau_C f_{\text{clk}} - j)$  gebildete Zeiger, wie bei typischen Anwendungen, in der Nähe der imaginären Achse, sorgt so erst eine Phasenverschiebung zwischen Gleichtakt-



**Abbildung 5.10:** Grafische Bestimmung des Faktors  $\alpha_\varphi$  in Gleichung 5.21.

und Gegentakt-Eingangssignal für einen nennenswerten Realteil  $\alpha_\varphi$  und damit einen nennenswerten amplitudenbezogenen Gleichanteil nach Gleichung 5.21. Bei einer single-ended Ansteuerung einer SS-Stufe sind Gleichtakt- und Gegentakt-Eingangssignal an der Signalquelle in Phase, jedoch treten aufgrund der unterschiedlichen Frequenzgänge von Gleichtakt- und Gegentakt-Übertragungsfunktion  $H_e^+(j\omega)$  und  $H_e^-(j\omega)$  auf dem Weg zum SS Phasendifferenzen auf, welche frequenzabhängig sind und insbesondere nahe der Grenzfrequenzen der Übertragungsfunktionen deutlich zu Tage treten. In Abbildung 2.5 ist an einem Beispiel demonstriert, dass alleine die Bonddraht-Schnittstelle bereits zu frequenzabhängigen Phasendifferenzen von im Beispiel bis zu  $25^\circ$  führen kann. Hinzu kommen die Phasendifferenzen der übrigen Aufbautechnik (TMLs, Konnektoren, ...). Auf diese Weise ergibt sich eine starke Frequenzabhängigkeit des durch das Gleichtakt-Eingangssignal bedingten amplitudenbezogenen Gleichanteils. Zusätzlich können Einkopplungen von Signalanteilen in die Spannungsversorgung und Gegentakt-Gleichtakt-Konversionen zu einem Gleichtakt-Eingangssignal führen, welches sowohl bezüglich seiner Amplitude als auch seiner Phase schwer vorherzusagen ist [13, 21].

In Abbildung 5.11 sind für die Beispielschaltung aus Abbildung 5.8 der simulierte und der mit dem vorgestellten analytischen Modell berechnete amplitudenbezogene Gleichanteil für ein Tastgradfehler-freies, sinusförmiges Eingangssignal mit von null verschiedenem Gleichtakt-Anteil gezeigt. Deutlich zu erkennen ist die Abhängigkeit des amplitudenbezogenen Gleichanteils von der Phase  $\varphi_{e,1}^+$  des Gleichtakt-Eingangssignals. Je nach Phase kommt es zu einem positiven, negativen oder einem verschwindenden amplitudenbezogenen Gleichanteil. Der Vergleich für zwei verschiedene Taktfrequenzen macht deutlich, dass der amplitudenbezogene Gleichanteil bei der hohen Taktfrequenz von 100 GHz entsprechend der Skalierung mit  $f_{\text{clk}}$  nach Gleichung 5.21 deutlich größer als bei der mittleren Taktfrequenz von 20 GHz ausfällt. Gerade bei hohen Taktfrequenzen erweist sich



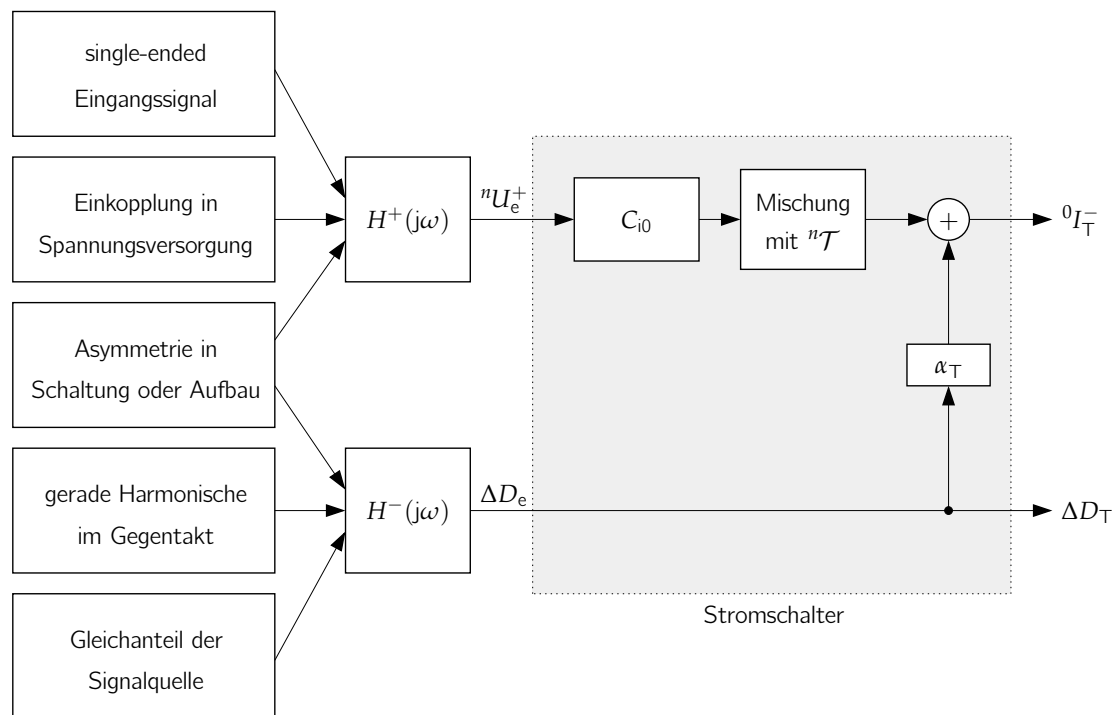
**Abbildung 5.11:** Simulation des amplitudenbezogenen Gleichanteils  ${}^0I_T^- / (\pi |I_T^-|)$  am Ausgang des mit einem sinusförmigen Taktsignal angesteuerten SS aus Abbildung 5.8 mit Parametersatz 2 aus Tabelle 5.1 und Vergleich mit Berechnung nach Gleichung 5.21. Links:  $f_{\text{clk}} = 20 \text{ GHz}$ ; rechts:  $f_{\text{clk}} = 100 \text{ GHz}$ .

ein amplitudenbezogener Gleichanteil zudem als besonders problematisch, da er gemäß der Modellgleichung 5.9 einen deutlichen Einfluss auf den Tastgradfehler einer Folge-SS-Stufe hat.

Der Vergleich in Abbildung 5.11 von Simulation mit ESB-Modell und Berechnung gemäß Gleichung 5.21 zeigt eine sehr gute Übereinstimmung. Im Vergleich zum HICUM-Modell zeigen sich qualitativ vergleichbare Verläufe, wobei eine zusätzliche Phasenverschiebung aufgrund der im HICUM-Modell berücksichtigten Bahnwiderstände, Eigenerwärmung und Zusatzphase der Transistoren auftritt. In Anbetracht der Tatsache, dass die Phasenbeziehung zwischen Gleich- und Gegentaktsignal aufgrund des Einflusses zahlreicher parasitärer Elemente der Schaltung und der Aufbautechnik ohnehin schwierig zu kontrollieren und vorherzusagen ist, stellt die abweichende Phasenverschiebung des HICUM-Modells im Vergleich zu den vorgestellten Modellgleichungen keine nennenswerte Einschränkung dar.

Die im vorliegenden Abschnitt aufgezeigten Ursachen und Zusammenhänge zum Entstehen von Tastgradfehler und Gleichanteil am Ausgang einer mit einem (externen) Sinussignal angesteuerten SS-Stufe sind in Abbildung 5.12 zusammengefasst. Aufgrund verschiedener Arten von Asymmetrien (single-ended Ansteuerung, Bonddrähte, unterschiedliche Bezugspotenziale, ...) oder Nichtidealitäten (Einkopplungen in die Spannungsversorgung, gerade Harmonische des Quellsignals, ...) ist am Ausgang der SS-Stufe sowohl mit einem Tastgradfehler  $\Delta D_T$  als auch mit einem durch ein Gleichtakt-Eingangssignal bedingten Gleichanteil  ${}^0I_T^-$  zu rechnen. In Abschnitt 5.4 sind auf den gezeigten Zusammenhängen beruhende Schlussfolgerungen zur Dimensionierung und Schaltungskonzepte





**Abbildung 5.12:** Einflussgrößen auf und Zusammenhänge zwischen Tastgradfehler und Gleichanteil an einer mit einem Sinussignal angesteuerten SS-Stufe.

zu finden, um den Tastgradfehler und den Gleichanteil an der SS-Stufe so gering wie möglich zu bekommen. Dennoch wird es sich nicht vermeiden lassen, dass ein gewisser Tastgradfehler verbleibt. Daher ist es zusätzlich wichtig, dass Folge-SS-Stufen in einer Kaskade eine geringe Tastgradfehler-Verstärkung aufweisen.

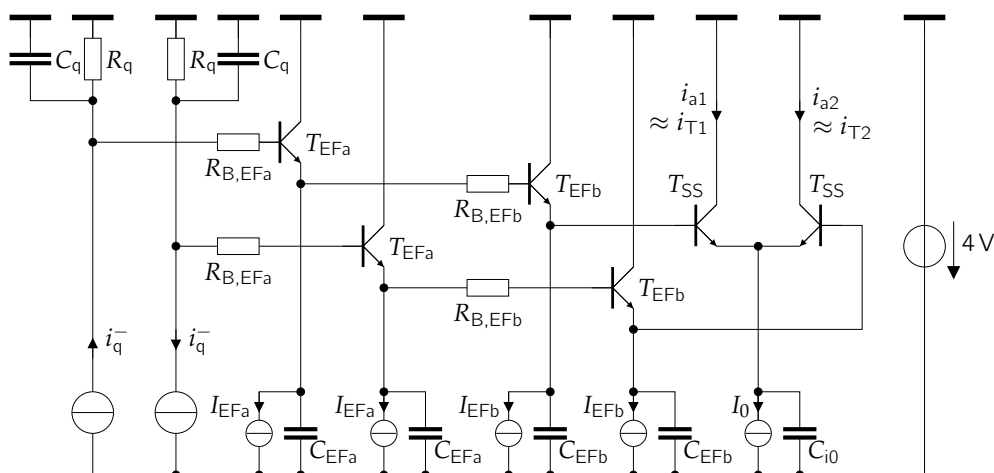
### 5.3.2 Tastgradfehler-Verstärkung von Stromschalter-Stufen

Im Gegensatz zur ersten SS-Stufe stammt das Eingangssignal von Folge-SS-Stufen einer Kaskade jeweils von einem vorgeschalteten SS. Sofern dieser SS nicht selbst ein nennenswertes Gleichtakt-Eingangssignal bei ungeraden Harmonischen der Taktfrequenz an seinem Eingang erfährt, tritt auch an seinem Ausgang kein nennenswertes Gleichtakt-Signal bei ungeraden Harmonischen, sondern hauptsächlich bei geraden Harmonischen auf (vgl. Kapitel 3). Der amplitudenbezogene Gleichanteil am Ausgang der kaskadierten SS-Stufen gemäß Gleichung 5.16 besteht dann lediglich aus dem mit  $\alpha_T$  zum Tastgradfehler  $\Delta D_T$  proportionalen Term. Bei dem zugrunde liegenden Transistor-ESB aus Kapitel 3 ist die Bandbreitenbegrenzung des Transistors in der Übertragungsfunktion zwischen Transferstrom und Ausgangsstrom abgebildet, wohingegen der Transferstrom selbst keine nennenswerte Bandbreitenbegrenzung erfährt. Der Transferstrom kann daher selbst bei hohen Taktfrequenzen noch als näherungsweise rechteckförmig angesehen

werden, solange das Eingangssignal des SS eine ausreichend hohe Amplitude aufweist, um den SS im begrenzenden Bereich seiner statischen Kennlinie zu betreiben. Folglich ist der signalabhängige Faktor  $\alpha_T \approx 1$  (vgl. Gleichung 5.12). Die Bandbreiten-begrenzende Übertragungsfunktion zwischen Transferstrom und Ausgangsstrom der SS-Transistoren wiederum kann als Teil der gesamten Übertragungsfunktion  $H^\pm(j\omega)$  zwischen den SSs der kaskadierten SS-Stufen berücksichtigt werden. Für eine betrachtete, von vorausgehenden SS-Stufen angesteuerte SS-Stufe vereinfacht sich die Modellgleichung 5.9 unter den genannten Annahmen zu der aus [78] stammenden ursprünglichen Form

$$\Delta D_T \approx \Delta D_q \frac{\sum_{n=-\infty}^{\infty} H^-(j2n\omega_{\text{clk}}) e^{j2n\omega_{\text{clk}}t_H}}{\sum_{n=-\infty}^{\infty} H^-(j(2n+1)\omega_{\text{clk}}) e^{j(2n+1)\omega_{\text{clk}}t_H}} \quad (5.22)$$

und weist somit eine direkte Proportionalität zwischen dem Tastgradfehler  $\Delta D_q$  am Eingang und  $\Delta D_T$  am Ausgang der SS-Stufe auf. Der Proportionalitätsfaktor kann als Tastgradfehler-Verstärkung interpretiert werden. Wichtig für einen geringen Tastgradfehler am Ausgang einer Kaskade von SS-Stufen ist nicht nur ein geringer Tastgradfehler am Ausgang der ersten SS-Stufe (vgl. Abschnitt 5.3.1), sondern insbesondere eine geringe Tastgradfehler-Verstärkung der Folge-SS-Stufen. In der Anwendung von Gleichung 5.22 in [78] ist  $H^-(j\omega)$  eine passive, monoton über der Frequenz abfallende Übertragungsfunktion eines Übertragungskanals, weshalb es möglich ist, die Beiträge von  $H^-(j\omega)$  bei höheren Harmonischen von  $f_{\text{clk}}$  in den Summen in Gleichung 5.22 zu vernachlässigen. Bei einer SS-Stufe beschreibt  $H^-(j\omega)$  hingegen die Übertragungsfunktion zwischen dem Ausgang des SS der vorgeschalteten SS-Stufe und dem Eingang des SS der betrachteten SS-Stufe (in Abbildung 5.2 als  $H_{\text{casc}}^-(j\omega)$  bezeichnet). Die Übertragungsfunktion beinhaltet damit die Frequenzgänge von z. B. BS, TML und EFs und weist ein aktives, nicht-monotones Verhalten über der Frequenz auf, weshalb in Gleichung 5.22 auch die Beiträge von  $H^-(j\omega)$  bei höheren Harmonischen von  $f_{\text{clk}}$  berücksichtigt werden müssen. Häufig werden insbesondere die EFs derart dimensioniert, dass sie eine Resonanzüberhöhung bei einer Frequenz  $f_{\text{peak}}$  nahe der Grenzfrequenz der Schaltung erzeugen, um damit die Grenzfrequenz der SS-Stufe zu erhöhen [14, 15, 50]. Der frequenzabhängige Verlauf von  $H^-(j\omega)$  mit einer Überhöhung bei  $f_{\text{peak}}$  bildet sich unmittelbar in einer Frequenzabhängigkeit der Tastgradfehler-Verstärkung  $\Delta D_T/\Delta D_q$  ab. Dieser Zusammenhang ist erstmalig in der im Zuge dieser Arbeit entstandenen Veröffentlichung [33] beschrieben worden und wird im Folgenden anhand der Beispielschaltung in Abbildung 5.13 mit den zugehörigen Parametern in Tabelle 5.2 erläutert. Hier sorgen zwei kaskadierte EF-Paare für eine Resonanzüberhöhung der Übertragungsfunktion  $H^-(j\omega)$  zwischen den Signalquellen  $i_q^-(t)$  und den Eingängen des SS der betrachteten SS-Stufe bei einer Frequenz von  $f_{\text{peak}} \approx 100$  GHz. Der simulierte (Kleinsignal-)Verlauf von  $H^-(j\omega)$  ist in Abbildung 5.14a dargestellt. Für die Simulation wird als Transistormodell das ESB aus Abbildung 3.4 verwendet. Liegt die Taktfrequenz im Bereich von  $f_{\text{peak}}$ , trägt der dort hohe Wert von  $H^-(j\omega)$  zur Summe der ungeraden Harmonischen im Nenner von Gleichung 5.22 bei und sorgt damit für eine geringe Tastgradfehler-Verstärkung. Die Resonanzüberhöhung von  $H^-(j\omega)$  wirkt sich



**Abbildung 5.13:** Beispielschaltung zur Veranschaulichung einer durch eine EF-Resonanzüberhöhung bedingte frequenzabhängige Tastgradfehler-Verstärkung. Die zugehörigen Bauelementparameter sind in Tabelle 5.2 aufgeführt.

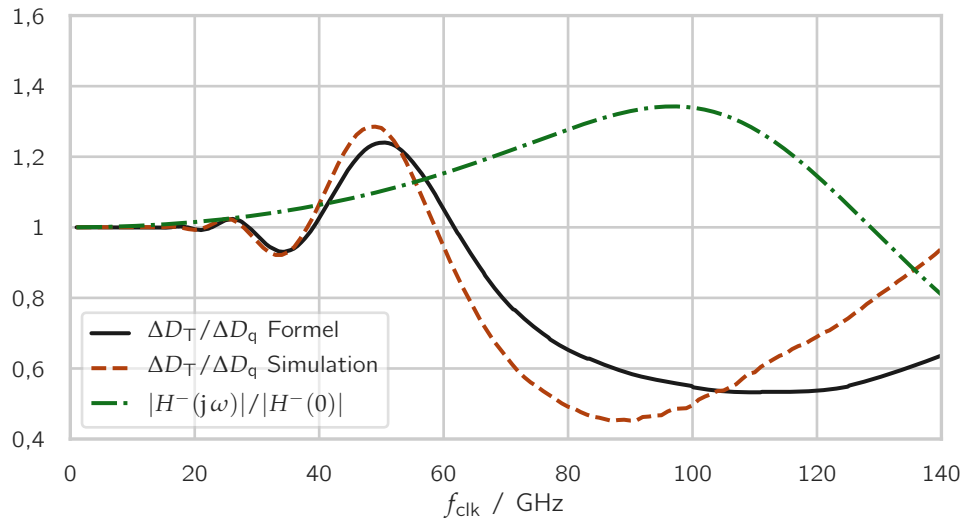
**Tabelle 5.2:** Bauelementparameter für die Simulation der Schaltung in Abbildung 5.13.

(a) Transistorparameter für das ESB-Modell.					(b) Transistorparameter für das HICUM-Modell.		
	$R_{B,EFa/b}$	$\tau_F$	$C_{BE0}$	$C_{CB0}$	$C_{CS0}$	$R_{B,EFa/b}$	$l_E$
$T_{EFa}$	50 $\Omega$	315 fs	6 fF	4 fF	2 fF	$T_{EFa}$	0 $\mu\text{m}$
$T_{EFb}$	20 $\Omega$	315 fs	14 fF	10 fF	5 fF	$T_{EFb}$	5 $\mu\text{m}$
$T_{SS}$	–	315 fs	14 fF	10 fF	5 fF	$T_{SS}$	5 $\mu\text{m}$

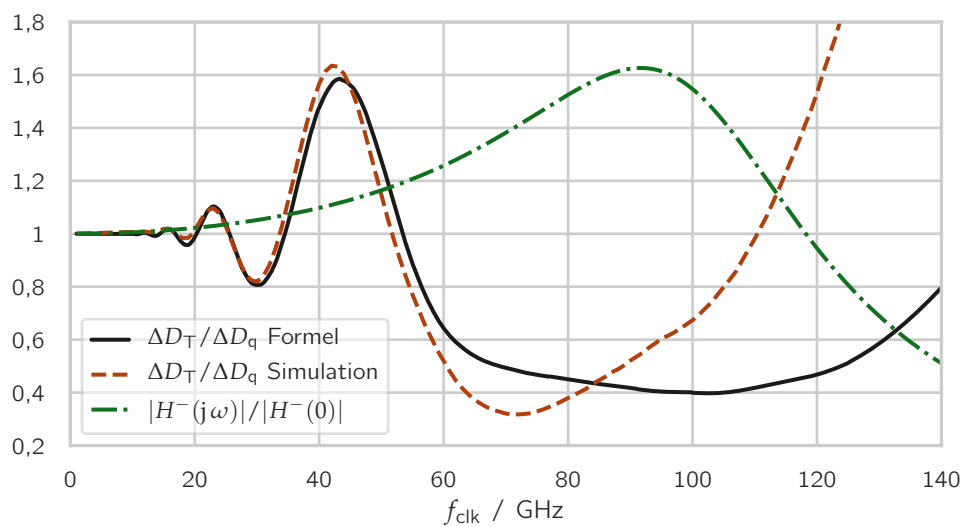
  

(c) Gemeinsame Parameter.							
$R_q$	$C_q$	$I_{EFa}$	$C_{EFa}$	$I_{EFb}$	$C_{EFb}$	$I_0$	$C_{i0}$
100 $\Omega$	5 fF	2 mA	8 fF	10 mA	20 fF	10 mA	15 fF

folglich nicht nur positiv auf die Grenzfrequenz der SS-Stufe aus, sondern auch auf die Tastgradfehler-Verstärkung im Bereich der Resonanzüberhöhung. Liegt die Taktfrequenz  $f_{\text{clk}}$  hingegen bei der Hälfte der Resonanzüberhöhung-Frequenz  $f_{\text{peak}}$ , trägt der hohe Wert von  $H^-(j\omega)$  bei  $f_{\text{peak}}$  zur Summe der geraden Harmonischen von  $f_{\text{clk}}$  im Zähler von Gleichung 5.22 bei und erhöht somit die Tastgradfehler-Verstärkung. Dieses Verhalten bestätigt sich in Abbildung 5.14a bei der Berechnung der Tastgradfehler-Verstärkung  $\Delta D_T / \Delta D_q$  nach Gleichung 5.22 und einer dazu vergleichbaren (Großsignal-)Simulation mit dem ESB aus Abbildung 3.4 als Transistormodell. Hierfür wird die Schaltung aus Abbildung 5.13 mit einem idealen Rechtecksignal  $i_q^-(t)$  mit einem Tastgradfehler von  $\Delta D_q = 5\%$  und einer Amplitude bei der Grundfrequenz von  $\hat{I}_q^- = \frac{8}{\pi}$  mA angeregt. In



(a) ESB-Modell.



(b) HICUM-Modell.

**Abbildung 5.14:** Simulation und analytische Berechnung der aus einer frequenzabhängigen Übertragungsfunktion  $H^-(j\omega)$  folgenden frequenzabhängigen Tastgradfehler-Verstärkung  $\Delta D_T/\Delta D_q$ . Der zugehörige Schaltplan ist in Abbildung 5.13 abgebildet.

etwa bei der Frequenz der Resonanzüberhöhung  $f_{\text{peak}} \approx 100$  GHz ist die Tastgradfehler-Verstärkung deutlich kleiner als 1, bei in etwa der halben Frequenz 50 GHz zeigt sich hingegen eine Überhöhung der Tastgradfehler-Verstärkung über 1. Diese Überhöhung ist ein direktes Abbild der Resonanzüberhöhung von  $H^-(j\omega)$ . Sie führt dazu, dass ein Tastgradfehler am Eingang einer SS-Stufe verstärkt wird, was insbesondere bei einer Kaskade von SS-Stufen zu einem hohen Tastgradfehler am Ausgang der Kaskade führen kann. Im Extremfall wird der Tastgradfehler so weit verstärkt, dass das Taktsignal nicht mehr propagiert. Weitere Überhöhungen der Tastgradfehler-Verstärkung sind bei ganzzahligen Teilern von  $f_{\text{peak}}$  zu finden. Die Ausprägung ist dort allerdings schwächer, da zusätzlich zu dem die Überhöhung verursachenden Beitrag von  $H^-(j\omega)$  bei  $f_{\text{peak}}$  weitere Beiträge bei geraden Harmonischen von  $f_{\text{clk}}$  bis in etwa zur Grenzfrequenz von  $H^-(j\omega)$  zur Summe im Zähler von Gleichung 5.22 beitragen und so den relativen Anteil des Beitrags bei  $f_{\text{peak}}$  an der gesamten Summe abschwächen.

Der Vergleich in Abbildung 5.14a zwischen Berechnung der Tastgradfehler-Verstärkung  $\Delta D_{\text{T}}/\Delta D_{\text{q}}$  nach Gleichung 5.22 und Simulation mit dem Transistor-ESB aus Abbildung 3.4 zeigt ein qualitativ gut übereinstimmendes Verhalten. Quantitativ fällt eine leichte Abweichung in den Frequenzen der Maxima und Minima auf. Diese Abweichung resultiert daraus, dass die EFs kein rein lineares Verhalten zeigen, sodass die Modellannahme einer linearen Übertragungsfunktion  $H^-(j\omega)$  nur näherungsweise erfüllt ist.

In Abbildung 5.14b ist das Resultat einer vergleichbaren Simulation unter Verwendung von HICUM-Transistormodellen gezeigt. Aufgrund der zusätzlichen parasitären Elemente der Transistoren im Vergleich zum ESB-Modell weicht der (Kleinsignal-)Frequenzgang von  $H^-(j\omega)$  von jenem aus Abbildung 5.14a ab. Bei Verwendung des abweichenden Frequenzgangs zur Auswertung von Gleichung 5.22 stimmen auch hier die im Großsignal simulierten und berechneten Verläufe der Tastgradfehler-Verstärkung  $\Delta D_{\text{T}}/\Delta D_{\text{q}}$  im Bereich von niedrigen bis mittleren Frequenzen gut mit den Ergebnissen der Großsignal-Simulation überein. Bei hohen Frequenzen ergibt sich eine Abweichung, da die Übertragungsfunktion  $H^-(j\omega)$  dann nicht mehr als völlig linear angesehen werden kann.

Insgesamt lässt sich festhalten, dass eine Resonanzüberhöhung der Übertragungsfunktion  $H^-(j\omega)$ , beispielsweise durch EF, zwar zu einem geringeren Tastgradfehler nahe der Resonanzüberhöhung-Frequenz führt, aber zu einem vermehrten Tastgradfehler bei in etwa der halben Resonanzüberhöhung-Frequenz. Daher können gerade bei Hochgeschwindigkeitsschaltungen, welche üblicherweise stark von der Resonanzüberhöhung der Übertragungsfunktion Gebrauch machen, deutliche Tastgradfehler bei mittleren Taktfrequenzen beobachtet werden. Im folgenden Abschnitt werden basierend auf dieser Erkenntnis Schlussfolgerungen zur Dimensionierung und Schaltungskonzepte zur Verringerung der Tastgradfehler-Verstärkung vorgeschlagen.

## 5.4 Maßnahmen zur Verringerung von Tastgradfehlern und Gleichanteilen

Zur Verringerung von Tastgradfehlern und Gleichanteilen am Ausgang einer SS-Stufe und damit auch am Ausgang einer Kaskade derartiger Stufen gibt es zwei prinzipielle Herangehensweisen. Die eine besteht darin, bereits die Ursachen der Tastgradfehler bzw. Gleichanteile zu beseitigen und somit eine Entstehung von vorne herein zu unterbinden. Die andere beruht darauf, einen vorhandenen Tastgradfehler oder Gleichanteil durch geeignete Dimensionierungen und Schaltungskonzepte zu verringern bzw. deren Verstärkung in einer Kaskade von SS-Stufen zu minimieren. Da es in der Praxis nicht möglich ist, die Ursachen von Tastgradfehlern und Gleichanteilen vollständig zu beseitigen und auch das Verringern eines vorhandenen Tastgradfehlers bzw. Gleichanteils Grenzen unterliegt, empfiehlt es sich, eine Kombination beider Herangehensweisen einzusetzen, um ein optimales Ergebnis zu erzielen. Im Folgenden werden daher zunächst Maßnahmen besprochen, um die Entstehung von Tastgradfehlern und Gleichanteilen zu minimieren und anschließend Schaltungskonzepte vorgestellt zur Verringerung von vorhandenen Tastgradfehlern bzw. Gleichanteilen.

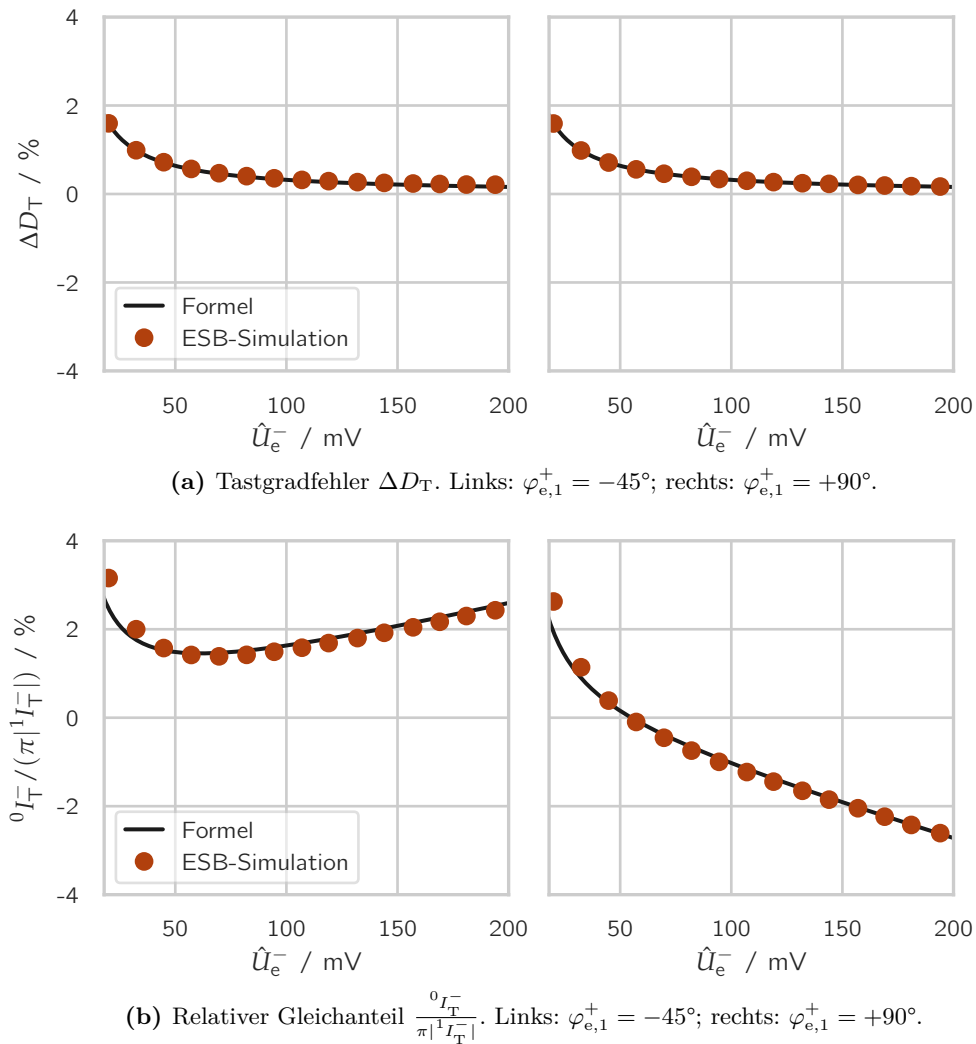
### 5.4.1 Maßnahmen zur Minimierung der Ursachen von Tastgradfehlern und Gleichanteilen

Die meisten Arten von Asymmetrien in einer Schaltung können je nach Stelle ihres Auftretens in Form eines äquivalenten Gleichanteils oder eines Gleichtaktsignals repräsentiert werden. Da sowohl ein Gleichtaktsignal als auch ein Gleichanteil am Eingang eines SS gemäß Gleichung 5.16 zu einem Gleichanteil an dessen Ausgang und einem damit verbundenen Tastgradfehler führen, gilt es, Asymmetrien soweit wie möglich zu vermeiden. Eine bereits nach dem Stand der Technik hierfür verwendete Maßnahme ist der spiegelsymmetrische Aufbau der einzelnen Schaltungszellen entlang einer Symmetrieachse [13]. Nichtsdestoweniger lassen sich aufgrund von Prozesstoleranzen (leichte) Asymmetrien nie ganz vermeiden. Dies ist insbesondere bei SS-Stufen problematisch, die nahe ihrer Grenzfrequenz oder mit einem externen sinusförmigen Taktsignal betrieben werden, da hier der Einfluss von Gleichanteil und Gleichtaktsignal auf den Tastgradfehler am stärksten ist (siehe Abschnitt 5.2.1). Die größte Asymmetrie tritt üblicherweise am Eingang einer extern gespeisten, ersten SS-Stufe einer Kaskade auf, da bei der externen Beschaltung ein symmetrischer Aufbau deutlich schwieriger zu erreichen ist als innerhalb der integrierten Schaltung. Potenzielle Asymmetrien reichen hierbei von unterschiedlich langen Bonddrähten über unterschiedlich lange Kabel bis hin zu einer single-ended Ansteuerung oder einer Masseverschiebung der Bezugspotenziale. Es lohnt sich daher, insbesondere den Tastgradfehler an der ersten SS-Stufe zu minimieren.

Bei einer sinusförmig angesteuerten ersten SS-Stufe gelten die in Abschnitt 5.3.1 aufgezeigten und veranschaulichten Zusammenhänge. Um den Tastgradfehler am Ausgang

der Stufe zu verringern, sollte die Gegentakt-Eingangsamplitude  $\hat{U}_e^- = 2 |{}^1U_e^-|$  möglichst groß sein, da sie in den Nenner von Gleichung 5.19 eingeht und somit den Tastgradfehler  $\Delta D_T$  verringert. Der Tastgradfehler wird abgesehen von (schwachen) geraden Harmonischen der Signalquelle vom Gleichanteil  ${}^0U_e^-$  am Eingang der ersten SS-Stufe bestimmt. Um diesen zu eliminieren oder zumindest zu verringern, bietet es sich an, Koppelkondensatoren am Eingang zu verwenden, beispielsweise in Form von Bias-Tees oder von integrierten Kondensatoren. Hierdurch wird der nutzbare Taktfrequenzbereich allerdings nach unten begrenzt.

Einen bedeutsamen Einfluss hat das Gleichtakt-Eingangssignal der ersten SS-Stufe, sofern es über Anteile bei ungeraden Harmonischen, z. B. bei der Taktfrequenz, verfügt. Es wirkt über die Kapazität  $C_{i0}$  gemäß Gleichung 5.21 auf den Gleichanteil am Ausgang der ersten SS-Stufe. Dieser Gleichanteil beeinflusst wiederum den Tastgradfehler am Ausgang einer Folge-SS-Stufe. Der zugehörige Zusammenhang ist nach Gleichung 5.9 vor allem für hohe Taktfrequenzen nahe der Grenzfrequenz der Schaltung bedeutsam, was insofern problematisch ist, als hier auch der über der Frequenz steigende Einfluss des Gleichtakt-Eingangssignals auf den Gleichanteil am Ausgang der betrachteten SS-Stufe am stärksten ist. Die Auswirkung des Gleichtakt-Eingangssignals auf den Gleichanteil hängt insbesondere von der Phasenlage zwischen Gleich- und Gegentakt-Eingangssignal ab. Je nach Phasenlage kann es zu einer Erhöhung oder auch einer Verringerung des Gleichanteils kommen. Die Phasenlage lässt sich in der Praxis jedoch nur schwer kontrollieren, da sie von der Übertragungsfunktion der gesamten Strecke von externem Signalgenerator bis zum SS der ersten SS-Stufe abhängt. Die Beispielsimulation in Abbildung 2.5 verdeutlicht, dass alleine die Bonddraht-Schnittstelle bereits zu einer signifikanten Phasenverschiebung zwischen Gleichtakt- und Gegentakt-Signal (im Beispiel  $25^\circ$ ) beitragen kann. Es empfiehlt sich daher, die Gleichtakt-Eingangsamplitude  $\hat{U}_e^+$  so gering wie möglich zu halten, um den durch das Gleichtakt-Signal bedingten Tastgradfehler zu minimieren. Häufig steht jedoch nur eine single-ended Signalquelle zur Verfügung, sodass Gleichtakt- und Gegentakt-Eingangsamplitude nicht unabhängig voneinander eingestellt werden können. Hier ergibt sich eine Abwägungsüberlegung zwischen einer möglichst großen Gegentakt- und einer möglichst geringen Gleichtakt-Eingangsamplitude. In Abbildung 5.15 ist eine Beispielsimulation für einen sinusförmig angesteuerten SS mit identischer Eingangsamplitude  $\hat{U}_e^+ = \hat{U}_e^-$  für Gleich- und Gegentakt sowie einem zusätzlichen effektiven Gleichanteil von  ${}^0U_e^- = 1 \text{ mV}$  gezeigt. Dies entspricht einem typischen Szenario am Eingang der ersten SS-Stufe in einer Kaskade. Es wird deutlich, dass die Wahl der Eingangsamplitude einen deutlichen Einfluss auf den Tastgradfehler und auf den amplitudenbezogenen Gleichanteil hat, wobei es kein allgemeines Optimum gibt. Zwar sind sehr niedrige Eingangsamplituden generell zu meiden, da hier sowohl Tastgradfehler als auch amplitudenbezogener Gleichanteil hohe Werte annehmen. Während der Tastgradfehler im gezeigten Beispiel mit steigender Eingangsamplitude  $\hat{U}_e^-$  abnimmt, nimmt der amplitudenbezogene Gleichanteil hingegen ein Optimum an und nimmt anschließend vom Betrag her wieder zu. Dabei spielt zusätzlich die Phase zwischen Gleich- und Gegentakt-Eingangssignal eine Rolle, welche überdies abhängig von der Taktfrequenz ist. Eine zusätzliche Frequenzabhängigkeit ergibt sich daraus, dass wie in Abschnitt 5.2.1 erläutert



**Abbildung 5.15:** Simulation des Tastgradfehlers und des relativen Gleichanteils am Ausgang des mit einem sinusförmigen Taktsignal angesteuerten SS aus Abbildung 5.8 mit Parametersatz 3 aus Tabelle 5.1 und Vergleich mit Berechnung nach Gleichung 5.19 und Gleichung 5.16.



je nach Bandbreite der nachfolgenden Schaltung der Tastgradfehler oder der Gleichanteil am Ausgang der ersten SS-Stufe den Tastgradfehler der Folge-SS-Stufe dominiert. Folglich gibt es zwar eine optimale (single-ended) Eingangsamplitude, diese hängt allerdings von vielen schlecht vorhersehbaren Faktoren ab. In der Praxis kann es, falls möglich, je nach Versuchsaufbau ratsam sein, die Eingangsamplitude des Taktsignals zu variieren, um den an der ersten SS-Stufe einer Taktverteilung entstehenden Gleichanteil zu verringern. In Kapitel 7 wird hierfür eine auf dem analytischen Modell aus dem vorliegenden Kapitel basierende Methode vorgestellt, mit der die Eingangsamplitude am SS der ersten SS-Stufe durch Gleichanteil-Einspeisungen und -Messungen abgeschätzt werden kann. Als alternative oder zusätzliche Maßnahme sollte das Gleichtakt-Eingangssignal im Vergleich zum Gegentakt-Eingangssignal auf der Übertragungsstrecke zwischen Signalgenerator und SS möglichst stark abgeschwächt werden. Eine Möglichkeit hierfür ist die etablierte, in Abschnitt 2.2 erwähnte derartige Anordnung der Bonddrähte, dass die effektive Bonddraht-Induktivität aufgrund von magnetischer Kopplung für Gegentakt-Signale geringer als für Gleichtakt-Signale ist.

Gleichtakt-Eingangssignale können nicht nur durch die Signalquelle, sondern auch durch Signaleinkopplungen in die Spannungsversorgung oder Gegentakt-Gleichtakt-Konversionen auftreten [13, 21]. Es ist daher generell ratsam, den Einfluss eines Gleichtakt-Eingangssignals auf den Gleichanteil am Ausgang einer SS-Stufe zu minimieren. Dies geschieht gemäß Gleichung 5.21 durch eine Minimierung der Kapazität  $C_{i0}$  bei gleichzeitiger Maximierung des Betriebsstroms  $I_0$  des SS der betrachteten SS-Stufe. Für einen niedrigen Gleichanteil ist es folglich ratsam, die Stromdichte insbesondere der den Betriebsstrom  $I_0$  bereitstellenden Transistoren möglichst hoch zu wählen. Gegebenenfalls kann es empfehlenswert sein, sogar die Stromdichte der maximalen Transitfrequenz zu überschreiten. Zusätzlich sind Layout-Maßnahmen sinnvoll, welche die parasitäre Kapazität am Emitterknoten des SS klein halten. Die Reduktion von  $C_{i0}$  hilft nicht nur dabei, die Entstehung eines Gleichanteils zu verringern, sondern auch die Stabilität von EFs zu verbessern, welche den betrachteten SS ansteuern [42].

Für kaskadierte, auf die erste SS-Stufe folgende Stufen gelten bei hohen Taktfrequenzen nahe der Grenzfrequenz der Schaltung aufgrund der dann näherungsweise sinusförmigen Taktsignale prinzipiell die gleichen Zusammenhänge wie bei der ersten SS-Stufe. Da diese SS-Stufen jedoch nicht von einer externen Quelle, sondern einer vorhergehenden SS-Stufe angesteuert werden, verfügt das Gleichtakt-Eingangssignal im Wesentlichen lediglich über Anteile bei geraden Harmonischen der Taktfrequenz (siehe Abschnitt 3.3), was zu keinem nennenswerten Gleichtakt-bedingten Gleichanteil führt. Es ist bei solchen SS-Stufen daher sinnvoll, eine große (Gegentakt-)Eingangsamplitude  $\hat{U}_e^- = 2|U_e^-|$  zu wählen, um einen aus einem Gleichanteil am Eingang der SS-Stufe entstehenden Tastgradfehler gemäß Gleichung 5.19 zu minimieren.

Unabhängig von der Taktfrequenz ergibt sich bei einer SS-Stufe innerhalb einer Kaskade von derartigen Stufen der Tastgradfehler am Ausgang gemäß Gleichung 5.22 näherungsweise proportional aus dem Tastgradfehler am Eingang und einer Tastgradfehler-Verstärkung. Die zuvor beschriebenen Maßnahmen sorgen dafür, dass der Tastgradfehler am Ausgang der ersten SS-Stufe der Kaskade und damit am Eingang der auf sie

folgenden Stufe minimiert wird. In einer Kaskade von SS-Stufen ist es wichtig, dass die Tastgradfehler-Verstärkung der Folgestufen gering ist, damit der zwar minimierte, aber gegebenenfalls weiterhin vorhandene Tastgradfehler nicht mit jeder kaskadierten SS-Stufe erneut ansteigt. Für die Tastgradfehler-Verstärkung ist der Frequenzgang der Übertragungsfunktion zwischen dem Ausgang des SS einer SS-Stufe und dem Eingang des SS der Folgestufe entscheidend (siehe Abschnitt 5.3.2). Optimal ist hierbei ein möglichst flacher Frequenzgang. Ein starker Abfall des Frequenzgangs führt zu einer Erhöhung des Tastgradfehlers ab in etwa der Grenzfrequenz. Resonanzüberhöhungen wiederum, welche häufig durch EFs verursacht und genutzt werden, um die Grenzfrequenz der Schaltung zu erhöhen, führen zu einer erhöhten Tastgradfehler-Verstärkung bei ganzzahligen Teilern der Überhöhungsfrequenz und stellen damit insbesondere bei mittleren Taktfrequenzen ein Problem dar. Hieraus ergeben sich Abwägungsüberlegungen bei der Dimensionierung der Schnittstellen – insbesondere der EFs – zwischen einer hohen Grenzfrequenz und einer niedrigen Tastgradfehler-Verstärkung bei niedrigen bis mittleren Taktfrequenzen. Eine Alternative bietet eine Änderung der Schaltungstopologie durch Einführen von Kapazitäten in die Emitterpfade der SS-Transistoren, wodurch sowohl eine stärkere Resonanzüberhöhung der Übertragungsfunktion als auch eine geringe Tastgradfehler-Verstärkung erreicht werden können. Hierauf wird in Abschnitt 5.4.2 näher eingegangen.

Die Schlussfolgerungen aus Kapitel 4 zum Erreichen einer hohen Ausgangsamplitude, Grenzfrequenz und Flankensteilheit von mit Taktsignalen angesteuerten SSs legen nahe, dass eine hohe Gegentakt-Eingangsamplitude und große Transistor-Kapazitäten am gemeinsamen Emitterknoten des SS wünschenswert sind. Zusammen mit den Erkenntnissen aus der Entstehung von Tastgradfehlern empfiehlt es sich jedoch, die erste SS-Stufe einer Kaskade derartiger Stufen nur mit moderaten Eingangsamplituden anzu-steuern und auf niedrige Transistor-Kapazitäten zu achten, da hier aufgrund des zu erwartenden Gleichtakt-Eingangssignals bei der Grundfrequenz mit einem zur Gleichtakt-Eingangsamplitude und der Kapazität  $C_{i0}$  näherungsweise proportionalen Gleichanteil zu rechnen ist. Die Folge-SS-Stufen können wiederum mit größerer Eingangsamplitude und größeren Transistor-Kapazitäten dimensioniert werden, da hier das Gleichtaktsignal hauptsächlich für den Tastgradfehler unkritische gerade Harmonische aufweist. Auf diese Weise lassen sich die Erkenntnisse aus Kapitel 4 und jene aus dem vorliegenden Kapitel kombinieren, sodass am Ausgang einer Kaskade von SS-Stufen sowohl ein geringer Tastgradfehler als auch eine hohe Ausgangsamplitude, Grenzfrequenz und Flankensteilheit erreicht werden.

#### **5.4.2 Schaltungskonzepte zur Verringerung von vorhandenen Gleichanteilen und Tastgradfehlern bzw. von deren Verstärkung**

Neben den aufgezeigten Schlussfolgerungen zur Dimensionierung der Schaltung empfiehlt sich der gezielte Einsatz von Schaltungskonzepten zur Verringerung von Tastgradfehlern und Gleichanteilen. Die meisten der im Folgenden vorgestellten Konzepte sind in dieser

oder ähnlicher Form bereits bekannt. Es lohnt sich dennoch, sie im Folgenden mithilfe des im Rahmen dieser Arbeit entwickelten analytischen Modells auf ihre Wirkung und ihre Eignung in verschiedenen Fällen hin zu untersuchen.

Ein Konzept zur Verringerung von Gleichanteilen besteht aus dem Einsatz einer Regelschleife, welche den Gleichanteil am Ausgang einer oder mehrerer kaskadierter SS-Stufen als Fehlergröße verwendet und einen entsprechenden Korrektur-Gleichanteil am Eingang der SS-Stufe(n) einspeist [21, 80]. Das Verwenden des Gleichanteils als Fehlergröße bietet sich aufgrund seiner einfachen schaltungstechnischen Gewinnung durch Tiefpassfilterung des Taktsignals an. Hierbei tritt jedoch das Problem auf, dass das Ausgleichen eines Gleichanteils nicht zwangsläufig dazu führt, dass auch der Tastgradfehler null ist. Dies lässt sich unmittelbar aus Gleichung 5.16 erkennen, woraus für einen ideal auf null geregelten Gleichanteil  ${}^0I_T^- = 0$  am Ausgang eines SS für den zugehörigen Tastgradfehler folgt

$$\Delta D_T = -\frac{2C_{i0}f_{\text{clk}}}{\alpha_T |{}^1I_T^-|} \sum_{n=1}^{\infty} \text{Re} \left\{ \frac{n {}^n\mathcal{T}^* {}^nU_e^+}{2\pi n \tau_C f_{\text{clk}} - j} \right\}. \quad (5.23)$$

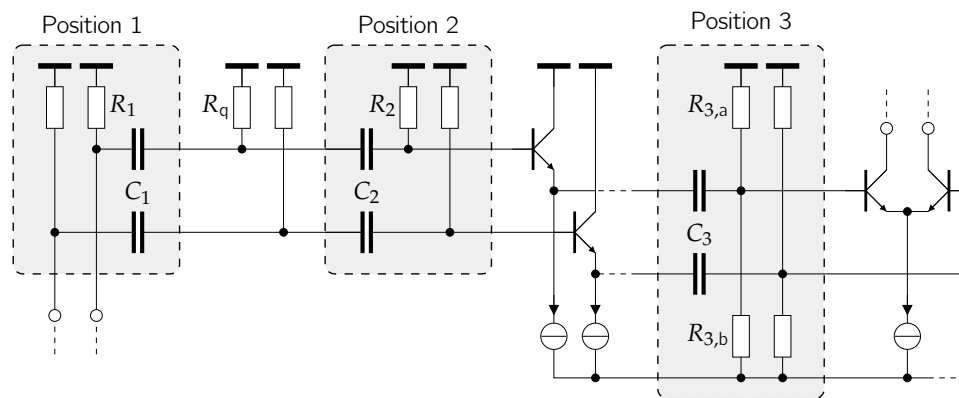
Die Regelung sorgt somit dafür, dass zwar die Einflüsse von Tastgradfehler  $\Delta D_q$  und Gleichanteil  ${}^0I_q^-$  am Eingang der SS-Stufe eliminiert werden. Der Tastgradfehler am Ausgang der SS-Stufe hängt bedingt durch die Regelung allerdings unmittelbar vom Gleichtakt-Eingangssignal  ${}^nU_e^+$  ab. Im Falle eines verschwindend geringen Gleichtakt-Eingangssignals oder bei einem Gleichtakt-Eingangssignal, welches ausschließlich gerade Harmonische der Taktfrequenz enthält, ist der dadurch entstehende Tastgradfehler vernachlässigbar, sodass die Regelung wie gewünscht funktioniert. Am Ausgang einer single-ended angesteuerten SS-Stufe kann die Regelung hingegen dazu führen, dass überhaupt erst ein nennenswerter Tastgradfehler entsteht. Bei hohen Taktfrequenzen nahe der Grenzfrequenz der Schaltung stellt dies kein Problem dar, da hier gemäß Gleichung 5.9 der Tastgradfehler am Eingang des SS einer Folgestufe vom Gleichanteil und nicht vom Tastgradfehler der vorgeschalteten Stufe dominiert wird, sodass eine Elimination des Gleichanteils mithilfe einer Regelung in diesem Fall hilfreich ist. Allerdings ist bei mittleren Taktfrequenzen der Tastgradfehler und nicht der Gleichanteil am Ausgang einer SS-Stufe für den Tastgradfehler einer Folgestufe entscheidend. Eine Eliminierung des Gleichanteils mithilfe einer Regelung kann unter Umständen dazu führen, dass sich der Tastgradfehler erhöht, was gerade bei mittleren Taktfrequenzen aufgrund der dort häufig vorhandenen hohen Tastgradfehler-Verstärkung problematisch ist (vgl. Abschnitt 5.3.2). Nichtsdestoweniger ist eine Regelung des Gleichanteils in vielen Fällen auch zur Verringerung des Tastgradfehlers hilfreich. Wichtig ist hierbei, eine geeignete Stelle zum Abgriff der Fehlergröße zu wählen. Es empfiehlt sich, die Fehlergröße nicht am Ausgang der ersten SS-Stufe der Kaskade zu wählen, da hier typischerweise ein deutliches Gleichtakt-Eingangssignal vorliegt und die Regelung gemäß Gleichung 5.23 einen Tastgradfehler erst verursachen würde. Bei SS-Stufen im hinteren Teil der Kaskade ist der Einfluss des Gleichtakt-Eingangssignals deutlich geringer, sodass sich hier ein Abgriff der Fehlergröße für die Regelung anbietet. Beim Verwenden einer Regelschleife über

mehrere SS-Stufen hinweg ist jedoch zu beachten, dass das Einprägen eines Korrektur-Gleichanteils durch die Regelung zwar dazu führt, dass am Ausgang der SS-Stufe, an der die Fehlergröße abgegriffen wird, kein Gleichanteil auftritt, dass in den Stufen dazwischen jedoch unter Umständen deutliche Tastgradfehler und Gleichanteile vorhanden sind, welche sich erst an der SS-Stufe kompensieren, an welcher die Fehlergröße abgegriffen wird. Je nach Art der dazwischen geschalteten Stufen kann dies ein Problem darstellen, beispielsweise für Frequenzverdoppler (siehe Abschnitt 6.3.5). Optimal ist es daher, getrennte Regelschleifen für die einzelnen SS-Stufen zu verwenden. Da dies jedoch mit einem hohen Platz- und Energiebedarf einhergeht, werden im Folgenden einfachere Schaltungskonzepte betrachtet, welche ebenfalls zu einer Verringerung des Gleichanteils bzw. des Tastgradfehlers an den einzelnen SS-Stufen beitragen.

Eine naheliegende Möglichkeit zur Verringerung eines Gleichanteils und damit dessen Einfluss auf den Tastgradfehler ist der Einsatz von Koppelkondensatoren im Signalpfad. Sie führen dazu, dass in Gleichung 5.9 der Beitrag der Übertragungsfunktion  $H^-(0) = 0$  ist, sodass der Gleichanteil  ${}^0I_q^-$  am Eingang der SS-Stufe keine Auswirkung auf den Tastgradfehler am Ausgang der SS-Stufe hat. Die Koppelkondensatoren können einen Tastgradfehler  $\Delta D_q$  bei niedrigen bis mittleren Taktfrequenzen jedoch bestenfalls nur abschwächen und nicht eliminieren, da in diesem Frequenzbereich die zum Tastgradfehler  $\Delta D_q$  proportionalen Summenterme im Zähler von Gleichung 5.9 gegenüber dem Gleichanteil-Term dominieren. Koppelkondensatoren können daher prinzipbedingt weniger Ursachen von Tastgradfehlern und Gleichanteilen eliminieren als eine Regelung, führen dafür jedoch nicht zu dem nachteiligen Effekt, dass ein Gleichtakt-Eingangssignal auf einen Tastgradfehler abgebildet wird. Der Einsatz von Koppelkondensatoren empfiehlt sich folglich insbesondere am Eingang einer extern gespeisten, ersten SS-Stufe, welche über ein potenziell hohes Gleichtakt-Eingangssignal verfügt. Dort ist zudem die Anordnung im Signalpfad einfach, da eine Gleichstrom-Kopplung zwischen externer Quelle und SS-Stufe weder erforderlich noch erwünscht ist. Anders sieht es zwischen den einzelnen Stufen einer Kaskade von SS-Stufen aus. In Abbildung 5.16 sind beispielhaft drei mögliche Positionen zum Einbringen von Koppelkondensatoren in den Signalpfad gezeigt.

Position 1 befindet sich direkt am Eingang der SS-Stufe vor deren Abschlusswiderständen  $R_q$ . Der Nachteil an dieser Position ist, dass die CML-Schnittstelle am Ausgang der vorgeschalteten SS-Stufe einen Gleichstrom-Pfad benötigt, welcher durch zusätzliche Abschlusswiderstände  $R_1$  gewährleistet werden muss. Hierdurch verringert sich die Lastimpedanz der vorgeschalteten SS-Stufe, sodass deren SS zum Erreichen unveränderter Ausgangsamplituden mit einem größeren Betriebsstrom versehen werden muss. Das wiederum führt zu einem gesteigerten Energiebedarf und stellt aufgrund der dadurch benötigten größeren Transistoren mit höheren Kapazitäten gerade bei hohen Taktfrequenzen hohe Herausforderungen an die Schaltungsdimensionierung. Position 1 ist daher nicht zu empfehlen.

Bei Verwendung von Position 2 dient der Eingangswiderstand  $R_q$  der betrachteten SS-Stufe gleichzeitig als Abschlusswiderstand der vorgeschalteten Stufe, sodass hier der Gleichstrompfad der CML-Schnittstelle gewährleistet ist. Allerdings ist zum stabilen



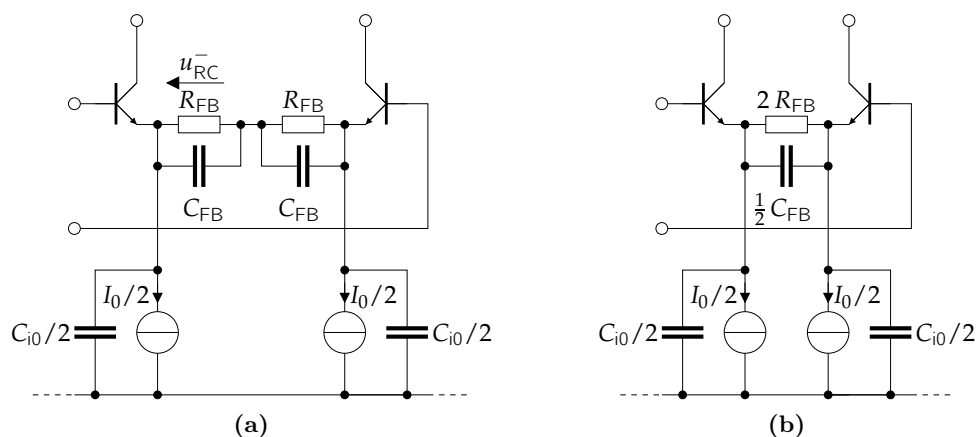
**Abbildung 5.16:** Verschiedene Varianten des Einbringens von Koppelkondensatoren bei einer typischen SS-Stufe. Die einzelnen, gestrichelt umrandeten Blöcke stellen jeweils Alternativen zueinander dar.

Betrieb der EFs eine ausreichend niederohmige, reelle Impedanz am Eingang der EFs notwendig, weshalb die in Abbildung 5.16 mit  $R_2$  bezeichneten Widerstände eingeführt werden müssen [38, 42, 50]. Diese verringern die Eingangsimpedanz der SS-Stufe, sodass eine ähnliche Problematik wie bei Position 1 auftritt.

Position 3 bietet die Möglichkeit, Koppelkondensatoren in den Signalpfad einzubringen, ohne die Eingangsimpedanz der SS-Stufe nennenswert zu beeinflussen. Zur Gewährleistung des Arbeitspunkts der SS-Transistoren sind Spannungsteiler bestehend aus  $R_{3,a}$  und  $R_{3,b}$  notwendig. Die zugehörigen Widerstände können aufgrund der hohen Gleichstrom-Verstärkung der SS-Transistoren hochohmig gewählt werden. Wichtig ist hierbei, dass die jeweiligen Spannungsteiler an den beiden Basen der SS-Transistoren eine gute Übereinstimmung (Matching) aufweisen, da eine Abweichung zwischen ihnen zu einem Gleichanteil am Eingang des SS führt, welcher wiederum einen Tastgradfehler verursacht. Für eine bessere Übereinstimmung der Widerstände empfiehlt sich eine Dimensionierung mit einer großen Layoutfläche, da dadurch eine Beeinflussung durch Prozessschwankungen weniger stark ausfällt [81]. Eine große Fläche der Widerstände führt jedoch nicht nur zu einem großen Flächenbedarf der gesamten Schaltung, sondern insbesondere zu hohen parasitären Kapazitäten der Widerstände, wodurch das Taktsignal beeinträchtigt wird.

Koppelkondensatoren im Signalpfad empfehlen sich folglich uneingeschränkt nur am Eingang der ersten SS-Stufe, bei der je nach externer Quelle häufig kein Gleichstrom-Abschluss benötigt wird, wohingegen der Einsatz zwischen den einzelnen SS-Stufen mit Nachteilen versehen ist.

Eine bessere Alternative zum Einsatz von Koppelkondensatoren im Signalpfad zu einem SS ist der Einsatz in den jeweiligen Emitterzweigen der SS-Transistoren. Zusammen mit einem optionalen Parallelwiderstand bilden sie R-C-Glieder, wie in Abbildung 5.17 in Form von  $C_{FB}$  und  $R_{FB}$  gezeigt. R-C-Glieder in den Emitterzweigen werden bei linearen Verstärkern und auch bei SSs häufig verwendet, um die Grenzfrequenz zu erhöhen



**Abbildung 5.17:** Zwei äquivalente Möglichkeiten zum Einbringen von R-C-Gliedern in den Emitterpfad eines SS.

[21, 36, 42, 82]. Dabei bestimmt der Widerstand  $R_{FB}$  die gewünschte Verstärkung. Die Grenzfrequenz des R-C-Glieds wird üblicherweise im Bereich der Grenzfrequenz der Verstärkerstufe gewählt, um einem Abfall deren Frequenzgangs entgegen zu wirken. In der hier vorgeschlagenen Anwendung zur Verringerung eines Gleichanteils hingegen hat die Kapazität  $C_{FB}$  die Aufgabe eines Koppelkondensators, d. h. es sollte auch bei niedrigen Taktfrequenzen möglichst wenig Wechsel-Signalanteil an ihr abfallen. Sie wird daher deutlich größer gewählt als in einer Anwendung zur Anhebung der Grenzfrequenz. Idealerweise hätte  $C_{FB}$  einen unendlich großen Wert. Der Parallelwiderstand  $R_{FB}$  wäre in diesem Fall nicht nötig. Er dient lediglich dazu, bei realen, endlichen Kapazitäten  $C_{FB}$  dafür zu sorgen, dass auch bei niedrigen Taktfrequenzen eine Mindestverstärkung nicht unterschritten wird. Die optimale Wirkung des R-C-Glieds hinsichtlich einer Gleichanteil-Verringerung entfaltet sich jedoch erst, wenn der an der Kapazität  $C_{FB}$  abfallende Signalanteil bei der Taktfrequenz

$$|{}^1U_{RC}^-| = \frac{|{}^1I_T^-|}{2\pi f_{clk} C_{FB}} \quad (5.24)$$

klein gegenüber der Eingangsamplitude  $|{}^1U_e^-|$  des SS ist. In diesem Fall ist der an ihr abfallende Gleichanteil

$${}^0U_{RC}^- \approx -R_{FB} {}^0I_T^- \quad (5.25)$$

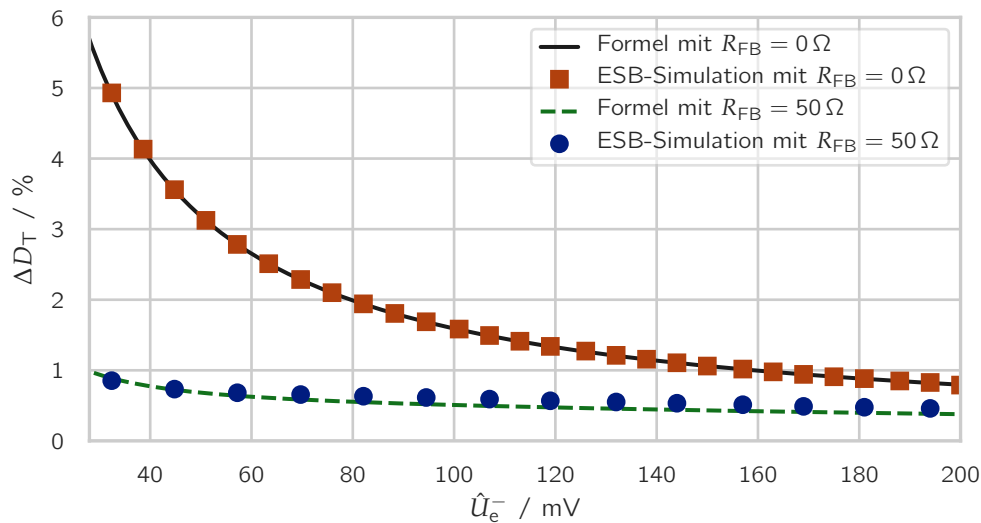
proportional zum zu verringernden Gleichanteil  ${}^0I_T^-$  des Gegentakt-Transferstroms. Der Gleichanteil  ${}^0U_{RC}^-$  kann als additiv zum Eingangssignal angesehen werden und wirkt dessen Gleichanteil entgegen. Eine entsprechende Erweiterung der Modellgleichung 5.9 unter Verwendung von Gleichung 5.10, 5.11 und 5.15 ergibt für den Tastgradfehler am

Ausgang der SS-Stufe

$$\Delta D_T = \frac{\frac{H^-(0) {}^0I_{q^-} - R_{FB} {}^0I_{T,C}^-}{\pi |{}^1I_{q^-}|} + \Delta D_q \left( \sum_{n=-\infty, n \neq 0}^{\infty} H^-(j2n\omega_{\text{clk}}) e^{j2n\omega_{\text{clk}}t_H} \right)}{R_{FB} \alpha_T \frac{|{}^1I_{T^-}|}{|{}^1I_{q^-}|} + \sum_{n=-\infty}^{\infty} H^-(j(2n+1)\omega_{\text{clk}}) e^{j(2n+1)\omega_{\text{clk}}t_H}}. \quad (5.26)$$

Hierbei ist  ${}^0I_{T,C}^-$  nach Gleichung 5.14 einzusetzen. Sowohl im Zähler als auch im Nenner treten im Vergleich zur ursprünglichen Modellgleichung 5.9 zusätzliche, zu  $R_{FB}$  proportionale Terme auf. Der Term im Nenner sorgt für eine Verringerung des Tastgradfehlers  $\Delta D_T$ , wohingegen der Term im Zähler gemäß Gleichung 5.14 vom Gleichtakt-Eingangssignal abhängt. Bei einer Grenzwertbetrachtung  $R_{FB} \rightarrow \infty$  nimmt der Tastgradfehler  $\Delta D_T$  den Wert aus Gleichung 5.23 wie bei Einsatz einer Regelung an, während der Gleichanteil  ${}^0I_{T^-}$  am Ausgang der SS-Stufe gegen null strebt. R-C-Glieder in den Emitterzweigen der SS-Transistoren können folglich als Alternative zu einer Regelung eingesetzt werden. Im Vergleich zu einer Regelung ist der Schaltungsaufwand deutlich geringer und es kommt zu keiner nennenswerten Vergrößerung des Energiebedarfs der Schaltung. Nachteilig ist, dass die Kapazität  $C_{FB}$  gemäß der Dimensionierungsvorschrift in Gleichung 5.24 sehr groß gewählt werden muss, damit auch die bei niedrigen Taktfrequenzen  $f_{\text{clk}}$  an ihr abfallende Signalamplitude  $|{}^1U_{RC}^-|$  klein gegenüber der Eingangsamplitude  $|{}^1U_e^-|$  des SS ist. Wird beispielsweise bei einer Ausgangsamplitude des SS von  $|{}^1I_{T^-}| = 5 \text{ mA}$  und einer minimalen Taktfrequenz von  $f_{\text{clk}} = 15 \text{ GHz}$  eine maximale Spannungsamplitude  $|{}^1U_{RC}^-| = 50 \text{ mV}$  an der Kapazität  $C_{FB}$  toleriert, ergibt sich für  $C_{FB} \approx 1 \text{ pF}$ . Dieser Wert wird für die nachfolgend gezeigten Simulationen verwendet. Für eine Realisierung in der Praxis sind derart große Kapazitäten hingegen ungeeignet, da sie einen großen Flächenbedarf aufweisen und mit einer großen, parasitären Kapazität gegen Masse einhergehen, was einer Vergrößerung der Kapazität  $C_{i0}$  entspricht und somit zu einem stärkeren Einfluss des Gleichtakt-Eingangssignals auf den Gleichanteil am Ausgang des SS führt. Es ist daher im Einzelfall abzuwägen, ob die Verwendung von R-C-Gliedern in den Emitterzweigen der SS-Transistoren eine adäquate Alternative zu einer Regelung darstellt oder ob eine Regelung bevorzugt werden sollte.

Eine einfache Maßnahme zur Verringerung der benötigten Kondensatorgröße für  $C_{FB}$  besteht darin, statt zwei in Reihe geschalteter Kapazitäten  $C_{FB}$  wie in Abbildung 5.17a eine einzige mit  $C_{FB}/2$  zu verwenden, wie in Abbildung 5.17b dargestellt. Häufig ist zudem die Problematik eines Gleichanteils an einer SS-Stufe nur bei mittleren bis hohen Taktfrequenzen relevant, wohingegen bei niedrigen Taktfrequenzen kein signifikanter Gleichanteil auftritt, der verringert werden müsste. In diesem Fall kann die Kapazität  $C_{FB}$  kleiner dimensioniert werden, sodass die an ihr abfallende Signalamplitude  $|{}^1U_{RC}^-|$  erst bei mittleren Taktfrequenzen vernachlässigbar ist. Durch geeignete Wahl des Parallelwiderstands  $R_{FB}$  kann in dem Fall dafür gesorgt werden, dass auch bei niedrigen Taktfrequenzen eine ausreichende Verstärkung des SS vorliegt. Eine Abschwächung des Gleichanteils findet bei niedrigen Taktfrequenzen dann jedoch nicht statt. Die Dimensionierung von  $C_{FB}$  und  $R_{FB}$  richtet sich folglich nach der gewünschten minimalen Taktfre-



**Abbildung 5.18:** Simulation des Tastgradfehlers am Ausgang des mit einem sinusförmigen Taktsignal angesteuerten SS aus Abbildung 5.8 mit Parametersatz 4 und 5 aus Tabelle 5.1. Jeweils Vergleich mit einer Berechnung nach Gleichung 5.26.

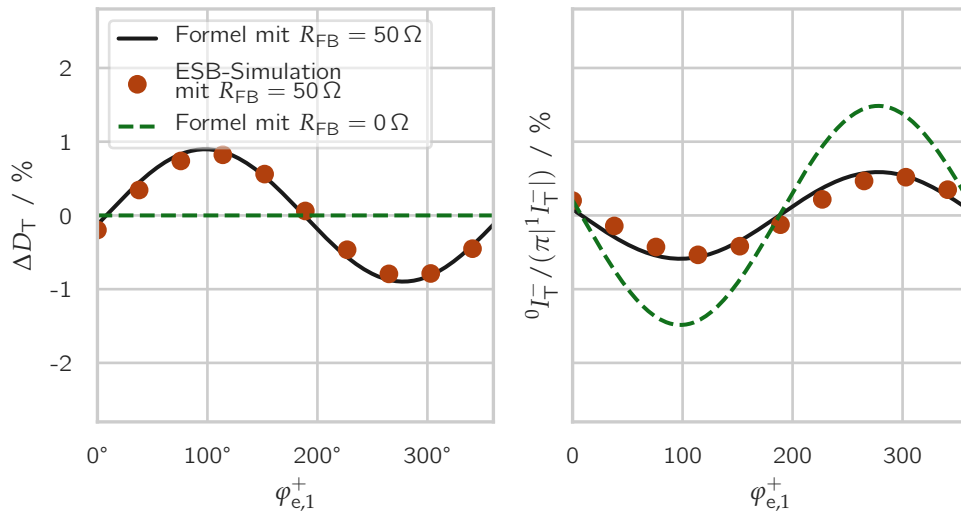
quenz, ab der eine Reduktion des Gleichanteils erfolgen soll und der Mindestverstärkung des SS für Taktsignale unterhalb dieser minimalen Taktfrequenz. Es ergeben sich damit andere Kriterien zur Dimensionierung als für die häufig in den Emitterzweigen von linearen Verstärkern zu findenden R-C-Glieder, welche einen Abfall des Frequenzgangs des Verstärkers kompensieren sollen [21, 36, 42, 82].

In Abbildung 5.18 sind das Ergebnis einer Schaltungssimulation unter Verwendung des Transistor-ESB aus Abbildung 3.1 und die Auswertung von Gleichung 5.26 für einen SS gezeigt, der mit einem sinusförmigen, Gleichanteil-behafteten, reinen Gegentakt-Signal angesteuert wird. Für den Signalform-abhängigen Faktor  $\alpha_T$  wird aufgrund der großen Variation der Eingangsamplitude  $\hat{U}_e^-$  ein mittlerer Wert von 1,4 verwendet (vgl. Abbildung 5.9). Simulation und Berechnung zeigen eine gute Übereinstimmung und demonstrieren, dass durch die Verwendung von R-C-Gliedern in den Emitterzweigen ein deutlich geringerer Tastgradfehler am Ausgang des SS auftritt als ohne.

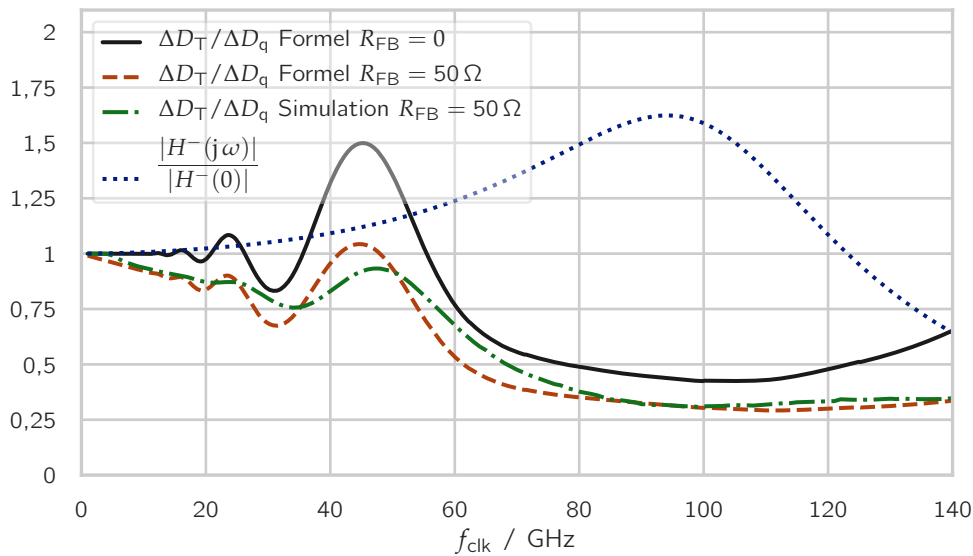
Im Falle eines Gleichtakt-Eingangssignals macht der Vergleich in Abbildung 5.19 deutlich, dass der amplitudenbezogene Gleichanteil am Ausgang des SS durch R-C-Glieder in den Emitterzweigen deutlich verringert, der Tastgradfehler jedoch größer im Vergleich zum Fall ohne R-C-Glieder mit  $R_{FB} = 0 \Omega$  wird.

Der Einsatz von R-C-Gliedern in den Emitterzweigen der SS-Transistoren hilft allerdings, die Tastgradfehler-Verstärkung  $\Delta D_T / \Delta D_q$  aufgrund des zusätzlichen, zu  $R_{FB}$  proportionalen Nennerterms in Gleichung 5.26 zu verringern. Wird die Beispielschaltung aus Abbildung 5.13 um R-C-Glieder mit  $R_{FB} = 50 \Omega$  und  $C_{FB} = 1 \text{ pF}$  erweitert, verringert sich sowohl in der zugehörigen Rechnung als auch in der Simulation die Tastgradfehler-Verstärkung, wie in Abbildung 5.20 demonstriert. In diesem Beispiel liegt die Tastgradfehler-Verstärkung im nahezu gesamten betrachteten Frequenzbereich unter 1, sodass es





**Abbildung 5.19:** Simulation des Tastgradfehlers  $\Delta D_T$  (links) und des relativen Gleichanteils  ${}^0I_T^- / (\pi |{}^1I_T^-|)$  (rechts) am Ausgang des mit einem sinusförmigen Taktsignal angesteuerten SS aus Abbildung 5.8 mit Parametersatz 6 aus Tabelle 5.1 und Vergleich mit Berechnung nach Gleichung 5.26 und Gleichung 5.21.



**Abbildung 5.20:** Simulation mit dem ESB aus Abbildung 3.1 und analytische Berechnung der aus einer frequenzabhängigen Übertragungsfunktion  $H^-(j\omega)$  folgenden frequenzabhängigen Tastgradfehler-Verstärkung  $\Delta D_T / \Delta D_q$ . Der Schaltplan aus Abbildung 5.13 ist hierfür wie in Abbildung 5.17 angedeutet um R-C-Glieder im Emittterpfad der SS-Transistoren mit  $R_{FB} = 50 \Omega$  und  $C_{FB} = 1 \text{ pF}$  erweitert.

zu keiner Verstärkung eines Tastgradfehlers in einer Kaskade von SS-Stufen kommt. Ein solches Verhalten könnte auch mithilfe einer Regelung erzielt werden. Die Kapazität  $C_{FB}$  beeinflusst jedoch zusätzlich über eine Transformation wie unter anderem in [15] erläutert und in [68] angewendet den Frequenzgang  $H^-(j\omega)$  derart, dass dieser eine stärkere Resonanzüberhöhung aufweist als ohne  $C_{FB}$  (vgl. hierzu  $H^-(j\omega)$  in Abbildung 5.14a mit jenem in Abbildung 5.20). Folglich führt das Einfügen von R-C-Gliedern in die Emittierzweige der SS-Transistoren dazu, dass sowohl die Grenzfrequenz der Schaltung steigt, als auch die Tastgradfehler-Verstärkung sinkt.

Mithilfe der vorgestellten, durch das entwickelte, analytische Modell gestützten Schlussfolgerungen zur Dimensionierung und Schaltungskonzepte ist es möglich, die Entstehung und Verstärkung von Tastgradfehlern und Gleichanteilen so gering wie möglich zu halten. Dies ist insbesondere bei der Entwicklung einer aus mehreren kaskadierten SS-Stufen bestehenden Taktverteilung hilfreich, welche an ihrem Ausgang ein qualitativ hochwertiges Taktsignal bereitstellen sollte. Die hierfür vorgestellten Maßnahmen werden im experimentellen Teil dieser Arbeit in Kapitel 6 bei den Taktverteilungsschaltungen zweier integrierter MUX-Schaltungen angewendet.

## 5.5 Fazit

Im vorliegenden Kapitel sind allgemein Ursachen und Entstehungsmechanismen von Tastgradfehlern an kaskadierten SS-Stufen in Taktverteilungsschaltungen untersucht worden. Ein niedriger Tastgradfehler ist wichtig für die optimale Funktion der mit dem Taktsignal angesteuerten Schaltung (z. B. MUX, A/D-, D/A-Wandler).

Durch Erweiterung und Anpassung eines aus der Literatur bekannten Modells zum Beschreiben der Jitter-Fortpflanzung von Taktsignalen in einem passiven Übertragungskanal [78] ist ein allgemeines analytisches Modell entwickelt worden, um den frequenzabhängigen Zusammenhang zwischen einem Gleichanteil und einem Tastgradfehler sowie den Einfluss einer aktiven Übertragungsfunktion zwischen den einzelnen SSs einer Kaskade von SS-Stufen zu beschreiben. Mit diesem analytischen Modell kann erstmals das bereits zuvor beobachtete Auftreten von vermehrten Tastgradfehlern bei mittleren Taktfrequenzen [13] auf die Übertragungsfunktion der die SSs ansteuernden EFs zurückgeführt werden. Das Modell erweitert somit den Stand der Technik, indem es diesen bekannten Effekt erklärt und damit Schlussfolgerungen zur Verringerung von Tastgradfehlern bei mittleren Taktfrequenzen durch geeignete Dimensionierung der EFs oder eine geänderte Schaltungstopologie ermöglicht.

Zusammen mit den in Kapitel 3 aufgestellten Modellgleichungen zur Beschreibung eines SS ergibt sich ein vollständiges Gesamtmodell zur Beschreibung von Tastgradfehler und Gleichanteil am Ausgang sämtlicher SS-Stufen einer Taktverteilungs-Kaskade vom Eingang bis zur Last. Je nach Art des Eingangssignals (Signalform, Gleichanteil, Taktfrequenz) bieten sich unterschiedliche, in Abschnitt 5.4 vorgestellte, Schlussfolgerungen für

---

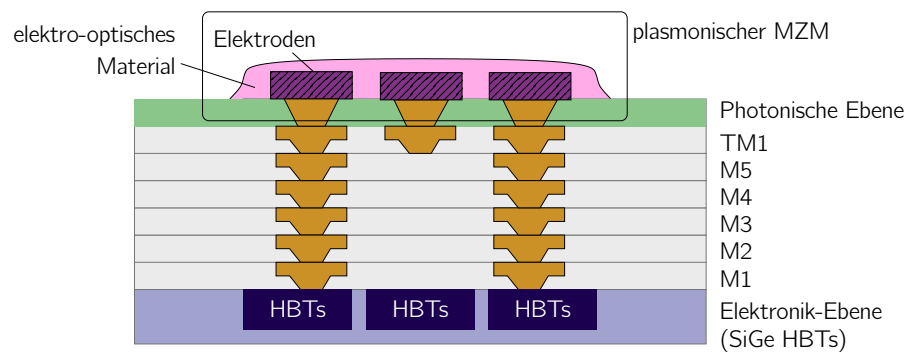
die Dimensionierung zum Erzielen eines niedrigen Tastgradfehlers an. In diesen Kontext sind bekannte Konzepte zur Verringerung von Tastgradfehlern (Regelung, Koppelkondensatoren, R-C-Glieder) eingeordnet und verglichen worden, um die für die jeweiligen Anforderungen passenden Konzepte auswählen und so einen optimalen Schaltungsentwurf gewährleisten zu können.

## **Teil II**

### **Experimenteller Teil**

## 6 Anwendung der Theorie am Beispiel zweier integrierter Multiplexer-Schaltungen

Die in der vorliegenden Arbeit entwickelten Schaltungen sind im Rahmen des von der Europäischen Union geförderten Forschungsprojekts PLASMOfab und mit Hinblick auf das Nachfolgeprojekt plaCMOS entstanden. Eines der Hauptziele beider Projekte ist bzw. war die Entwicklung eines optischen Transmitters für non-return-to-zero (NRZ) on-off-keying (OOK) modulierte Signale mit Datenraten von bis zu 100 Gbit/s (PLASMOfab) respektive 200 Gbit/s (plaCMOS) pro optischem Kanal zur Anwendung in Rechenzentren. Die Besonderheit hierbei ist, dass diese hohe Datenraten bereits auf der elektrischen Ebene erzeugt und über einen einzigen optischen Modulator übertragen werden. Dies unterscheidet sich von bekannten Konzepten, bei denen mehrere optische Signale mit niedrigerer Datenrate auf der optischen Ebene kombiniert werden [22]. Das NRZ-Format hat den Vorteil, dass auf der Empfängerseite eine einfache Schwellwertentscheidung, z. B. mithilfe eines Komparators, ohne aufwändige und energieintensive Prozessierung zur Signalrückgewinnung genutzt werden kann. Auf der Senderseite stellt die hohe Datenrate von 100 Gbit/s bzw. 200 Gbit/s hohe Anforderungen sowohl an den optischen Modulator als auch an die ihn ansteuernde Elektronik. Um den hohen Anforderungen zu genügen, wird als Modulator ein plasmonisch-organischer MZM eingesetzt. Dieser Modulatortyp zeichnet sich durch eine große elektro-optische Bandbreite von über 170 GHz [83], hohe Extinktionsverhältnisse von über 25 dB [84] und kleine Ansteuerspannungen von unter  $1 V_{pp}$  (einseitiger Spitze-Tal-Wert) [85] aus. Das volle Potenzial eines plasmonisch-organischen MZM entfaltet sich durch seine geringe Größe im ein- bis zweistelligen Mikrometer-Bereich [86]. Dadurch ist es möglich, den MZM zusammen mit der ihn ansteuernden Elektronik monolithisch integriert auf demselben Chip zu platzieren [23]. Als Halbleitertechnologie wird die SiGe-BiCMOS-Technologie SG13G2 von IHP gewählt, da diese über schnelle Heterojunction-Bipolartransistoren (HBTs) mit einer Transitfrequenz von  $f_T = 300$  GHz und einer maximalen Oszillationsfrequenz von  $f_{max} = 500$  GHz verfügt [87]. Die Technologie wird derart modifiziert, dass die oberste Metallebene nicht prozessiert wird und stattdessen eine photonische Ebene mit dem MZM durch den Projektpartner ETH Zürich aufgebracht wird. In Abbildung 6.1 ist der entsprechende Aufbau schematisch dargestellt. Auf der untersten Ebene befinden sich die HBTs, gefolgt von mehreren Metallebenen und der nachträglich aufgebrachten, photonischen Ebene mit dem MZM. Der Ausgang der Elektronik kann direkt mit einer kurzen, vertikalen Verbindung zum MZM geführt werden. Hieraus resultieren zwei wesentliche, miteinander verknüpfte Vorteile der monolithischen Integration gegenüber einem herkömmlichen Aufbau mit separaten Chips für MZM und Elektronik. Durch die kurze Verbindung zwischen



**Abbildung 6.1:** Realisierung der monolithischen Integration von MUX und MZM in einer SiGe-BiCMOS-Technologie (schematische Darstellung).

Elektronik und MZM und insbesondere dem Wegfallen von Bondpads und Bonddrähten hat die elektrische Schnittstelle zwischen Elektronik und MZM eine deutlich höhere Grenzfrequenz und erlaubt so erst die angestrebten hohen Datenraten. Dadurch, dass der MZM räumlich nahe des Ausgangs der Elektronik platziert wird, kann die Schnittstelle zwischen Elektronik und MZM zudem als Netzwerk mit konzentrierten Elementen anstatt als lange TML angesehen werden. Es genügt daher ein einseitiger Abschluss der Schnittstelle anstatt des bei einer TML benötigten Abschlusses an beiden Enden. Auf diese Weise kann bei unverändertem Ausgangsstrom der Elektronik ein doppelt so hoher Spannungshub am MZM wie bei beidseitig abgeschlossener TML erreicht werden. Alternativ kann bei unverändertem Spannungshub der Ausgangsstrom der Elektronik halbiert und somit der Energiebedarf verringert werden.

Im vorliegenden Kapitel wird die zur Ansteuerung des plasmonischen MZM entwickelte Elektronik vorgestellt und auf Details bezüglich ihrer Topologie und ihrer Dimensionierung eingegangen. Hierbei wird von den im theoretischen Teil dieser Arbeit gewonnenen Erkenntnissen Gebrauch gemacht. Messergebnisse werden in Kapitel 7 vorgestellt. Der plasmonische MZM wurde durch den Kooperationspartner ETH Zürich zeitgleich mit der Elektronik entwickelt. Auf die Funktionsweise sowie den Aufbau des MZM wird in dieser Arbeit nicht näher eingegangen. Für die Schnittstelle zwischen Ausgang der Elektronik und Eingang des MZM ist mit den Kooperationspartnern ein differentieller Spannungshub von  $2 V_{pp}$  (Spitze-Tal-Wert) an einer im Wesentlichen als Kapazität mit nur wenigen Femtofarad anzusehenden MZM-Last [86] bei einer Datenrate von bis zu 100 Gbit/s (Projekt PLASMOfab) bzw. 200 Gbit/s (Projekt plaCMOS) vereinbart worden. Es ist gewünscht, dass jeweils auch niedrigere Datenraten erzeugt werden können, um im Falle unvorhergesehener Schwierigkeiten die Fehlersuche zu erleichtern. Dementsprechend verlangt die Entwicklung der Elektronik nach breitbandigen Lösungen. Da die elektrische Zuführung von hohen Datenraten von bis zu 200 Gbit/s über einen einzigen Eingang äußerst große Herausforderungen mit sich bringen würde und zudem keine Datenquelle mit derart hoher Datenrate zur Verfügung steht, ist es Aufgabe der entwickelten Elektronik, mehrere Dateneingänge mit entsprechend niedrigerer Datenrate zu

einem Datenausgang zu kombinieren und hiermit den MZM anzusteuern. Ziel der Entwicklung ist folglich eine MUX-Schaltung, welche einen plasmonischen MZM treibt.

Im Rahmen der vorliegenden Arbeit sowie des Forschungsprojekts PLASMOfab sind zwei Varianten der MUX-Schaltung entwickelt worden, welche im Folgenden als *MUX-Variante 1* und *MUX-Variante 2* bezeichnet werden. Bereits MUX-Variante 1 funktioniert erwartungsgemäß und übertrifft sogar die Spezifikation des PLASMOfab-Projekts durch das Erreichen einer maximalen Datenrate von 140 Gbit/s. Die Entwicklung und Ergebnisse von MUX-Variante 1 sind in [24, 33] vorgestellt und stellen zum Zeitpunkt der Veröffentlichung einen Rekord dar. MUX-Variante 2 ist eine Verbesserung von MUX-Variante 1, wobei im Hinblick auf das Nachfolgeprojekt plaCMOS bereits möglichst viele der entwickelten Schaltungszellen auf das Erzeugen einer Datenrate von 200 Gbit/s ausgelegt sind. Eine messtechnische Charakterisierung bei solch hohen Datenraten ist mit der zur Verfügung stehenden Messausstattung nicht möglich. Es konnte jedoch erfolgreich demonstriert werden, dass Datenraten bis 180 Gbit/s erreicht werden (siehe Kapitel 7). Indizien legen nahe, dass auch bei 200 Gbit/s die prinzipielle Funktion der im Rahmen der vorliegenden Arbeit entwickelten Schaltungsteile gegeben ist. Die Ergebnisse von MUX-Variante 2 übertreffen folglich jene von MUX-Variante 1 und stellen zum Zeitpunkt der zugehörigen Veröffentlichung in [25] ebenfalls einen Rekord für einen in SiGe-Bipolartechnologie realisierten MUX dar.

Aufgrund der großen Ähnlichkeit von MUX-Variante 1 und MUX-Variante 2 werden übereinstimmende Entwicklungsschritte im Folgenden gemeinsam für beide Varianten vorgestellt. Bei entscheidenden Unterschieden wird näher auf die jeweiligen Abweichungen und ihre Hintergründe eingegangen. Die entwickelten MUX-Schaltungen und insbesondere deren Taktverteilungen bestehen aus einer Fülle an Schaltungszellen, welche ihrerseits wiederum aus teilweise mehreren Stufen zusammengesetzt sind. Viele dieser Stufen und Zellen sind einander sehr ähnlich und lassen sich auf eine gemeinsame Topologie zurückführen, z. B. jene einer typischen Verstärkerzelle aus Abbildung 2.1. Um die Übersichtlichkeit zu wahren, werden im Folgenden die Dimensionierung und die zugrunde liegenden Überlegungen nicht für jede entwickelte Stufe, sondern lediglich für jede grundlegende Topologie am Beispiel jeweils jener Stufe vorgestellt, bei der die Topologie ihre Eigenschaften voll ausspielen kann. Auf diese Weise können die Anwendung der im theoretischen Teil der Arbeit gewonnenen Erkenntnisse demonstriert und darüber hinaus gehende Schlussfolgerungen zur Dimensionierung vorgestellt werden. Es wird zudem ein in [25] präsentiertes, im Rahmen der Arbeit entwickeltes, neuartiges Schaltungskonzept für einen breitbandigen Phasenschieber näher vorgestellt.

Im vorliegenden Kapitel wird die Ausgangsspannung an den Datenschnittstellen als differentieller Spannungshub im Sinne eines Spitze-Tal-Werts (in  $V_{pp}$ ) angegeben. Dies unterscheidet sich von der Angabe der Spannungs*amplitude* im theoretischen Teil dieser Arbeit, welche auch im vorliegenden Kapitel für die Taktschnittstellen weiterhin verwendet wird. Die Spannungsamplitude entspricht nach der Definition in Abschnitt 4.1 dem einseitigen Spitze-Wert der Signalkomponente bei der Grundfrequenz und bietet sich an,

um eine einheitliche Behandlung von Gegen- und Gleichtaktsignalen bei unterschiedlichen Taktfrequenzen zu ermöglichen. Der differenzielle Spannungshub wiederum hat den Vorteil, dass er in der Literatur häufig verwendet wird und so den Vergleich mit dem Stand der Technik erleichtert. Um Konfusionen zu vermeiden, wird in dieser Arbeit für den (differenziellen) Spitze-Tal-Wert stets das Wort *Hub* und für den einseitigen Spitze-Wert des Beitrags bei der Grundfrequenz das Wort *Amplitude* verwendet.

Soweit nicht anders angegeben, enthalten sämtliche im vorliegenden Kapitel gezeigten Schaltungssimulationen mithilfe von Assura QRC extrahierte parasitäre Layout-Elemente (Widerstände, Kapazitäten und gekoppelte Induktivitäten), um eine möglichst realitätsnahe Vergleichbarkeit mit den in Kapitel 7 vorgestellten Messergebnissen zu ermöglichen. Für die Transistoren werden bei den Simulationen bei der Technologie mitgelieferte HICUM-Transistormodelle verwendet und eine realistische (Umgebungs-)Temperatur von 120 °C innerhalb der integrierten Schaltung angenommen.

Im Folgenden wird die Topologie der beiden entwickelten MUX-Varianten vorgestellt und auf einzelne, im Hinblick auf die Funktionsweise und die Entwicklungsschritte interessante Schaltungsteile detailliert eingegangen.

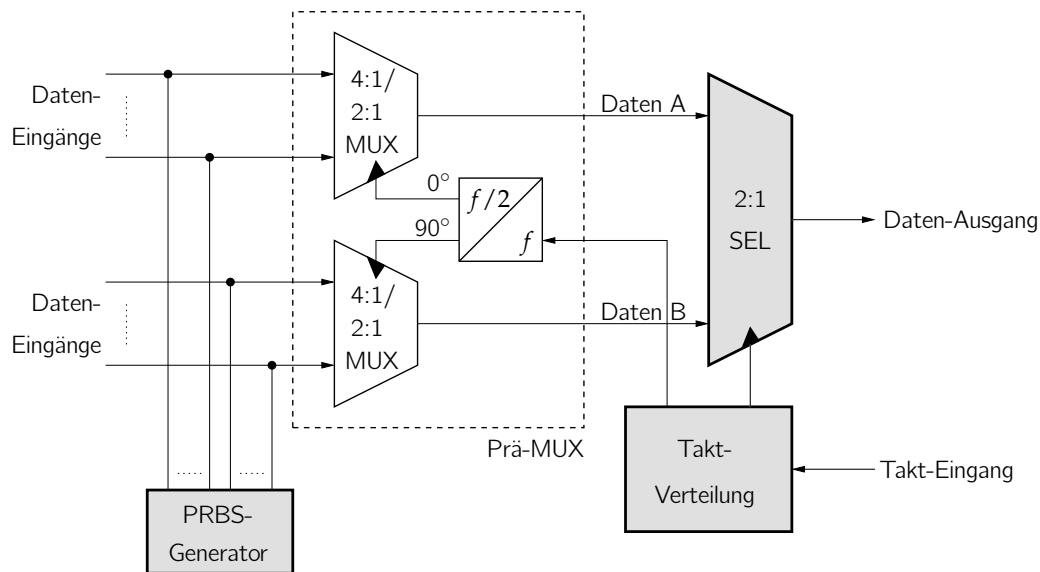
## 6.1 Topologie der entwickelten Multiplexer-Schaltungen

In Abbildung 6.2 ist ein vereinfachtes, beiden entwickelten MUX-Varianten gemeinsames Blockdiagramm dargestellt. Zentrale Komponente ist der 2:1 Selektor (SEL), welcher zwei Datensignale mit jeweils der halben Ausgangsdatenrate zu einem Signal mit der gewünschten Ausgangsdatenrate kombiniert. Der 2:1 SEL ist als PMUX ausgeführt, sodass er mit seinem Ausgang direkt die anzusteuern Last (MZM oder Oszilloskop) treibt. Die genaue Funktionsweise, die Dimensionierung und die sich aus dem PMUX-Konzept ergebenden Vorteile werden in Abschnitt 6.2 vertieft.

Die beiden Datensignale *Daten A* und *Daten B* am Eingang des 2:1 SEL stammen von vorgeschalteten MUX-Stufen mit für die beiden entwickelten MUX-Varianten unterschiedlichen MUX-Verhältnissen (4:1 für MUX-Variante 1 und 2:1 für MUX-Variante 2). Die vorgeschalteten MUX-Stufen werden zusammen mit einem zugehörigen Frequenzteiler für das Taktsignal im Folgenden als Prä-MUX bezeichnet. Die Prä-MUX-Stufen sind vom Projektpartner MICRAM entwickelt worden und stellen somit keinen Teil der vorliegenden Arbeit dar. Aus diesem Grund wird auf ihren Aufbau und ihre Entwicklung nicht näher eingegangen, sondern auf die zugehörige Veröffentlichung [24] verwiesen.

Von großer Bedeutung für die optimale Funktionsweise der MUX-Schaltung ist die Taktverteilung. Diese stellt für den 2:1 SEL und den Prä-MUX jeweils das benötigte Taktsignal bereit. Die Taktfrequenz am Eingang des 2:1 SEL entspricht der halben Ausgangsdatenrate, z. B. 50 GHz zum Erzeugen von 100 Gbit/s. Ein Taktsignal mit gleicher Frequenz wird auch am Eingang des Prä-MUX benötigt. Um den Abtastzeitpunkt des 2:1 SEL an





**Abbildung 6.2:** Vereinfachtes, gemeinsames Blockdiagramm von MUX-Variante 1 und MUX-Variante 2. Die grau hinterlegten Blöcke sind im Rahmen der vorliegenden Arbeit entwickelt worden.

die Datensignale *Daten A* und *Daten B* anpassen zu können, wird eine einstellbare Verzögerung der Taktsignale zwischen den beiden Pfaden zum 2:1 SEL und zum Prä-MUX realisiert. Denkbar wäre auch, stattdessen die Datensignale zu verzögern. Dies wäre jedoch mit deutlich größerem schaltungstechnischem Aufwand verbunden, da hierfür die Verzögerung von breitbandigen Signalen unter Wahrung einer über der Frequenz konstanten Gruppenlaufzeit erreicht werden müsste, wohingegen sich die Verzögerung eines monofrequenten Taktsignals verhältnismäßig einfach und deutlich weniger störungsanfällig realisieren lässt. Die hierfür bei MUX-Variante 1 und MUX-Variante 2 gewählten, sich unterscheidenden Konzepte werden in Abschnitt 6.3.3 ausführlich erläutert und bezüglich ihrer jeweiligen Vor- und Nachteile gegenüber gestellt. Neben der Einstellung der Verzögerung zwischen den beiden Pfaden zum Prä-MUX und zum 2:1-SEL ist es Aufgabe der Taktverteilung, ein an ihrem Eingang anliegendes, gegebenenfalls schwaches Taktsignal zu verstärken und somit den 2:1 SEL mit ausreichender Amplitude anzusteuern. Mit üblichen Signalgeneratoren sowie aufgrund der hohen Dämpfung von Bonddrähten und externen Kabeln ist es nur mit sehr großem Aufwand möglich, höhere Taktfrequenzen als 70 GHz am Eingang der integrierten Schaltung bereitzustellen. Da sich bei der gewählten MUX-Topologie damit lediglich Datenraten bis 140 Gbit/s erzeugen lassen würden, enthält die Taktverteilung von MUX-Variante 2 einen im Rahmen der Arbeit entwickelten Frequenzverdoppler, welcher in Abschnitt 6.3.5 vorgestellt wird.

Da für die Messungen keine externe Datenquelle zur Verfügung steht, um am Ausgang des MUX eine pseudozufällige Datenfolge (pseudo-random bit sequence, PRBS) mit einer Datenrate von bis zu 180 Gbit/s zu erhalten, ist ein im Rahmen dieser Arbeit

entwickelter PRBS-Generator integriert worden, welcher alternativ zu den externen Dateneingängen genutzt werden kann (siehe Blockdiagramm in Abbildung 6.2). Auf seine Funktion wird im Folgenden nicht eingegangen, da der PRBS-Generator im Gegensatz zu sämtlichen anderen entwickelten Schaltungszellen nicht am Rande der maximalen Technologiegeschwindigkeit arbeitet.

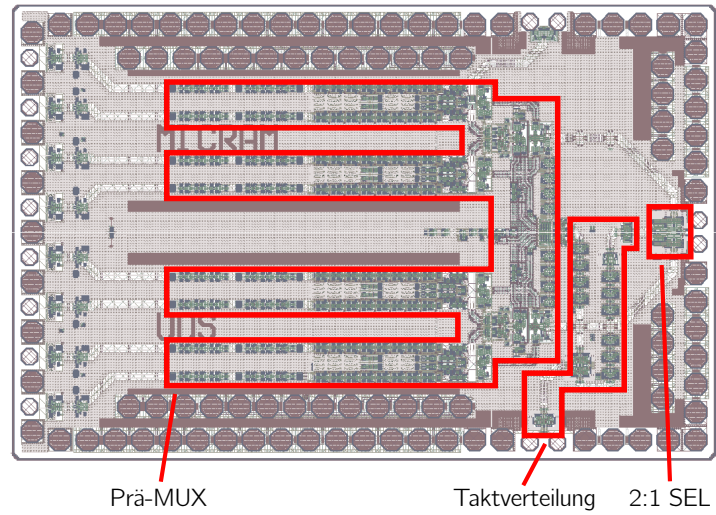
In Abbildung 6.3 sind die Layouts von MUX-Variante 1 und 2 dargestellt und den Blöcken aus Abbildung 6.2 zugeordnet. MUX-Variante 1 hat eine Fläche von  $2,6 \text{ mm} \times 1,7 \text{ mm}$  und MUX-Variante 2 eine von  $3,0 \text{ mm} \times 1,5 \text{ mm}$ . In beiden Fällen wird die Fläche nicht durch die Schaltungszellen bestimmt, sondern durch die benötigte Anzahl an Bondpads. Diese sind insbesondere nötig, um wie in Abschnitt 2.3 beschrieben für Messungen und Optimierungen die Arbeitspunkte der wichtigsten Stufen justieren zu können. Im Falle einer Produktentwicklung fallen viele dieser Einstellmöglichkeiten weg, sodass die integrierten Schaltungen bei gleicher Funktionalität kleiner ausfallen können.

## 6.2 Power-Multiplexer als 2:1-Selektor und als Ausgangstreiber

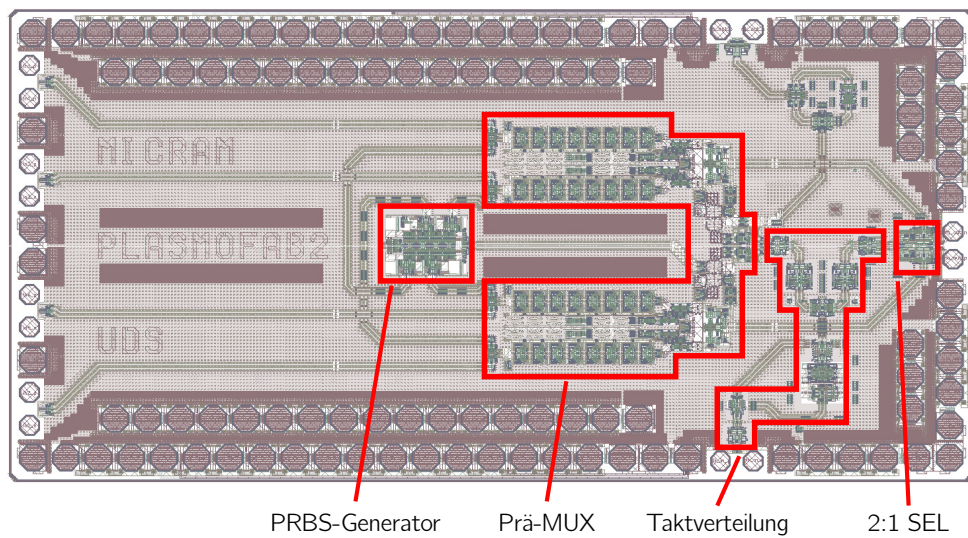
Von zentraler Bedeutung bei den entwickelten MUX-Schaltungen ist die Ausgangsstufe, welche mit der höchsten innerhalb der gesamten Schaltung vorkommenden Datenrate arbeitet und einen verhältnismäßig großen differentiellen Ausgangshub von  $2V_{pp}$  bereitstellen muss. Die Signalqualität an ihrem Ausgang beeinflusst unmittelbar die Signalqualität am Eingang des MZM und damit auch jene des resultierenden optischen Signals. Die Beschreibung des Aufbaus und der Dimensionierung der Ausgangsstufe findet sich in den im Rahmen der vorliegenden Arbeit entstandenen Veröffentlichungen [24, 33] und wird im Folgenden aufgrund ihrer Wichtigkeit für die erzielten Ergebnisse und die sich ergebenden Randbedingungen an die übrigen Stufen erneut vorgestellt und in diesem Zuge mit den Erkenntnissen aus dem theoretischen Teil der vorliegenden Arbeit verknüpft.

### 6.2.1 Gewählte Topologie und Schaltung

Die Ausgangsstufe wird bei den entwickelten MUX-Schaltungen in Form des PMUX-Konzeptes [32, 34] durch die finale 2:1-SEL-Zelle selbst gebildet, welche hierfür mit entsprechend hohem Betriebsstrom und Ausgangshub dimensioniert wird. In Abbildung 6.4 ist der (vereinfachte) zugehörige Schaltplan gezeigt. Es handelt sich um eine typische Topologie für eine 2:1-SEL-Zelle. Eine Betriebsstromquelle  $I_{0,SEL}$  versorgt einen SS, der über zwei kaskadierte EFs mit dem Taktsignal angesteuert und im Folgenden als TSS bezeichnet wird. Der TSS schaltet den Betriebsstrom abwechselnd zwischen zwei ebenfalls über kaskadierte EFs mit den jeweiligen Datensignalen angesteuerten Datenstromschaltern (DSSs) um. Auf diese Weise wird zwischen den Datensignalen gewechselt und damit die Funktion eines SEL bzw. MUX realisiert. An den Dateneingängen sind keine Master-Slave-D-Flip-Flops nötig, da ein SEL selbst bereits eine ausreichende CPM

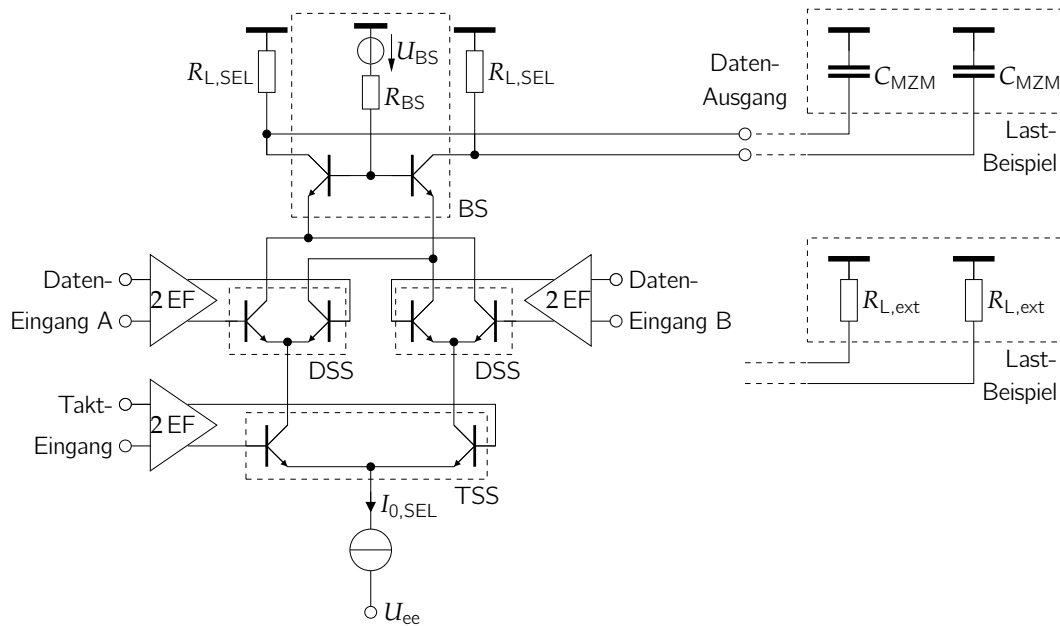


(a) MUX-Variante 1.



(b) MUX-Variante 2.

**Abbildung 6.3:** Layouts von MUX-Variante 1 und 2.



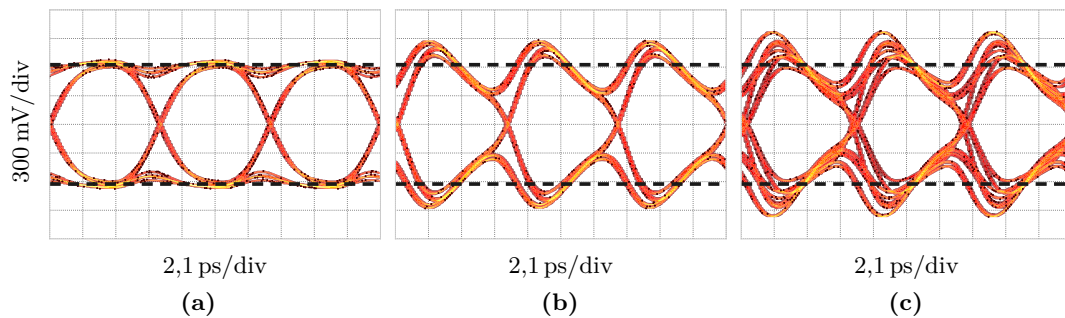
**Abbildung 6.4:** Vereinfachter Schaltplan der 2:1-SEL-Zelle mit zwei verschiedenen Last-Beispielen für einen integrierten MZM und für eine externe ohmsche Last  $R_{L,ext}$ .

besitzt, um die Datensignale an seinen Eingängen sauber abtasten zu können [34]. Der kombinierte Ausgang der beiden DSSs in Abbildung 6.4 wird einer BS zugeführt, deren Verwendung mehrere Vorteile mit sich bringt. Da der maximale Strom durch die Transistoren der BS genau wie bei den DSSs  $I_{0,SEL}$  ist, verfügt sie über ähnlich große Transistoren und damit eine ähnliche Ausgangskapazität wie ein einzelner DSS. An ihrem Ausgang wirkt folglich nur die halbe Kapazität wie an den parallel geschalteten Ausgängen der beiden DSS. Diese Reduktion der Ausgangskapazität durch den Einsatz der BS erhöht die Grenzfrequenz des 2:1 SEL deutlich. Die gute Entkopplung der BS zwischen Ein- und Ausgang reduziert ein potenzielles Übersprechen des Datensignals vom Ausgang des 2:1 SEL auf die Eingangs-Datensignale. Schließlich sorgt die näherungsweise induktive Eingangsimpedanz der BS in Verbindung mit der kapazitiven Ausgangsimpedanz der DSSs für eine Resonanzüberhöhung an der zugehörigen Schnittstelle im Sinne des komplexen Fehlanpassungskonzepts [13] und damit ebenfalls für eine Erhöhung der Grenzfrequenz. Der Ausgang der BS wird direkt mit der anzusteuern Last verbunden, welche im Falle des monolithisch integrierten MZM im Wesentlichen kapazitiv [86] und im Falle einer externen Last aufgrund des dann nötigen Abschlusses von externen TMLs hauptsächlich resistiv ist. Die beiden Lastfälle sind in Abbildung 6.4 beispielhaft in Form von Kapazitäten  $C_{MZM}$  bzw. Widerständen  $R_{L,ext}$  eingezeichnet.

Die direkte Ansteuerung der Last durch die 2:1-SEL-Zelle im Sinne des PMUX-Konzepts bietet gegenüber der Verwendung einer zusätzlichen Treiberstufe mehrere Vorteile, welche in [32] genannt und im Folgenden wiedergegeben werden. Um eine gute Qualität

des Ausgangssignals einer Treiberstufe zu erzielen, müsste letztere eine über der Frequenz konstante Gruppenlaufzeit aufweisen, da es ansonsten aufgrund von Dispersion zu Verzerrungen der Signalform kommt. Aufgrund von zeitabhängigen Effekten, welche bei Hochgeschwindigkeitsschaltungen häufig auftreten, müssten aufwändige zusätzliche Schaltungsmaßnahmen zur Kompensation eingesetzt werden. Beim PMUX-Konzept hingegen wird die Signalform des Datenausgangs im Wesentlichen ausschließlich durch die periodische Signalform am Ausgang des TSS bestimmt. Dies lässt sich dadurch erreichen, dass die Phase des Taktsignals am Eingang der 2:1-SEL-Zelle so eingestellt wird, dass die jeweiligen Eingangs-Datensignale *Daten A* und *Daten B* ihre Bitwechsel während der inaktiven Phase des zugehörigen DSS haben, sodass sie während dessen gesamter aktiven Phase konstant sind. Auf diese Weise wirken die DSSs im Hinblick auf die Signalübertragung lediglich wie eine weitere BS. Jitter oder Störungen auf den Eingangs-Datensignalen zeigen sich dementsprechend nicht am Ausgang der 2:1-SEL-Zelle, solange die Störungen nicht so groß werden, dass die DSSs während ihrer jeweils aktiven Phase nicht mehr vollständig durchgeschaltet sind. Da die Datensignale am Eingang des 2:1 SEL nur während der jeweils inaktiven Phase des zugehörigen DSS wechseln, ist die kapazitive Belastung der Dateneingänge während der Schaltflanken aufgrund der in der inaktiven Phase geringen Diffusionskapazität der DSS-Transistoren verhältnismäßig gering. Die Anforderungen an die Stufen, welche die Daten-Eingangssignale bereitstellen, sind dadurch gering.

Da das Ausgangssignal des mit dem Taktsignal angesteuerten TSS unmittelbar Form und Qualität des Datenausgangssignals der 2:1-SEL-Zelle und damit des gesamten MUX beeinflusst, können die in Kapitel 4 vorgestellten Maßnahmen zur Verbesserung von Ausgangsamplitude, Grenzfrequenz und Flankensteilheit von mit Taktsignalen angesteuerten SSs unmittelbar auf den TSS angewendet werden, um die gleichen Größen des Datenausgangssignals zu verbessern. Insbesondere der in Abschnitt 4.2 ausführlich erläuterte dynamische Überhöhungseffekt trägt dazu bei, dass ein Tiefpassverhalten an der Ausgangsschnittstelle des MUX sowohl bezüglich des Betrags- als auch des Phasengangs (teilweise) kompensiert wird. Dieses Verhalten wird anhand der in Abbildung 6.5 gezeigten Beispielsimulationen mit der in Abschnitt 6.2.2 vorgestellten Dimensionierung der Schaltung für eine Datenrate von 140 Gbit/s entsprechend der maximalen Datenrate von MUX-Variante 1 verdeutlicht. Es wird eine resistive Last von  $R_{L,ext} = 50 \Omega$  an beiden differentiellen Ausgängen gewählt, wie sie beispielsweise bei Messung mit einem Oszilloskop auftritt. Um einen Vergleich zwischen dem Ausgangssignal mit und ohne dynamischen Überhöhungseffekt zu ermöglichen, wird als Transistor-Modell für die Simulation das einfache ESB aus Abbildung 3.1 verwendet, da bei diesem die Transistor-Kapazitäten auf einfache Weise variiert werden können. Auf eine Extraktion der parasitären Layout-Elemente der Schaltung wird zur Demonstration des prinzipiellen Verhaltens verzichtet. Die gezeigte Simulation dient folglich lediglich zur Veranschaulichung der Zusammenhänge, spiegelt aufgrund der Einfachheit der verwendeten Modelle jedoch nicht die tatsächliche Qualität der Ausgangssignale wider. Realitätsnahe Simulationen der Augendiagramme sind gegen Ende des vorliegenden Abschnitts zu finden. Für die Simulationen werden in einem ersten Schritt sämtliche den dynamischen Überhöhungseffekt am TSS bedingen-



**Abbildung 6.5:** Simulierte Augendiagramme am Ausgang der 2:1-SEL-Zelle aus Abbildung 6.4 mit  $R_{L,ext} = 50 \Omega$  als Last bei 140 Gbit/s unter Verwendung des Transistor-ESB aus Abbildung 3.1. Die statischen Pegel sind zum Vergleich in Form von horizontalen, gestrichelten Linien eingezeichnet. Für die Kapazitäten des TSS gilt mit der Definition in Abbildung 3.4 für (a)  $C_{BE0} = 0, C_{i0} = 0$  und für (b)+(c)  $C_{BE0} = 26 \text{ fF}, C_{i0} = 60 \text{ fF}$ . In (a)+(b) wird der TSS mit einem reinen Gegendtakt-Signal angesteuert, in (c) single-ended.

den Kapazitäten zu null gesetzt, sodass kein dynamischer Überhöhungseffekt auftritt. Die übrigen Kapazitäten und jene der anderen Transistoren weisen typische Werte aktueller Hochgeschwindigkeitstechnologien auf. Das Augendiagramm der Ausgangsdaten in Abbildung 6.5a zeigt für diesen Fall zwar eine sehr klare Öffnung, an den Flanken ist jedoch ein leichtes Tiefpassverhalten erkennbar. Im nächsten Schritt werden auch für die TSS-Transistoren die den Technologiewerten entsprechenden Kapazitäten verwendet. Bei dem zugehörigen Simulationsergebnis in Abbildung 6.5b tritt ein deutlicher dynamischer Überhöhungseffekt auf, welcher im gezeigten Beispiel das Tiefpassverhalten überkompensiert und dadurch sowohl zu einer größeren vertikalen Augenöffnung über den statischen Pegel hinaus als auch zu einer zeitlichen Verschiebung der maximalen Augenöffnung an den Beginn der jeweiligen Bitperiode führt. Zu beachten ist, dass dieses durch den dynamischen Überhöhungseffekt erzielte Verhalten sich von jenem bei einer Anhebung des Frequenzgangs der Ausgangsschnittstelle bei hohen Frequenzen, beispielsweise durch Einfügen von Induktivitäten zum Bilden von Resonanzkreisen, unterscheidet. Bei einer Anhebung des Frequenzgangs der Ausgangsschnittstelle werden zwar ebenfalls die Flankensteilheit erhöht und der statische Pegel bei Bitwechseln kurzzeitig überschritten. Im Falle mehrerer aufeinander folgender identischer Bits des Datensignals nimmt das Ausgangssignal jedoch nach kurzem Überschwingen wieder seinen statischen Pegel an, sodass die vertikale Öffnung im Augendiagramm diesen prinzipbedingt nicht überschreiten kann. Der dynamische Überhöhungseffekt hingegen wirkt am TSS und damit bereits vor den DSSs. Daher zeigt er sich auch im Falle eines über mehrere Bits konstanten Datensignals am Ausgang des 2:1 SEL in Form einer periodischen Schwankung des Pegels mit einer Periodenlänge von der Länge eines Bits. In Abbildung 6.5b lässt sich diese Schwankung anhand der Einhüllenden des Augendiagramms erkennen. Eine Schwankung des Ausgangssignals im Falle konstanter Daten mag zunächst nachteilig erscheinen. Tat-

sächlich erweist sich diese Schwankung jedoch als vorteilhaft, da ihre Phasenlage derart ist, dass das Ausgangssignal in der Nähe des optimalen Abtastzeitpunktes überhöht und im Bereich der Flanken abgesenkt wird. Auf diese Weise wird auch für Datensignale mit mehreren aufeinander folgenden identischen Bits durch den dynamischen Überhöhungseffekt am TSS eine Vergrößerung der vertikalen Augenöffnung über den statischen Pegel hinaus ermöglicht. Durch Anpassung der Eingangsamplitude des Taktsignals ist es auf einfache Weise noch im Betrieb möglich, die Stärke des dynamischen Überhöhungseffekts zu justieren und somit eine optimale Kompensation des Tiefpassverhaltens der Ausgangsschnittstelle zu erreichen. Das Takt-Eingangssignal des TSS sollte folglich über eine einstellbare Amplitude bis zu verhältnismäßig großen Werten im Bereich mehrerer hundert Millivolt bis ein Volt verfügen, um den dynamischen Überhöhungseffekt sowohl justieren als auch voll ausnutzen zu können.

Bei den gezeigten Beispielen in Abbildung 6.5a und 6.5b wird der TSS mit einem reinen Gegentakt-Signal angesteuert. In einem weiteren Beispiel in Abbildung 6.5c wird stattdessen ein single-ended-Eingangssignal verwendet, welches aufgrund seines starken Gleichtakt-Anteils wie in Kapitel 5 erläutert einen Gleichanteil am Ausgang des TSS erzeugt und damit zu einem unterschiedlich großen Hub jeden zweiten Bits führt. Im Augendiagramm äußert sich dies in Form von starkem Zeit- und Amplituden-Jitter. Als Anforderungen an das Taktsignal am Eingang der 2:1-SEL-Zelle ergeben sich folglich neben einer einstellbaren, möglichst großen Gegentakt-Amplitude ein möglichst geringer Gleichtakt-Anteil.

Neben den genannten Vorteilen erlaubt es das PMUX-Konzept, verhältnismäßig einfach Datensignale mit Pulsamplitudenmodulation (PAM) anstelle von NRZ zu erzeugen, indem mehrere mit gewichteten Betriebsströmen  $I_{0,SEL}$  versehene 2:1-SEL-Zellen an ihren jeweiligen Ausgängen parallel geschaltet werden. Durch die CML-Schnittstellen überlagern sich die jeweiligen Ausgangssignale unmittelbar an der gemeinsamen Ausgangsschnittstelle und stellen damit im Gegensatz zu alternativen Konzepten mit zusätzlicher Treiberstufe keine nennenswerten Anforderungen an die Linearität der Schaltung. Es ändert sich allerdings die Dimensionierung der Schaltung hinsichtlich des dynamischen Überhöhungseffekts am TSS. Während bei NRZ eine ausgeprägte Überhöhung im Allgemeinen hilfreich ist, um die vertikale Öffnung der Augendiagramme am Datenausgang zu erhöhen, kann dies bei PAM dazu führen, dass bei Wechseln von niederwertigen Bits fälschlicherweise die Schaltschwellen höherwertiger Bits erreicht werden. Der dynamische Überhöhungseffekt sollte bei der Verwendung von PAM daher moderater als bei NRZ eingesetzt werden, z. B. durch eine Verringerung der Taktamplitude am Eingang des TSS oder eine Reduktion von dessen Transistor-Kapazitäten. Von der Möglichkeit der Erzeugung von PAM wird in der vorliegenden Arbeit kein Gebrauch gemacht.

### 6.2.2 Dimensionierung der Schaltung

Die – vom Autor bereits in [24] vorgestellte – Dimensionierung der Schaltung des 2:1 SEL in Abbildung 6.4 wird zweckmäßigerweise von der Seite der Ausgangsschnittstelle aus

begonnen, da sich deren Dimensionierung direkt aus der an den MUX gestellten Spezifikation ergibt. Im Falle des anzusteuernenden MZM ist ein differentieller Spannungshub von  $2V_{pp}$  gewünscht. Da der MZM im Wesentlichen eine kapazitive Last darstellt [86], bietet sich eine Parallelschaltung mit Lastwiderständen  $R_{L,SEL}$  an, um den Spannungshub für langsame Bitfolgen oder statische Datensignale festzulegen. Zusammen mit dem MZM ergeben sich folglich R-C-Glieder in beiden differentiellen Pfaden. Deren Grenzfrequenz sollte ausreichend hoch für die zu übertragenden Datensignale sein. Als guter Richtwert hierfür hat sich  $3/4$  der maximal auftretenden Datenrate etabliert [20]. Dies kann entweder erreicht werden, indem die Lastwiderstände ausreichend niederohmig gewählt werden oder indem durch Hinzufügen von induktiven Elementen eine Kompensation der Kapazität des MZM vorgenommen wird. Da im Rahmen des Forschungsprojekts PLASMOfab die Entwicklungen von MZM und MUX zeitlich parallel durchgeführt worden sind, war die Kapazität des MZM zum Zeitpunkt der Entwicklung des MUX noch nicht endgültig bekannt, weshalb eine induktive Kompensation nicht möglich war. Zudem ist es zur Risikominimierung bei der Entwicklung hilfreich, wenn der MUX auch rein elektrisch mithilfe eines Oszilloskops anstelle eines MZM als Last getestet werden kann. Aus diesem Grund folgt die Dimensionierung der Lastwiderstände einem Kompromiss, welcher es ermöglicht, sowohl Messungen mit externen Messgeräten durchzuführen als auch einen MZM monolithisch zu integrieren, allerdings auf Kosten eines höheren Energiebedarfs als bei einer rein auf den MZM optimierten Schnittstelle. Hierzu wird  $R_{L,SEL} = 50\ \Omega$  gewählt. Im Falle des monolithisch integrierten MZM führt diese Wahl aufgrund dessen typischer Kapazität im einstelligen Femtofarad-Bereich [86] zu Grenzfrequenzen des aus Lastwiderstand und MZM gebildeten R-C-Glieds von über 300 GHz, sodass der MZM für die Modellierung der Ausgangsschnittstelle in erster Näherung vernachlässigbar ist und damit Schwankungen von dessen Kapazität kaum Einfluss auf die Schnittstelle haben. Gleichzeitig erlaubt die Wahl von Widerständen  $R_{L,SEL}$  mit  $50\ \Omega$  einen Abschluss von externen TMLs, welche für Messungen mit einem Oszilloskop notwendig sind.

Um im Falle eines monolithisch integrierten MZM einen Spannungshub von  $2V_{pp}$  an den Lastwiderständen  $R_{L,SEL}$  zu erhalten, wird ein Betriebsstrom von  $I_{0,SEL} = 20\ \text{mA}$  benötigt. Damit eine gewisse Reserve vorhanden ist, wird  $I_{0,SEL} = 25\ \text{mA}$  gewählt. Bei Messung des Ausgangssignals mithilfe eines externen Oszilloskops halbiert sich der beobachtete Spannungshub aufgrund des dabei auftretenden zusätzlichen, externen Abschlusses der Ausgangsschnittstelle mit  $R_{L,ext} = 50\ \Omega$  durch das Oszilloskop. Die Vorspannung  $U_{BS}$  der BS in Abbildung 6.4 muss so gewählt werden, dass der maximal auftretende einseitige Spannungshub von  $1,25V_{pp}$  bei einem monolithisch integrierten MZM nicht dazu führt, dass die BS-Transistoren invers aktiv werden. Da zudem die Kollektor-Basis-Diffusionskapazität der BS-Transistoren mit sinkender Spannung zwischen Kollektor und Basis zunimmt, sollte zusätzlich etwas Reserve eingehalten werden, um das Hochgeschwindigkeitsverhalten der Schaltung nicht zu verschlechtern. Aus diesem Grund wird  $U_{BS} = 1,2\ \text{V}$  gewählt, was bei einer typischen mittleren Basis-Emitter-Spannung von 800 mV etwas mehr als 700 mV Reserve zum invers-aktiven Bereich der BS-Transistoren bietet. Die Wahl einer derart großen Spannung für  $U_{BS}$  führt allerdings dazu, dass die BS-Transistoren maximale Kollektor-Emitter-Spannungen von bis zu 20 % über dem



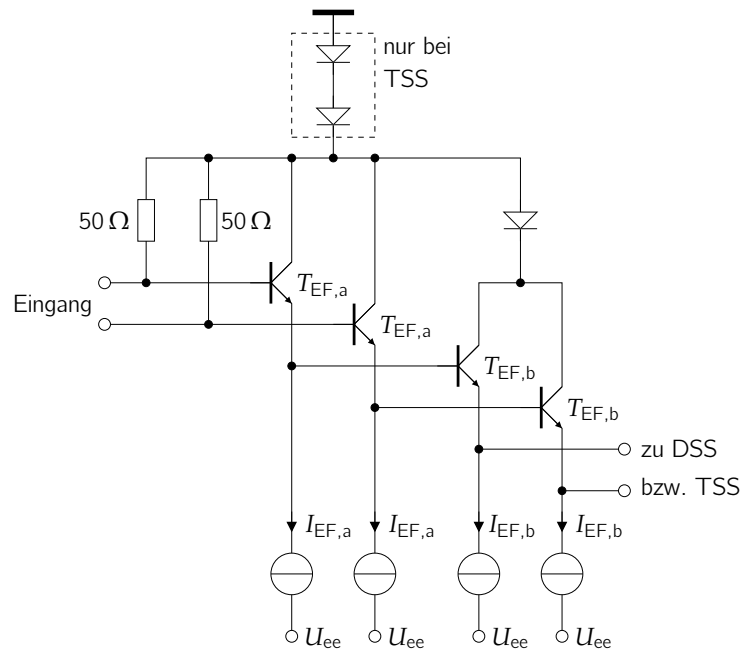
spezifizierten Maximalwert für einen offenen Basisanschluss erfahren. Im konkreten Fall ist der Basisanschluss jedoch nicht offen, sondern mit  $R_{\text{BS}} \approx 350 \Omega$  abgeschlossen. Zudem ist der Emitterstrom der BS-Transistoren durch den Betriebsstrom  $I_{0,\text{SEL}}$  begrenzt und es wird die spezifizierte maximale Kollektor-Basis-Spannung deutlich unterschritten. Daher ist die mäßige Überschreitung der maximalen Kollektor-Emitter-Spannung unproblematisch [88, 38].

Der Widerstand  $R_{\text{BS}}$  sollte so klein wie möglich sein, um eine hohe Geschwindigkeit der BS-Transistoren zu ermöglichen und das moderate Überschreiten ihrer maximalen Kollektor-Emitter-Spannung zu erlauben. Gleichzeitig muss  $R_{\text{BS}}$  so groß wie nötig sein, um die Stabilität der BS zu gewährleisten. Simulationen der Stabilität mit den Methoden aus [42] führen unter Einhaltung einer gewissen Reserve zu dem gewählten Wert von  $350 \Omega$ .

Der Betriebsstrom  $I_{0,\text{SEL}}$  legt unmittelbar die Dimensionierung der Transistoren fest. In der zur Verfügung stehenden Technologie kann als einziger Transistorparameter die Emitterlänge variiert werden. Sämtliche Transistoren in Abbildung 6.4 müssen in der Lage sein, den vollen Betriebsstrom  $I_{0,\text{SEL}}$  schnell zu schalten. Mit der in der Technologie verfügbaren maximalen Emitterfläche von  $0,63 \mu\text{m}^2$  eines Transistors wird die Stromdichte bei der maximalen Transitfrequenz bereits um circa 35 % überschritten. Die Überschreitung wird in Kauf genommen, da Simulationen mithilfe des zur Technologie gehörenden HICUM-Modells in Verbindung mit aus dem Layout extrahierten parasitären Elementen zeigen, dass die Signalqualität trotz des Überschreitens der optimalen Stromdichte besser ist, als wenn jeweils zwei Transistoren parallel geschaltet würden. Dieses Verhalten lässt sich dadurch erklären, dass die im Falle parallel geschalteter Transistoren zusätzlich auftretenden Transistor- und Layout-Kapazitäten die Geschwindigkeit stärker beeinträchtigen als das Überschreiten der maximalen Stromdichte. Messungen von MUX-Variante 1 zeigen sogar, dass selbst bei einer Erhöhung des Betriebsstroms auf  $I_{0,\text{SEL}} = 40 \text{ mA}$  und damit einer Überschreitung der maximalen Stromdichte um über 100 % Datenraten von bis zu 100 Gbit/s bei weiterhin guten Augendiagrammen möglich sind (siehe Kapitel 7).

Die benötigte Versorgungsspannung von  $U_{\text{ee}} = -5,5 \text{ V}$  der 2:1-SEL-Zelle ergibt sich aus dem einseitigen Ausgangsspannungshub von bis zu  $1,25 V_{\text{pp}}$  und der Kaskadierung von BS, DSS, TSS sowie der den Betriebsstrom  $I_{0,\text{SEL}}$  liefernden Stromquelle, wofür jeweils mindestens die Spannung einer Basis-Emitter-Strecke plus eine zusätzliche Reserve eingeplant werden müssen. Genauere Betrachtungen zur Bestimmung der benötigten Versorgungsspannung bei kaskadierten CML-Stufen sind in [42] zu finden. Da die 2:1-SEL-Zelle von allen entwickelten Zellen die betragsmäßig größte Versorgungsspannung benötigt, wird ihre Versorgungsspannung zugunsten einer einfacheren Versorgungsspannungsverteilung für alle Zellen der integrierten MUX-Schaltung genutzt.

Um einen ausgeprägten dynamischen Überhöhungseffekt am TSS der 2:1-SEL-Zelle und damit eine gute Kompensation eines Tiefpassverhaltens der Ausgangsschnittstelle zu erreichen, könnten wie in Abschnitt 4.2 empfohlen zusätzliche Kapazitäten zwischen



**Abbildung 6.6:** Vereinfachter Schaltplan der in Abbildung 6.4 als Block stilisierten kaskadierten EF-Paare.

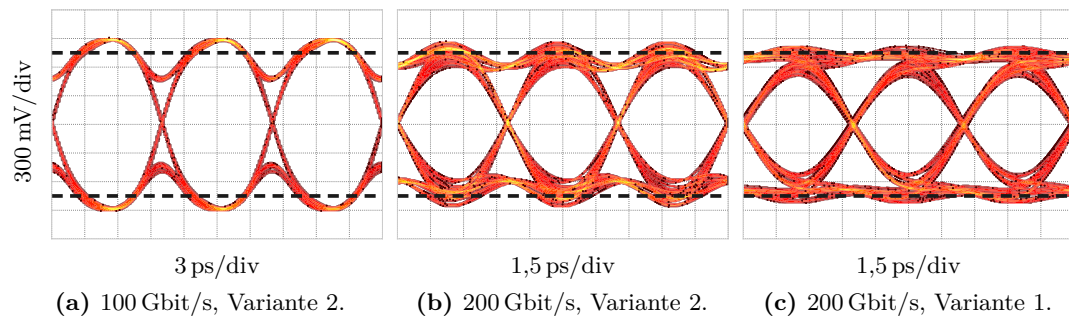
Basis und Emittter der TSS-Transistoren geschaltet werden, um deren Kapazität  $C_{BE0}$  zu erhöhen. Der verhältnismäßige hohe Betriebsstrom  $I_{0,SEL} = 25 \text{ mA}$  und die dadurch bedingte Wahl einer großen Emittterfläche von  $0,63 \mu\text{m}^2$  für sämtliche in Abbildung 6.4 dargestellten Transistoren führt jedoch bereits zu verhältnismäßig großen kapazitiven Eingangsströmen in die Basen von TSS und DSS. Um die ansteuernden EFs nicht zusätzlich zu belasten, wird auf das Einbringen zusätzlicher Kapazitäten verzichtet und ein großer dynamischer Überhöhungseffekt stattdessen durch das Anlegen einer ausreichend hohen Gegentakt-Amplitude des Taktsignals am TSS erzielt.

Zur Ansteuerung von TSS und DSS werden jeweils zwei kaskadierte EF-Paare verwendet, wie in Abbildung 6.6 dargestellt. Für die Dimensionierung von EFs finden sich in der Literatur zahlreiche Kriterien und Methoden [13, 14, 15, 16, 17, 42, 49, 50, 70]. Wesentliche Punkte dabei sind die Ausnutzung der Impedanztransformation, insbesondere zur Resonanzüberhöhung mithilfe komplex konjugierter Fehlanpassung und die Gewährleistung der Stabilität der Schaltung. Diese Punkte sind auch bei der Dimensionierung sämtlicher im Rahmen der vorliegenden Arbeit verwendeten EFs beachtet und durch Klein- und Großsignal-Simulationen verifiziert worden. Da es sich hierbei um eine Vorgehensweise gemäß des Stands der Technik handelt, wird darauf nicht näher eingegangen. Im konkreten Fall des 2:1 SEL ergeben sich als Dimensionierung für die EFs vor den DSSs Betriebsströme von  $I_{EF,a} = 6 \text{ mA}$  und  $I_{EF,b} = 9 \text{ mA}$  mit Emittterflächen von  $0,32 \mu\text{m}^2$  für die Transistoren  $T_{EF,a}$  und  $0,63 \mu\text{m}^2$  für  $T_{EF,b}$ . Bei den die TSS ansteuernden EFs werden  $I_{EF,a} = 9 \text{ mA}$  sowie  $I_{EF,b} = 16 \text{ mA}$  und  $0,44 \mu\text{m}^2$  respektive  $0,63 \mu\text{m}^2$  für die

Emitterflächen von  $T_{\text{EF},a}$  und  $T_{\text{EF},b}$  gewählt. Die Widerstände am Eingang der EFs gegen Masse betragen jeweils  $50\ \Omega$ , da sie den Abschluss von integrierten TMLs mit einer Wellenimpedanz von  $50\ \Omega$  bilden. Das Kollektorpotenzial des jeweils zweiten EF-Paars ist mithilfe eines zu einer Diode verschalteten Transistors um eine Basis-Emitter-Strecke abgesenkt, um zu verhindern, dass die maximale Kollektor-Emitter-Spannung der EF-Transistoren überschritten wird. Bei den den TSS ansteuernden EFs wird zudem das gesamte Massepotenzial inklusive jenes der Abschlusswiderstände am Eingang durch zwei in Reihe geschaltete Dioden abgesenkt. Dies dient als einfache Maßnahme zur Anpassung des Arbeitspunkts für den TSS, welcher aufgrund der Anordnung in Abbildung 6.4 um mehr als eine Basis-Emitter-Strecke unter jenem der DSSs liegen muss. Das Ausgangspotenzial der das Taktsignal bereitstellenden Stufe ist dazu passend ebenfalls abgesenkt. Hierauf wird in Abschnitt 6.3.4 näher eingegangen.

Sowohl der Betriebsstrom  $I_0$  des 2:1 SEL als auch die Ströme der EFs sind wie in Abschnitt 2.3 beschrieben einstellbar ausgeführt, um eine Justage der Arbeitspunkte im Betrieb zu ermöglichen. Messungen haben jedoch demonstriert, dass die voreingestellten Ströme bereits nahe des Optimums liegen, sodass keine Nachjustage erforderlich ist.

Die 2:1-SEL-Zellen der beiden MUX-Varianten unterscheiden sich nur marginal bezüglich der Dimensionierung ihrer EFs. Bei der Gestaltung des Layouts ist bei MUX-Variante 2 darauf geachtet worden, die parasitären Layout-Kapazitäten von signalführenden Leitungen gegenüber MUX-Variante 1 weiter zu verringern, wodurch die Bandbreite und die Qualität der Ausgangssignale verbessert werden. In Abbildung 6.7 sind simulierte Augendiagramme am Ausgang der 2:1-SEL-Zelle gezeigt. Für die Simulation werden HICUM-Transistormodelle und die Extraktion parasitärer Layout-Elemente verwendet. Das Modell der Ausgangsschnittstelle beinhaltet die Bondpad-Kapazitäten sowie ideale Lastwiderstände von  $R_{L,\text{ext}} = 50\ \Omega$ , nicht jedoch Bonddraht-Induktivitäten oder externe TMLs. Dieses Modell bildet den Abgriff des Ausgangssignals mithilfe eines idealen GSSG-Tastkopfes nach. Für die Simulation wird die 2:1-SEL-Zelle an ihren Dateneingängen mit idealen Stromquellen und an ihrem Takteingang durch den in der Taktverteilung vorgeschalteten finalen Takttreiber angesteuert (siehe Abschnitt 6.3.4). In Abbildung 6.7a ist das Augendiagramm von MUX-Variante 2 bei einer Datenrate von 100 Gbit/s dargestellt. Es weist eine sehr klare Öffnung auf, welche mit einem differentiellen Hub von  $1,5\ V_{\text{pp}}$  sogar die bei der Dimensionierung festgelegten statischen Pegel entsprechend eines Hubs von  $1,25\ V_{\text{pp}}$  übersteigt. Dies ist dem dynamischen Überhöhungseffekt am TSS zu verdanken. Auch bei einer Datenrate von 200 Gbit/s in Abbildung 6.7b ist die Augenöffnung klar und die differentielle innere Augenöffnung erreicht weiterhin nahezu die statischen Pegel. Die Ergebnisse bestätigen die gute Eignung des PMUX-Konzepts als Treiber für derart hohe Datenraten. Der Vergleich von MUX-Variante 2 in Abbildung 6.7b mit MUX-Variante 1 in Abbildung 6.7c demonstriert für eine Datenrate von 200 Gbit/s anhand einer etwas größeren vertikalen Augenöffnung die erreichten Verbesserungen durch die Reduktion der Layout-Kapazitäten bei der 2:1-SEL-Zelle und durch die geänderte Topologie beim vorgeschalteten finalen Takttreiber (siehe hierfür Abschnitt 6.3.4). Aus der bei MUX-Variante 2 ausgeprägteren periodischen Schwankung der Einhüllenden der



**Abbildung 6.7:** Simulierte Augendiagramme am differentiellen Ausgang der 2:1-SEL-Zelle aus Abbildung 6.4 unter Verwendung von HICUM-Transistormodellen und Extraktion von parasitären Layout-Elementen mit Assura QRC. Die statischen Pegel sind zum Vergleich als gestrichelte horizontale Linien eingezeichnet.

Augendiagramme lässt sich ableiten, dass hier der dynamische Überhöhungseffekt deutlicher auftritt als bei MUX-Variante 1 und so zu der größeren Augenöffnung beiträgt. Unabhängig davon zeigt selbst der 2:1 SEL von MUX-Variante 1 eine gute Augenqualität bei 200 Gbit/s. Die Limitierung der Datenrate bei MUX-Variante 1 auf 140 Gbit/s ist folglich nicht dem 2:1 SEL geschuldet, sondern der ihn ansteuernden Taktverteilung, auf welche im Folgenden eingegangen wird.

## 6.3 Aufbau und Entwicklungsaspekte der Taktverteilung

Die in Abschnitt 4.2 vorgeschlagenen Maßnahmen zu Dimensionierung legen nahe, dass das Takt-Eingangssignal der 2:1-SEL-Zelle möglichst groß sein sollte, um einen ausgeprägten dynamischen Überhöhungseffekt zu erzielen. Da das Takt-Eingangssignal zudem unmittelbar das Daten-Ausgangssignal beeinflusst und sich somit auch Tastgradfehler oder sonstige Asymmetrien des Takt-Eingangssignals am Daten-Ausgang niederschlagen, sind die Anforderungen an das Takt-Eingangssignal der 2:1-SEL-Zelle entsprechend hoch. Im Folgenden wird daher die zur Bereitstellung des Taktsignals entwickelte Taktverteilung der integrierten MUX-Schaltungen näher vorgestellt. Die Taktverteilung hat wie in Abbildung 6.2 angedeutet die Aufgabe, ein von außen angelegtes, gegebenenfalls schwaches Taktsignal zu verstärken und zu der 2:1-SEL-Zelle sowie zum Prä-MUX zu verteilen, wobei zusätzlich die Phasendifferenz zwischen den beiden Pfaden um bis zu  $360^\circ$  im Betrieb eingestellt wird. Um einen möglichst ausgeprägten dynamischen Überhöhungseffekt am TSS der 2:1-SEL-Zelle erzielen zu können, muss das Taktsignal am Ausgang der Taktverteilung über eine dafür ausreichend große und einstellbare Amplitude verfügen. Tastgradfehler und Gleichanteile sollten so weit wie möglich minimiert werden. Um den MUX mit unterschiedlichen Datenraten betreiben zu können, ist auch die Taktverteilung entsprechend breitbandig ausgeführt, da die Taktfrequenz am Eingang des 2:1 SEL dessen halber Ausgangsdatenrate entspricht und damit in gleichem

Maße wie diese variiert.

Der Prä-MUX aus Abbildung 6.2 beinhaltet ebenfalls eine Taktverteilung. Diese wird im Folgenden jedoch nicht betrachtet. Das Augenmerk liegt ausschließlich auf der auf der höchsten Geschwindigkeitsebene arbeitenden Taktverteilung vom Takt-Eingang der integrierten Schaltung zu Prä-MUX und 2:1 SEL, da diese Taktverteilung größere Herausforderungen an die Entwicklung stellt als die langsamere Taktverteilung innerhalb des Prä-MUX.

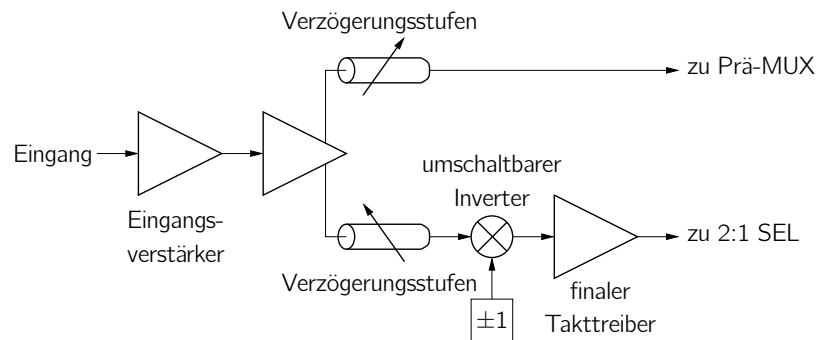
### 6.3.1 Wahl der Topologie der Taktverteilung

Die Taktverteilungen von MUX-Variante 1 und MUX-Variante 2 haben eine gemeinsame, nahezu identische Topologie, welche bei MUX-Variante 2 um zusätzliche Komponenten erweitert ist. Im Folgenden wird zunächst die Topologie von MUX-Variante 1 vorgestellt und im Anschluss auf die Erweiterungen bei MUX-Variante 2 eingegangen.

In Abbildung 6.8 ist die Topologie der Taktverteilung von MUX-Variante 1 in Form eines Blockdiagramms dargestellt. Die Topologie ergibt sich auf direkte Weise aus den an sie gestellten Anforderungen. Um das extern über TMLs und Bonddrähte zugeführte (schwache) Taktsignal zu verstärken, befindet sich am Eingang der Taktverteilung ein Eingangsverstärker. Dessen Positionierung ist dabei nicht nur auf Blockdiagrammebene, sondern auch räumlich im Layout direkt am Eingang bei den Bondpads gewählt, um das Eingangssignal nicht durch lange TMLs innerhalb der integrierten Schaltung zu dämpfen oder zu degradieren. Der Eingangsverstärker hat die Aufgabe, für die restliche Taktverteilung ein Taktsignal mit ausreichender Amplitude bereitzustellen und bereits dafür zu sorgen, dass nur möglichst geringe Gleichtakt-Anteile und Tastgradfehler vorhanden sind. Auf die Schaltung und die Dimensionierung des Eingangsverstärkers wird in Abschnitt 6.3.2 eingegangen.

Das Ausgangssignal des Eingangsverstärkers wird mithilfe eines aktiven Splitters in zwei Pfade aufgespalten. Der Splitter hat eine vergleichbare Schaltung wie der Eingangsverstärker, verfügt im Gegensatz zu diesem jedoch über zwei SSs zum Ansteuern seiner beiden Ausgänge. Da die Entwicklung des Splitters deutlich weniger Besonderheiten birgt als die der übrigen Stufen, wird darauf im Folgenden nicht näher eingegangen.

Um die relative Phase der beiden Ausgänge der Taktsignale zueinander und damit den Abtastzeitpunkt des 2:1 SEL einstellen zu können, befinden sich in beiden Pfaden der Taktverteilung einstellbare Verzögerungsstufen sowie ein umschaltbarer Inverter, was zusammen einen Einstellbereich von in etwa  $360^\circ$  erlaubt. Der Inverter ermöglicht dabei eine selektierbare Phasenverschiebung von  $180^\circ$ , sodass die Verzögerungsstufen zur Erreichung einer gesamten einstellbaren Phasenverschiebung von  $360^\circ$  ihrerseits lediglich einen Phaseneinstellbereich von  $180^\circ$  aufzuweisen brauchen. Die diesem Konzept zugrunde liegende Idee findet sich bereits in [75], weshalb im Folgenden darauf nicht näher eingegangen wird. Die breitbandige Betriebsweise der Taktverteilung bedingt, dass die Verzögerungsstufen bei niedrigen Taktfrequenzen eine verhältnismäßig große einstellbare Zeitverzögerung des Taktsignals ermöglichen müssen, um den vollen Einstellbereich von

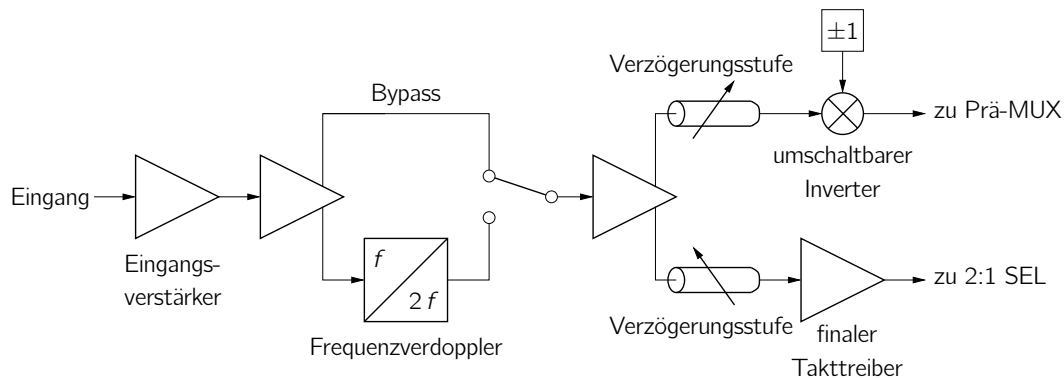


**Abbildung 6.8:** Blockdiagramm der Taktverteilung von MUX-Variante 1.

180° zu gewährleisten. Je nach gewählter Schaltungstopologie kann dies mit einem hohen Energiebedarf und einer hohen Tastgradfehler-Verstärkung einhergehen. Abschnitt 6.3.3 beschäftigt sich daher ausführlich mit der Entwicklung der Verzögerungsstufen und stellt zwei unterschiedliche Schaltungskonzepte dafür vor, von denen eins neuartig ist und in [25] veröffentlicht wurde.

Um für den 2:1 SEL ein Taktsignal mit ausreichend großer und einstellbarer Amplitude bereitstellen zu können, wird hierfür eigens ein finaler Takttreiber eingesetzt. Dessen Schaltung und Dimensionierung ist in Abschnitt 6.3.4 beschrieben.

Neben der gewählten Topologie der Taktverteilung in Abbildung 6.8 sind auch alternative Topologien denkbar. So könnte die einstellbare Phasenverschiebung innerhalb des Prä-MUX aus Abbildung 6.2 nach dem Frequenzteiler realisiert werden, wie in [75] vorgeschlagen und unter anderem in [89] durchgeführt. Dies böte den Vorteil, dass die Phasenverschiebung auf der Ebene der halben Eingangs-Taktfrequenz erfolgen und hierfür bereits die durch den Frequenzteiler bereitgestellten Taktsignale mit Phasen von 0° und 90° genutzt werden könnten. Ein Nachteil dieser alternativen Topologie ist, dass dafür verhältnismäßig viele Schaltungszellen zwischen Frequenzteiler und MUX-Stufen innerhalb des Prä-MUX eingefügt werden müssten. Diese degradieren die Qualität der Taktsignale an den Eingängen der MUX-Stufen des Prä-MUX und erschweren die Anordnung der Schaltungszellen im Layout. Um insbesondere die Datensignal-Pfade zwischen Prä-MUX und 2:1 SEL kurz zu halten, empfiehlt es sich, die MUX-Stufen des Prä-MUX möglichst nahe am 2:1 SEL zu positionieren. Mit der gewählten Topologie aus Abbildung 6.2 und Abbildung 6.8 ist dies einfach möglich, da zur Erzeugung der Taktsignale für die beiden MUX-Stufen des Prä-MUX lediglich eine kompakte Frequenzteiler-Zelle nötig ist. Bei Verwendung der alternativen Topologie mit einstellbarer Phasenverschiebung innerhalb des Prä-MUX hingegen müssten zusätzlich die zur Phasenverschiebung notwendigen Zellen im Layout berücksichtigt werden, was die Datensignal-Pfade verlängern würde. Für eine optimale Funktion der MUX-Stufen des Prä-MUX ist es zudem am besten, wenn ihr Taktsignal direkt vom Frequenzteiler stammt, da dieser Taktsignale mit steilen Flanken erzeugt und somit eine Aufbereitung seines Eingangstaktsignals vornimmt. Aus diesen Gründen wird die in Abbildung 6.8 gezeigte Topologie der alter-



**Abbildung 6.9:** Blockdiagramm der Taktverteilung von MUX-Variante 2.

nativen Topologie vorgezogen.

MUX-Variante 2 ist im Hinblick auf das Forschungsprojekt plaCMOS bereits darauf vorbereitet worden, Datenraten bis zu 200 Gbit/s zu erzeugen. Hierfür ist eine Taktfrequenz von bis zu 100 GHz erforderlich. Die Bereitstellung einer derart hohen Taktfrequenz am Eingang der integrierten Schaltung gestaltet sich schwierig, da handelsübliche Signalgeneratoren (z.B. der für die Messungen in dieser Arbeit verwendete Typ Keysight E8257D [79]) häufig nur Frequenzen bis 70 GHz erzeugen können. Zwar sind externe Frequenzvervielfacher für den benötigten Frequenzbereich käuflich erhältlich, doch auch die Übertragung des Taktsignals über die Bonddrahtschnittstelle wird bei derart hohen Taktfrequenzen aufgrund der zunehmenden Dämpfung erschwert (siehe die Beispielsimulation einer Bonddraht-Schnittstelle in Abbildung 2.5). Aus diesem Grund wird für MUX-Variante 2 ein eigens entwickelter Frequenzverdoppler in die Taktverteilung integriert, sodass zur Erzeugung von Datenraten bis zu 200 Gbit/s ein externes Taktsignal mit lediglich einer Frequenz von bis zu 50 GHz bereitgestellt zu werden braucht. Der Frequenzverdoppler wird in Abschnitt 6.3.5 detailliert vorgestellt und erläutert.

In Abbildung 6.9 ist das Blockdiagramm der zu MUX-Variante 2 gehörenden Taktverteilung abgebildet. Der Eingang wird genau wie bei MUX-Variante 1 einem Eingangsverstärker zugeführt und durch einen Splitter in zwei Pfade aufgespalten. Einer der beiden Pfade speist den Frequenzverdoppler, der andere verläuft im Sinne eines Bypasses parallel dazu. Mithilfe eines Selektors kann zwischen dem Ausgang des Frequenzverdopplers und dem Bypass-Pfad gewählt werden, sodass der Einsatz des Frequenzverdopplers optional ist. Die übrige Taktverteilung ist nahezu identisch zu der von MUX-Variante 1 aus Abbildung 6.8. Als einziger Unterschied ist der umschaltbare Inverter zur besseren Symmetrierung der Länge der beiden Pfade im Pfad zum Prä-MUX statt zum 2:1 SEL platziert, da der finale Takttreiber bei MUX-Variante 2 zweistufig statt wie bei MUX-Variante 1 einstufig ausgeführt ist (siehe Abschnitt 6.3.4). An der prinzipiellen Funktionsweise der Taktverteilung ändert sich dadurch nichts.

Alternativ zu der gewählten Taktverteilungs-Topologie aus Abbildung 6.9 könnte ein

Ansatz gewählt werden, bei dem der Frequenzverdoppler nur im Pfad zum 2:1 SEL angeordnet wird und dafür auf den Frequenzteiler im Prä-MUX (vgl. Abbildung 6.2) verzichtet wird. Dies hätte den Vorteil, dass die Verzögerungsstufen mit der niedrigeren Frequenz des Takt-Eingangssignals anstatt mit dessen doppelter Frequenz betrieben werden könnten. Allerdings gestaltet es sich ohne den Frequenzteiler im Prä-MUX schwierig, die für die beiden MUX-Stufen im Prä-MUX benötigten Taktphasen von  $0^\circ$  und  $90^\circ$  bereitzustellen. Zudem wäre es mit dem alternativen Ansatz nicht ohne Weiteres möglich, die Frequenzverdopplung optional abschaltbar zu machen. Dies ist jedoch gerade im Sinne einer Risikominimierung bei der Entwicklung wichtig, um potenzielle Fehler des Frequenzverdopplers auf diesen zurückzuführen und um die Ergebnisse von MUX-Variante 2 mit MUX-Variante 1 vergleichen zu können. Daher wird die in Abbildung 6.9 gezeigte Topologie bevorzugt.

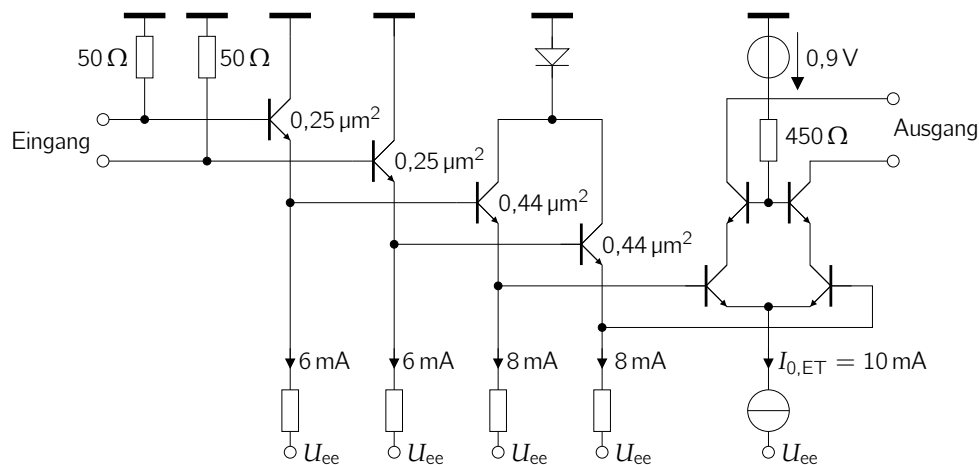
Im Folgenden werden die für die Funktion und die Entwicklung der Taktverteilungen aus Abbildung 6.8 und 6.9 wichtigsten Blöcke vorgestellt.

### 6.3.2 Aufbau und Dimensionierung des Takt-Eingangsverstärkers

Der Eingangsverstärker der Taktverteilungen von MUX-Variante 1 und 2 in Abbildung 6.8 und 6.9 stellt die Schnittstelle zur äußeren Peripherie dar. Ihm kommt die Aufgabe zuteil, ein extern angelegtes und durch TMLs sowie die Bonddraht-Schnittstelle gedämpftes Taktsignal zu verstärken. Häufig, so auch bei dem in dieser Arbeit verwendeten Messaufbau, steht als Quelle für das Taktsignal lediglich ein Signalgenerator mit single-ended Ausgang zu Verfügung. Daher ist am Eingang des Eingangsverstärkers mit einem signifikanten Gleichtakt-Anteil zu rechnen, welcher am Ausgang des Eingangsverstärkers sowohl zu einem unerwünschten Gleichtakt-Anteil als auch zu einem Gleichanteil führen kann (siehe Kapitel 5 für die zugrunde liegenden Zusammenhänge). Bei der Entwicklung des Eingangsverstärkers ist daher besonders darauf zu achten, die Ausprägung von unerwünschtem Gleichtakt-Anteil und Gleichanteil am Ausgang so gering wie möglich zu halten. Die Schaltung des Eingangsverstärkers und ihre Dimensionierung sind bereits in der im Rahmen dieser Arbeit entstandenen Veröffentlichung [33] aufgeführt worden und werden im Folgenden wiederholt.

In Abbildung 6.10 ist die Schaltung des Eingangsverstärkers dargestellt. Es handelt sich um eine typische Verstärker-Zelle (vgl. Abbildung 2.1) bestehend aus Abschlusswiderständen am Eingang, zwei kaskadierten EF-Paaren zur Impedanztransformation sowie zur Ausnutzung des komplex konjugierten Fehlanpassungskonzepts [13], einem SS und einer BS. Sämtliche in Kapitel 4 und 5 aufgestellten Erkenntnisse und Schlussfolgerungen zur Dimensionierung von mit Taktsignalen angesteuerten SSs sind auf die Schaltung des Eingangsverstärkers anwendbar, da die Ansteuerung mit einem Taktsignal erfolgt. Wie in Abschnitt 5.4.1 nahegelegt, empfiehlt es sich zur Minimierung von Tastgradfehlern und Gleichanteilen, den Eingangsverstärker von Taktverteilungen nur mit moderaten Amplituden anzusteuern und auf niedrige Transistorkapazitäten zu achten. Dadurch wird der Einfluss des Gleichtakt-Eingangssignals über die Kapazität  $C_{i0}$  (vgl. Abbildung 3.4) auf



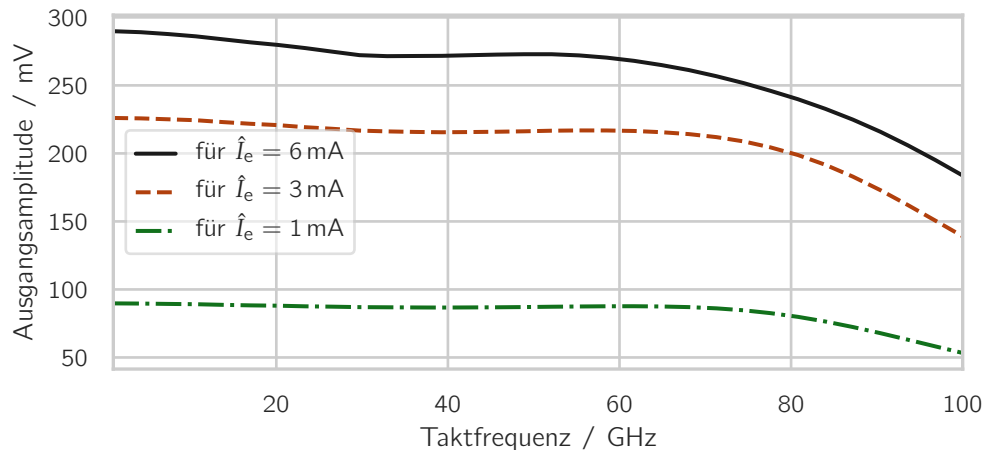


**Abbildung 6.10:** Vereinfachter Schaltplan des Eingangsverstärkers der Taktverteilung. An den Transistoren sind die jeweiligen Emittterflächen notiert.

Gleichanteil und Gleichtakt-Anteil am Ausgang des Eingangsverstärkers gering gehalten. Im Einklang mit dieser Empfehlung wird für den SS des Eingangsverstärkers ein moderater Betriebsstrom von  $I_{0,ET} = 10 \text{ mA}$  gewählt. Damit ist es möglich, relativ kompakte Transistoren mit einer Emittterfläche von nur  $0,38 \mu\text{m}^2$  für den SS, dessen Stromquelle und die BS zu verwenden. Diese Wahl bietet einen guten Kompromiss aus moderaten Transistorkapazitäten und einem dennoch akzeptablen, differenziellen Ausgangshub von  $1 \text{ V}_{pp}$  an der Last der Folgestufe (dem Splitter) von  $50 \Omega$ . Zusätzlich wird bei dem Entwurf des Layouts darauf geachtet, die parasitären Layout-Kapazitäten am gemeinsamen Emittterknoten der SS-Transistoren so gering wie möglich zu halten.

Die EF des Eingangsverstärkers werden mit denselben Methoden wie jene des 2:1 SEL in Abschnitt 6.2 dimensioniert. Da der SS des Eingangsverstärkers eine deutlich kleinere Emittterfläche und einen deutlich niedrigeren Betriebsstrom als jener des 2:1 SEL aufweist, können auch die EFs mit kleineren Emittterflächen und Betriebsströmen ausgelegt werden. Die zugehörigen Größen sind in Abbildung 6.10 eingetragen. Zur Erzeugung der Betriebsströme der EFs werden wie in [21] vorgeschlagen Festwiderstände anstelle von Stromquellen verwendet, da eine Einstellbarkeit von außen an dieser Stelle nicht benötigt wird und Festwiderstände in der verwendeten Technologie eine kleinere parasitäre Kapazität aufweisen als vergleichbare Transistor-Stromquellen. Die Wahl kleiner Emittterflächen bei insbesondere dem ersten EF-Paar hilft, die kapazitive Belastung der Eingangsschnittstelle zu minimieren. Die Abschlusswiderstände am Eingang werden mit  $50 \Omega$  passend zu den üblichen charakteristischen Impedanzen von Signalgeneratoren und externen TMLs gewählt.

Die BS des Eingangsverstärkers dient zur Verringerung des Miller-Effekts an den Kollektor-Basis-Kapazitäten der SS-Transistoren und sorgt somit zusammen mit der komplex konjugierten Fehlanpassung der Schnittstelle zum SS für eine Erhöhung der Grenzfrequenz.



**Abbildung 6.11:** Ergebnisse von Großsignal-Simulationen des Eingangverstärkers aus Abbildung 6.10 bei Ansteuerung mit einer idealen single-ended Stromquelle für verschiedene Amplituden  $\hat{I}_e$  der Stromquelle.

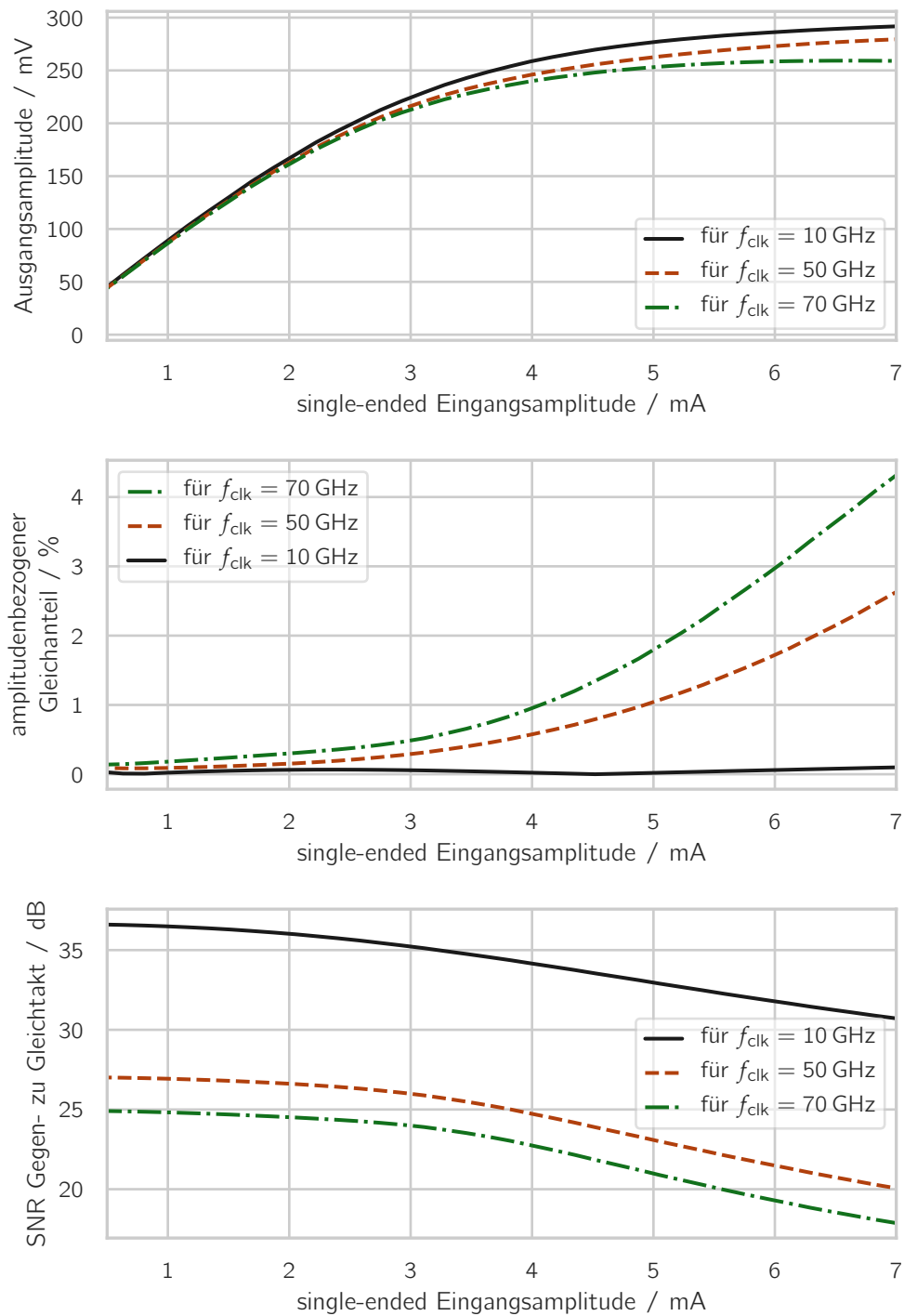
quenz des Eingangverstärkers. Zudem dient die BS der Anpassung des Arbeitspunktes an die Folgestufe. Damit die BS-Transistoren nicht invers-aktiv werden, werden die Basen der BS mit einer Vorspannung von  $-900 \text{ mV}$  versehen. Dies ist vergleichbar zu den Überlegungen aus Abschnitt 6.2 für den 2:1 SEL. Genau wie dort gewährleistet ein Widerstand zum gemeinsamen Basisknoten mit in diesem Falle  $450 \Omega$  die Stabilität.

In Abbildung 6.11 ist der simulierte Großsignal-Frequenzgang des entwickelten Eingangverstärkers dargestellt. Wie in Abschnitt 4.2.5 erläutert, ist es für die Beurteilung von mit Taktsignalen angesteuerten SSs wichtig, Großsignal- anstelle von Kleinsignal-Betrachtungen durchzuführen. Für die Simulation wird der Eingangverstärker single-ended mit einer idealen, monofrequenten, sinusförmigen Stromquelle angesteuert. Die Ausgangsspannung des Eingangverstärkers an idealen Lastwiderständen von  $50 \Omega$  wird mithilfe einer FFT bezüglich ihres jeweiligen Beitrags bei der Grundfrequenz analysiert. Dies entspricht der Vorgehensweise zur Bestimmung der Ausgangsamplitude gemäß der Definition in Abschnitt 4.1. Für die Simulationen werden HICUM-Transistormodelle sowie die Extraktion von parasitären Layout-Elementen mit Assura QRC verwendet. Auffällig bei den Simulationsergebnissen in Abbildung 6.11 ist ein insbesondere bei großen Eingangsamplituden  $\hat{I}_e$  auftretender leichter Abfall der Ausgangsamplitude mit steigenden Taktfrequenzen bis zu circa 30 GHz. Dieser Abfall resultiert aus der Änderung der Signalform am Ausgang des Eingangverstärkers. Insbesondere bei hohen Eingangsamplituden und niedrigen Taktfrequenzen entspricht die Signalform am Ausgang näherungsweise einem Rechteck und weist damit definitionsgemäß eine Amplitude von  $4/\pi = 127\%$  des Spitze-Werts auf (siehe Abschnitt 4.1). Bei Übergang der Signalform in einen Sinus nähert sich die Amplitude dem Spitze-Wert an und fällt folglich ab, ohne, dass sich am Spitze-Wert etwas geändert hätte. Der Abfall der Ausgangsamplitude bis zu Taktfrequenzen von in etwa 30 GHz resultiert daher nicht aus einer Bandbreitenbegrenzung,

sondern beruht ausschließlich auf der Änderung der Signalform. Die Bandbreitenbegrenzung der Schaltung zeigt sich in der Simulation erst ab Taktfrequenzen von circa 70 GHz. Dies ist optimal für die gewünschte Anwendung, bei der aufgrund der Limitierung des zur Verfügung stehenden Signalgenerators maximal Taktfrequenzen von 70 GHz an den Eingangsverstärker angelegt werden können.

Von großer Bedeutung ist ein geringer Gleichanteil am Ausgang des Eingangsverstärkers, da ein solcher durch eine Folgestufe in einen Tastgradfehler konvertiert werden und auf diese Weise durch die gesamte Taktverteilung propagieren kann (vgl. Kapitel 5). In Abbildung 6.12 sind die simulierte Großsignal-Ausgangsamplitude (obere Abbildung) und der jeweilige amplitudenbezogene Gleichanteil (mittlere Abbildung; siehe Definition in Abschnitt 5.2.2) bei Ansteuerung des Eingangsverstärkers mit einer single-ended Stromquelle in Abhängigkeit von deren Amplitude  $\hat{I}_e$  gezeigt. Die Ausgangsamplitude des Eingangsverstärkers steigt zunächst linear mit der Eingangsamplitude  $\hat{I}_e$  und geht schließlich in einen flachen Bereich über. Dies entspricht der typischen Kennlinie eines mit einem Taktsignal angesteuerten SS (vgl. Abbildung 4.10a). Nach dem Modell aus Abschnitt 5.2.2 ist gemäß Gleichung 5.21 eine lineare Abhängigkeit des amplitudenbezogenen Gleichanteils von der Eingangsamplitude  $\hat{I}_e$ , welche in der Modellgleichung der Größe  $|{}^1U_e^+|$  entspricht, zu erwarten. Tatsächlich zeigt die Simulation in Abbildung 6.12 (Mitte) einen überproportionalen Anstieg ab Eingangsamplituden, bei denen die Ausgangsamplitude in ihre Begrenzung geht. Dies liegt an dem Faktor  $\alpha_\varphi$  aus Gleichung 5.21, welcher von der Phasenbeziehung zwischen Gleichtakt- und Gegentakt-Eingangsspannung des SS abhängt. Dadurch, dass die Gegentakt-Ausgangsamplitude mit steigender Eingangsamplitude in eine Begrenzung geht, ändert sich die effektive Gegentakt-Verstärkung des SS und somit seine Miller-Kapazität im Gegentakt. Im Gleichtakt hingegen findet keine Begrenzung der Verstärkung statt, sodass hier keine nennenswerte Änderung der Miller-Kapazität auftritt. Folglich erfahren Gleich- und Gegentaktanteil von der Eingangsamplitude abhängige unterschiedliche Frequenzgänge, was zu einer Phasenverschiebung und somit einer Beeinflussung des amplitudenbezogenen Gleichanteils führt. Um einen möglichst geringen amplitudenbezogenen Gleichanteil zu erzielen, gleichzeitig jedoch ausreichend Ausgangsamplitude zur Ansteuerung der Folgestufen in der Taktverteilung zu haben, empfiehlt es sich, die Eingangsamplitude so zu wählen, dass der Bereich der Begrenzung der Ausgangsamplitude gerade so erreicht, jedoch nicht deutlich überschritten wird. Aus Abbildung 6.12 lässt sich ablesen, dass dieser Punkt für eine single-ended Strom-Eingangsamplitude von 3 mA bis 4 mA erreicht ist, was einer Leistung von  $-3,5$  dBm bis  $-1$  dBm an der  $50\text{-}\Omega$ -Eingangsimpedanz des Eingangsverstärkers entspricht. Messungen zeigen, dass eine Leistung von 0 dBm am externen Signalgenerator den Eingangsverstärker gut aussteuert, ohne einen nennenswert großen Gleichanteil zu erzeugen. In Anbetracht der Dämpfung durch externe Kabel und Bonddrähte stimmt dies gut mit den durch die Simulation vorhergesagten Werten überein.

Vergleichbare Überlegungen und Schlussfolgerungen wie für den Gleichanteil gelten für den SNR zwischen Gegentakt- und Gleichtakt-Anteil bei der Grundfrequenz am Ausgang des Eingangsverstärkers. Der simulierte SNR ist in Abbildung 6.12 (unten) dargestellt.



**Abbildung 6.12:** Ergebnisse von Großsignal-Simulationen des Eingangsverstärkers aus Abbildung 6.10 bei Ansteuerung mit einer idealen single-ended Stromquelle für verschiedene Taktfrequenzen  $f_{clk}$ .

Da die Gleichtakt-Ausgangsamplitude in erster Näherung linear mit der Eingangsamplitude steigt, die Gegentakt-Ausgangsamplitude jedoch limitiert ist, verschlechtert sich der SNR ab dem Erreichen des begrenzenden Bereichs der SS-Kennlinie. Auch hier ist es folglich zu empfehlen, den Eingangsverstärker bei Eingangsamplituden zu betreiben, bei denen der begrenzende Bereich gerade erst anfängt. Bis zu diesem Bereich beträgt der SNR zwischen Gegen- und Gleichtakt-Anteil selbst bei einer Taktfrequenz von 70 GHz noch mehr als 20 dB, was eine gute Gleichtaktunterdrückung des Eingangsverstärkers demonstriert.

### 6.3.3 Entwurf der Schaltungen zur einstellbaren Verzögerung bzw. Phasenverschiebung von Taktsignalen

Damit der Abtastzeitpunkt des 2:1 SEL der entwickelten MUX-Schaltung relativ zu den Datensignalen eingestellt werden kann, befinden sich in den Taktverteilungen zu 2:1 SEL und Prä-MUX aus Abbildung 6.8 und 6.9 einstellbare, breitbandige Verzögerungsstufen. Bezüglich ihres Verhaltens werden im Folgenden zwei grundlegende Arten von Verzögerungsstufen unterschieden, die häufig auch in einer Mischform auftreten können. Eine *zeitliche Verzögerungsstufe* zeichnet sich dadurch aus, dass die Zeitverzögerung des Taktsignals zwischen Aus- und Eingang unabhängig von der Taktfrequenz ist. Bei einem *Phasenschieber* hingegen ist die Phasenverschiebung konstant im Hinblick auf die Taktfrequenz. Wegen des allgemeinen Zusammenhangs

$$\Delta\varphi = 2\pi f_{\text{clk}} \Delta t \quad (6.1)$$

zwischen Phasenverschiebung  $\Delta\varphi$  und zeitlicher Verzögerung  $\Delta t$  einer Taktsignal-Verzögerungsstufe ist die jeweils andere Größe zwangsläufig abhängig von der Taktfrequenz  $f_{\text{clk}}$ . Es empfiehlt sich, die Art der Verzögerungsstufe passend zum Verhalten der restlichen Schaltung zu wählen. Ist unabhängig von der Taktfrequenz eine bestimmte Phasenverschiebung gewünscht, bietet sich die Verwendung von Phasenschiebern an. Sind hingegen Laufzeitunterschiede auszugleichen, ist die Wahl von zeitlichen Verzögerungsstufen ratsam. Im konkreten Fall der entwickelten MUX-Schaltungen aus Abbildung 6.2 tritt eine Mischform beider Anwendungsszenarien auf. Damit der 2:1 SEL die Datensignale an seinem Eingang in der Mitte zwischen zwei Flanken abtasten kann, muss das Taktsignal gegenüber den Datensignalen unabhängig von der Taktfrequenz um  $90^\circ$  in seiner Phase verschoben sein. Hierfür wäre folglich ein Phasenschieber zu empfehlen. Die Datensignale wiederum stammen vom Prä-MUX, welcher aus mehreren kaskadierten Stufen aufgebaut ist, sodass die Datensignale am Ausgang des Prä-MUX eine zeitliche Verzögerung gegenüber dem Taktsignal an seinem Eingang erfahren. Idealerweise würden daher in der Taktverteilung zu Prä-MUX und 2:1 SEL sowohl zeitliche Verzögerungsstufen als auch Phasenschieber eingesetzt werden. In der Praxis ist dies jedoch nicht zweckmäßig. Alleine zur Kompensation der zeitlichen Verzögerung des Prä-MUX wären im Pfad zum 2:1 SEL eine Kaskade von mehr als 15 der im nachfolgenden Abschnitt 6.3.3.1 vorgestellten Verzögerungsstufen notwendig. Eine solch große Anzahl an kaskadierten

Stufen bedingt nicht nur einen hohen Energie- und Flächenbedarf, sondern birgt auch die Gefahr einer signifikanten Tastgradfehler-Verstärkung (siehe Kapitel 5). Diese würde dabei ungünstigerweise gerade im Pfad zum 2:1 SEL auftreten, bei welchem sich eine Degradation des Taktsignals unmittelbar in Form eines degradierten Datensignals am Ausgang des gesamten MUX niederschlägt. Aus diesen Gründen wird stattdessen ein Konzept gewählt, bei welchem die relative Phase zwischen den Taktsignalen am Prä-MUX und am 2:1 SEL im Betrieb um volle  $360^\circ$  variiert werden kann. Damit ist es möglich, den Abtastzeitpunkt des 2:1 SEL stets optimal einzustellen. Ein Nachteil des gewählten Konzepts ist, dass das Einstellen im Sinne einer Kalibrierung bei jeder Änderung der Taktfrequenz erneut durchgeführt werden muss, da die Laufzeitunterschiede im Prä-MUX eine Taktfrequenz-abhängige Phasenverschiebung bedingen. Dafür lässt sich der Phaseinstellbereich von  $360^\circ$  mit einer moderaten Anzahl an Stufen und damit einem moderaten Energiebedarf sowie einer guten Taktsignalqualität erreichen, wie im Folgenden demonstriert wird. Zudem erlaubt es das Konzept, durch Temperaturschwankungen bedingte Laufzeitunterschiede im Zuge der Kalibrierung ebenfalls auszugleichen. Der Phaseinstellbereich von  $360^\circ$  wird durch die Kombination von Verzögerungsstufen und – wie in [75] vorgeschlagen – einem umschaltbaren Inverter erreicht. Dieser ist in einen der beiden Taktpfade der Taktverteilungen aus Abbildung 6.8 und 6.9 eingebaut und ermöglicht eine zuschaltbare Phasenverschiebung von  $180^\circ$ , wodurch sich auf einfache Weise der benötigte Einstellbereich der Verzögerungsstufen auf  $180^\circ$  halbiert.

Für die Verzögerungsstufen liegt die Verwendung von Phasenschiebern nahe. Da die Kalibrierung der Phase zwischen den beiden Taktsignalen am Prä-MUX und am 2:1 SEL jedoch ohnehin bei einer Änderung der Taktfrequenz angepasst werden muss, können alternativ auch zeitliche Verzögerungsstufen verwendet werden, solange deren Einstellbereich bei einer minimalen Taktfrequenz von 50 GHz noch eine volle Phasenvariation um  $180^\circ$  ermöglicht. Die minimale Taktfrequenz von 50 GHz entsprechend 100 Gbit/s Datenrate am Ausgang des MUX stellt dabei nicht die unterste Betriebsfrequenz des MUX dar, welche bis herunter zu nahe dc reichen kann. Unterhalb von 50 GHz ist aufgrund der großen CPM des 2:1 SEL bei niedrigen Taktfrequenzen jedoch kein voller Einstellbereich von  $360^\circ$  mehr erforderlich.

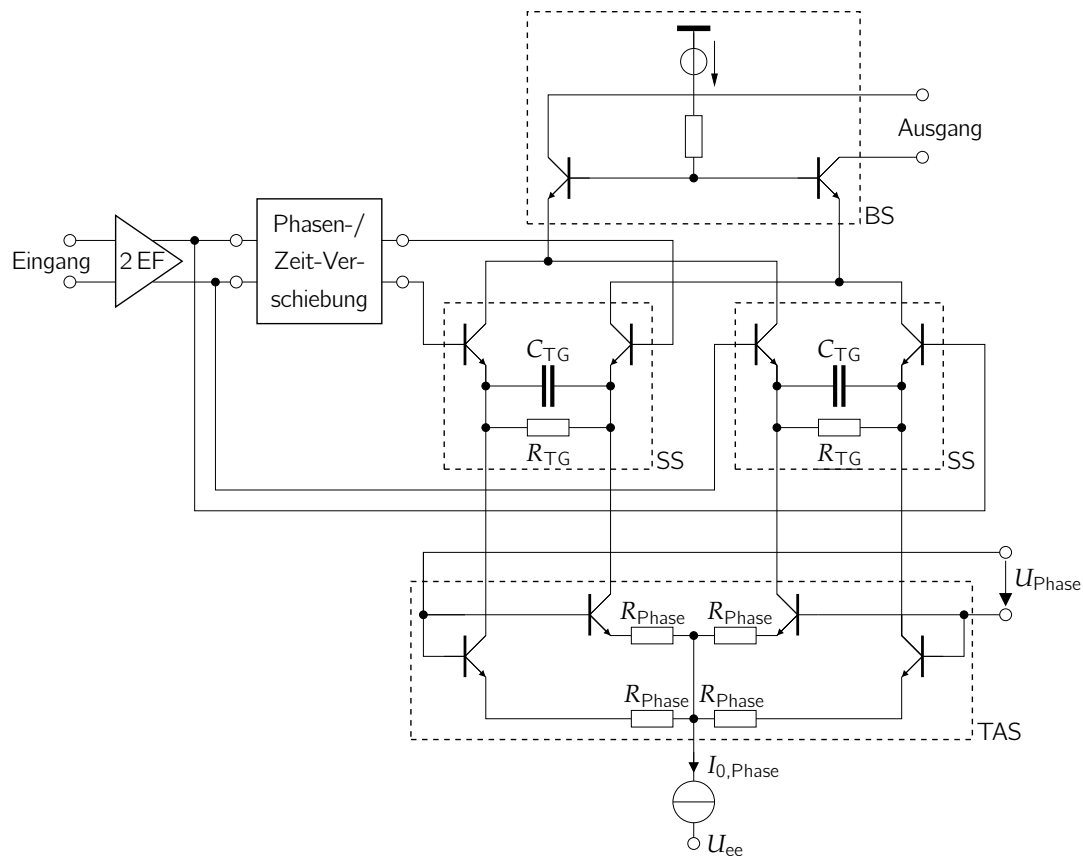
Die entwickelten MUX-Varianten nutzen jeweils unterschiedliche Arten von Verzögerungsstufen. Bei MUX-Variante 1 werden zeitliche Verzögerungsstufen und bei MUX-Variante 2 Phasenschieber eingesetzt. Im Falle von MUX-Variante 1 reicht der geforderte Taktfrequenzbereich bis 70 GHz, bei MUX-Variante 2 sogar bis 100 GHz. Bei Taktfrequenzen unterhalb von 50 GHz ist zwar nicht mehr der volle Einstellbereich verlangt, jedoch müssen die zeitlichen Verzögerungsstufen bzw. Phasenschieber dennoch in der Lage sein, das Taktsignal fehlerfrei weiterzugeben und bestenfalls weiterhin eine Einstellbarkeit mit entsprechend reduziertem Einstellbereich zu ermöglichen. Sowohl die Verzögerungsstufen von MUX-Variante 1 als auch die Phasenschieber von MUX-Variante 2 müssen daher eine große Bandbreite aufweisen. Im Folgenden werden beide Varianten vor- und einander gegenüber gestellt. Um die Ergebnisse vergleichen zu können, wird als Maß in beiden Fällen die Phasenverschiebung verwendet. Aus Gleichung 6.1 folgt damit, dass im Falle der zeitlichen Verzögerungsstufen ein zur Taktfrequenz proportionaler

Phaseneinstellbereich zu erwarten ist, wohingegen dieser im Falle der Phasenschieber konstant sein sollte.

Breitbandigen Phasenschiebern und zum Teil auch zeitlichen Verzögerungsstufen widmet sich mit [75] eine ganze Dissertation. Im Folgenden kann das Thema verständlicherweise nicht in vergleichbarer Tiefe und Fülle behandelt werden. Stattdessen werden die konkreten Realisierungen bei den entwickelten MUX-Schaltungen vorgestellt und für alternative Konzepte auf [75] verwiesen. Die Realisierung bei MUX-Variante 1 folgt einem typischen Konzept nach dem Stand der Technik, wie unter anderem in [2] implementiert. Die Realisierung bei MUX-Variante 2 hingegen stellt ein im Rahmen dieser Arbeit entwickeltes und in [25] publiziertes, neuartiges Konzept zur breitbandigen Phasenverschiebung von Taktsignalen dar.

Beiden im Folgenden vorgestellten Realisierungen der Verzögerung von Taktsignalen bezüglich der Zeit bzw. der Phase ist die Schaltung aus Abbildung 6.13 gemein. Die zugrunde liegende Topologie stammt aus [90]. Das Takt-Eingangssignal wird über zwei kaskadierte EF-Paare einem SS sowie einem mit „Phasen-/Zeit-Verschiebung“ bezeichneten Schaltungsblock zugeführt. Letzterer beinhaltet Schaltungen zur Realisierung einer konstanten zeitlichen Verzögerung bzw. einer konstanten Phasenverschiebung des Taktsignals und wird bei beiden MUX-Varianten unterschiedlich realisiert. Das durch den Block verzögerte Taktsignal wird einem zweiten SS zugeführt. Die Ausgänge der SSs von unverzögertem und verzögertem Taktsignal sind parallel geschaltet und werden über eine BS dem Ausgang der Schaltung aus Abbildung 6.13 zugeführt. Durch Gewichtung der Betriebsströme der beiden SSs kann die Verzögerung des Taktsignals zwischen dem unverzögerten und dem verzögerten Pfad eingestellt werden. Hierzu teilt eine TAS einen Betriebsstrom  $I_{0,Phase}$  auf die beiden SSs auf, wobei das Gewichtungsverhältnis über eine extern zugeführte Spannung  $U_{Phase}$  vorgegeben wird. In den jeweiligen Endlagen wird der gesamte Betriebsstrom  $I_{0,Phase}$  jeweils nur einem der beiden SS zugeführt, sodass am Ausgang das unverzögerte bzw. das maximal verzögerte Taktsignal resultiert. Dazwischen findet eine Überlagerung beider Taktsignale statt, wodurch die Verzögerung des Taktsignals über die Spannung  $U_{Phase}$  stufenlos zwischen den beiden Endlagen justiert werden kann. Die Widerstände  $R_{Phase}$  dienen dazu, die Verstärkung der TAS und damit den Eingangsspannungsbereich von  $U_{Phase}$  einzustellen.

Die SSs in der Schaltung aus Abbildung 6.13 beinhalten in ihren Emitterpfaden jeweils aus  $R_{TG}$  und  $C_{TG}$  gebildete R-C-Glieder. Diese dienen im Einklang mit den Erkenntnissen aus Abschnitt 5.4.2 der Verringerung von Tastgradfehler und Gleichanteil am Ausgang der SSs. Eine geringe Tastgradfehler-Verstärkung ist besonders bei der zeitlichen Verzögerungsschaltung von MUX-Variante 1 wichtig, da hiervon wie in Abschnitt 6.3.3.1 erläutert mehrere Stufen kaskadiert werden. Das Einfügen von R-C-Gliedern erschwert jedoch das Zuführen der gewichteten Betriebsströme für die beiden SSs, da dadurch für jeden der beiden SSs wie in Abbildung 6.13 zu sehen jeweils zwei Mal der halbe Betriebsstrom bereitgestellt werden muss. Aus diesem Grund ist die TAS zur Gewichtung des Betriebsstroms  $I_{0,Phase}$  doppelt ausgeführt. Hierbei ist insbesondere darauf zu achten, dass die vier Widerstände  $R_{Phase}$  eine gute Übereinstimmung haben, da es ansonsten



**Abbildung 6.13:** Gemeinsame Schaltung für die MUX-Varianten 1 und 2 zur Einstellung der Phase bzw. der Zeitverzögerung von Taktsignalen. Die grundlegende, um R-C-Glieder in den Emitterpfaden der SS-Transistoren erweiterte Topologie stammt aus [90].

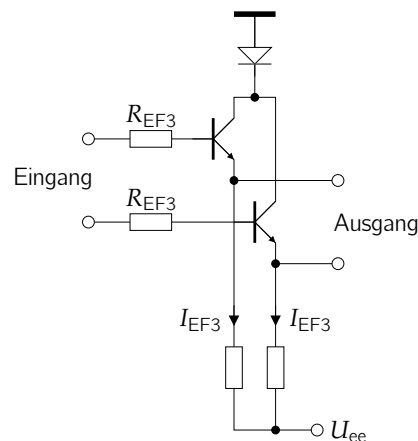
zu einer asymmetrischen Einspeisung der Betriebsströme innerhalb eines SS kommen kann, was einen Gleichanteil und einen Tastgradfehler am Ausgang des SS bedingt. Da die TASs mit einer Gleichspannung und nicht mit einem hochfrequenten Signal gespeist werden, lässt sich eine gute Übereinstimmung bei den Widerständen  $R_{\text{Phase}}$  problemlos durch eine Dimensionierung mit großen Layout-Flächen erreichen [81], ohne, dass die dadurch bedingten großen parasitären Kapazitäten der Widerstände ein Problem darstellt. Die doppelte Ausführung der TAS ist daher einer Alternative mit Aufteilung der Widerstände  $R_{\text{TG}}$  in zwei gleich große Teilwiderstände und einer Einspeisung des Betriebsstroms an deren Mittenabgriff vorzuziehen. Bei dem alternativen Konzept wäre zwar nur eine TAS nötig, jedoch müssten statt der Widerstände  $R_{\text{Phase}}$  die Widerstände  $R_{\text{TG}}$  eine gute Übereinstimmung aufweisen. Die dafür nötige Dimensionierung mit großer Layout-Fläche würde sich durch die Vergrößerung der parasitären Kapazität an den Emitterknoten der SS-Transistoren zum Substrat hin negativ im Hinblick auf die Verringerung des Gleichanteils am Ausgang der SSs auswirken (siehe Abschnitt 5.4).



Die Dimensionierung der Schaltung aus Abbildung 6.13 unterscheidet sich für die beiden MUX-Varianten und wird daher in den folgenden beiden Unterabschnitten separat betrachtet. Die in Abbildung 6.13 als Block stilisierten kaskadierten EF-Paare weisen dieselbe Schaltung auf wie jene aus Abbildung 6.6 für den 2:1 SEL (ohne die mit „nur bei TSS“ bezeichneten Dioden). Ihre Dimensionierung folgt derselben Vorgehensweise und liefert vergleichbare Ergebnisse, weshalb auf sie nicht näher eingegangen wird.

### 6.3.3.1 Realisierung der zeitlichen Verzögerungsstufen bei MUX-Variante 1

Die Schaltung und ihre Dimensionierung zur zeitlichen Verzögerung der Taktsignale bei MUX-Variante 1 ist in Zusammenarbeit mit der MICRAM GmbH entstanden und bereits in [33] vorgestellt worden. Aufgrund der Wichtigkeit für die entwickelte MUX-Schaltung und zur Ermöglichung des Vergleichs mit der neuartigen Verzögerungsschaltung bei MUX-Variante 2 werden die wesentlichen Aspekte im Folgenden wiederholt und teilweise vertieft. Bei MUX-Variante 1 wird der mit „Phasen-/Zeit-Verschiebung“ bezeichnete Schaltungsblock aus Abbildung 6.13 durch die Schaltung aus Abbildung 6.14 gebildet. Hierbei handelt es sich um ein EF-Paar, welches auf die beiden kaskadierten EF-Paare aus Abbildung 6.13 folgt und daher als  $EF3$  bezeichnet wird. Die Laufzeit durch das  $EF3$ -Paar bedingt die gewünschte zeitliche Verzögerung des Taktsignals. Sie wird durch die Widerstände  $R_{EF3}$  im Signalpfad zu den Basen der  $EF3$ -Transistoren eingestellt. Die Widerstände bilden zusammen mit den Transistor- und Layout-Kapazitäten an den Basen der  $EF3$ -Transistoren ein Tiefpassfilter, welches im Wesentlichen zu einer zeitlichen Verzögerung und zudem teilweise zu einer Phasenverschiebung beiträgt. Das  $EF3$ -Paar sorgt als unerwünschten Nebeneffekt für eine Potenzialverschiebung, wodurch sich die Arbeitspunkte an den Eingängen der beiden SSs aus Abbildung 6.13 unterscheiden. Die dadurch bedingten unterschiedlichen Basis-Kollektor-Sperrschicht-Kapazitäten der SS-Transistoren haben im Vergleich zu den ohnehin unterschiedlichen Laufzeiten und Bandbreiten der Eingangssignale der beiden SSs nur einen vernachlässigbaren Effekt. Die Dimensionierung der Widerstände  $R_{EF3}$  stellt eine Abwägung dar. Eine Vergrößerung bewirkt eine Erhöhung der Zeitverzögerung bzw. der Phasenverschiebung und ist somit wünschenswert. Gleichzeitig verursacht sie eine Verringerung der Bandbreite der Schaltung. Eine Dämpfung des Taktsignals aufgrund der begrenzten Bandbreite kann in Maßen bei Wahl einer genügend großen Taktamplitude durch die begrenzendende Kennlinie des auf die EFs folgenden SS ausgeglichen werden (siehe Abschnitt 4.2). Dem sind jedoch Grenzen gesetzt, sodass als Kompromiss für die entwickelte MUX-Schaltung Widerstandswerte von  $R_{EF3} = 100 \Omega$  und Betriebsströme  $I_{EF3} = 3 \text{ mA}$  sowie Emitterflächen von  $0,13 \mu\text{m}^2$  für die  $EF3$  gewählt werden. Mit dieser Dimensionierung können Taktsignale bei der maximalen Taktfrequenz von 70 GHz bei MUX-Variante 1 mit ausreichend geringer Dämpfung bei einer zeitlichen Verzögerung von circa 1 ps übertragen werden. Um wie gewünscht bei einer minimalen Taktfrequenz von 50 GHz einen Einstellbereich über eine halbe Taktperiode zu ermöglichen, ist eine Verzögerung von 10 ps erforderlich. Folglich müssen zehn der Stufen aus Abbildung 6.13 verwendet werden, um den benötigten Einstellbereich zu erhalten. Damit der Energiebedarf im Rahmen bleibt, wird

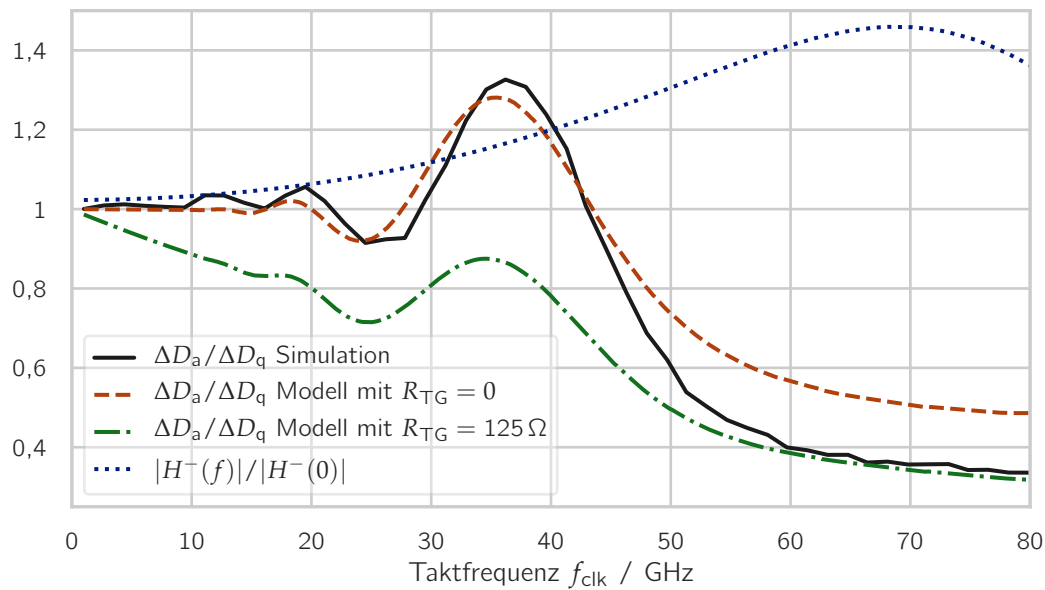


**Abbildung 6.14:** Schaltung des Phasen-/Zeit-Verschiebungs-Blocks bei MUX-Variante 1.

der Betriebsstrom  $I_{0,\text{Phase}}$  der TAS und damit der SSs mit 4 mA so klein wie möglich gewählt, um am Ausgang eine gerade noch ausreichende Amplitude zur Aussteuerung einer gleichartigen Folgestufe zu erhalten. Die Emitterflächen der SS-Transistoren werden unter Ausnutzung der maximalen Stromdichte auf  $0,13 \mu\text{m}^2$  festgelegt.

Eine Kaskade von zehn Stufen birgt das Risiko, dass bei einer Tastgradfehlerverstärkung jeder einzelnen Stufe von nur leicht größer als eins selbst schwache Tastgradfehler am Eingang der Kaskade zum Ausgang hin signifikant verstärkt werden und damit deutlich in Erscheinung treten. Zudem tritt nahe der Grenzfrequenz das Problem auf, dass sich die Dämpfung einer einzelnen Stufe in der Kaskade potenziert, sodass eine Signalübertragung kaum noch möglich ist, sobald die Grenzfrequenz näherungsweise erreicht ist. Aus diesen Gründen wird die Kaskade von zehn Stufen in zwei Kaskaden von vier bzw. sechs Stufen auf die beiden Pfade der Taktverteilung in Abbildung 6.8 aufgeteilt. Die kleinere Zahl von vier kaskadierten Stufen wird für den Pfad zum Prä-MUX gewählt, da dieser inklusive des Prä-MUX die insgesamt größere Laufzeit der beiden Pfade aufweist. Durch die Aufteilung der Kaskade auf die beiden Pfade wird die Länge der Kaskade näherungsweise halbiert. An der Einstellbarkeit des Taktsignals ändert sich nichts, da lediglich die relative Phase der Taktsignale beider Pfade zueinander für den Abtastzeitpunkt des 2:1 SEL von Bedeutung ist. Als einzige Änderung im Vergleich zur Anordnung sämtlicher Verzögerungsstufen innerhalb eines einzigen Pfades müssen die Verzögerungsstufen in den beiden Pfaden gegenläufig angesteuert werden, was durch Umpolen der Steuerspannung  $U_{\text{Phase}}$  auf unkomplizierte Weise möglich ist.

Zur Verringerung der Tastgradfehlerverstärkung werden wie in Abschnitt 5.4.2 vorgeschlagen R-C-Glieder mit  $R_{\text{TG}} = 125 \Omega$  und  $C_{\text{TG}} = 40 \text{ fF}$  in den Emitterpfaden der SS-Transistoren eingesetzt (vgl. Schaltung in Abbildung 6.8). Die Wahl der Widerstände  $R_{\text{TG}}$  erfolgt derart, dass die Spannungsverstärkung für Gleichspannungen größer als eins ist, um auch niederfrequente Taktsignale übertragen zu können. Die Dimensionierung der Kapazität  $C_{\text{TG}}$  stellt eine Abwägung zwischen einem möglichst großen Wert für eine gute



**Abbildung 6.15:** Simulierte und mithilfe des Modells aus Kapitel 5 ermittelte Tastgradfehlerverstärkung  $\Delta D_a/\Delta D_q$  zwischen Ein- und Ausgang der Verzögerungsstufe von MUX-Variante 1 für den bezüglich der Tastgradfehlerverstärkung kritischeren Pfad mit der längeren Verzögerung.

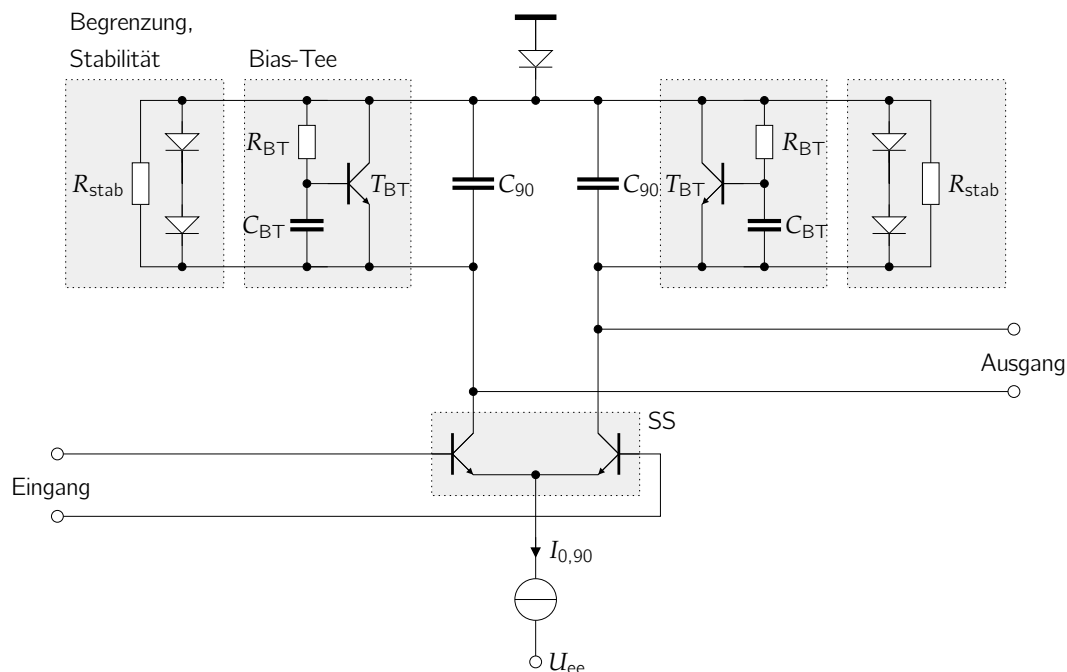
Tastgradfehlerreduktion bei niedrigen Taktfrequenzen und möglichst geringen parasitären (Layout-)Kapazitäten dar. In Abbildung 6.15 ist die simulierte Tastgradfehlerverstärkung  $\Delta D_a/\Delta D_q$  zwischen Ein- und Ausgang einer einzelnen Verzögerungsstufe im Falle der maximalen Verzögerung gezeigt. Die maximale Verzögerung stellt im Hinblick auf die Tastgradfehlerverstärkung den kritischsten Fall dar, da hier wegen der drei kaskadierten EF-Paare die stärkste Resonanzüberhöhung im Frequenzgang auftritt. Für die Simulation werden HICUM-Transistormodelle und die Extraktion parasitärer Layout-Elemente herangezogen. Es zeigt sich, dass insbesondere im Bereich mittlerer Taktfrequenzen von circa 35 GHz hohe Tastgradfehlerverstärkungen von über 1,3 auftreten. Innerhalb des Frequenzbereichs von 50 GHz bis 70 GHz, für den die Schaltung optimiert ist, ist die Tastgradfehlerverstärkung kleiner als 0,5 und damit sehr gering. Durch Anwendung des Modells aus Kapitel 5 und hierbei insbesondere von Gleichung 5.26 lässt sich der Verlauf der Tastgradfehlerverstärkung vorhersagen und erklären. Hierfür wird der Frequenzgang  $H^-(f)$  vom Eingang der Verzögerungsstufe bis zum Eingang des auf den mit „Phasen-/Zeit-Verschiebung“ bezeichneten Block folgenden SS aus Abbildung 6.13 im Kleinsignal simuliert und darauf die Modellgleichung angewendet. Auch für diese Simulation werden HICUM-Modelle verwendet und parasitäre Layout-Elemente berücksichtigt. Die Modellgleichung 5.26 ist zur Wahrung einer kompakten Darstellung unter der Annahme hergeleitet worden, dass die Taktfrequenz groß gegenüber der Grenzfrequenz des R-C-Glieds aus  $R_{\text{TG}}$  und  $C_{\text{TG}}$  ist. Für Taktfrequenzen deutlich unterhalb der Grenzfrequenz verhält sich die Schaltung bezüglich der Tastgradfehlerverstärkung so, als wäre das R-C-

Glied nicht vorhanden. In Abbildung 6.15 ist daher das Modell für die beiden Grenzfälle eines nicht vorhandenen R-C-Glieds ( $R_{TG} = 0$ ) und eines, dessen Grenzfrequenz deutlich überschritten ist ( $R_{TG} = 125 \Omega$ ) ausgewertet dargestellt. Es zeigt sich deutlich, dass der simulierte, tatsächliche Verlauf für Taktfrequenzen unterhalb von circa 50 GHz in guter Übereinstimmung der Modellauswertung für  $R_{TG} = 0$  und für Taktfrequenzen oberhalb von 50 GHz jener für  $R_{TG} = 125 \Omega$  folgt. Die Wirkung des R-C-Glieds im Hinblick auf eine Reduktion der Tastgradfehlerverstärkung entfaltet sich folglich erst für Taktfrequenzen ab circa 50 GHz. Dies steht im Einklang mit dem angestrebten Betriebsfrequenzbereich von 50 GHz bis 70 GHz. Die Resonanzüberhöhung von  $H^-(f)$  bei in etwa 70 GHz bildet sich in Form von Maxima der Tastgradfehlerverstärkung bei ganzzahligen Teilern davon ab, wie in der theoretischen Herleitung in Abschnitt 5.3.2 beschrieben. Es ist daher beim Betrieb mit mittleren Taktfrequenzen im Bereich von 30 GHz bis 40 GHz, wo die Wirkung der R-C-Glieder nicht mehr nennenswert gegeben ist, darauf zu achten, dass bereits am Eingang der kaskadierten Verzögerungsstufen kein nennenswerter Tastgradfehler auftritt. Dies wird zum einen durch die Maßnahmen bei der Entwicklung des Eingangsverstärkers aus Abschnitt 6.3.2 unterstützt und zum anderen durch eine zusätzliche, externe Regelschleife ermöglicht, welche den Gleichanteil am Takteingang des 2:1 SEL durch Einspeisen eines Gleichanteils am Eingang der kaskadierten Verzögerungsstufen ausgleicht.

Das gewählte Konzept zur Verzögerung der Taktsignale bei MUX-Variante 1 erfüllt die an es gestellten Anforderungen und funktioniert auch in der Praxis wie gewünscht (siehe Messergebnisse in Abschnitt 7.3). Beim Übergang zu höheren Taktfrequenzen wie für MUX-Variante 2 gefordert zeigen sich jedoch seine Grenzen. Um statt einer maximalen Taktfrequenz von 70 GHz eine von 100 GHz zu erreichen, müssten die Widerstände  $R_{EF3}$  bei der Schaltung aus Abbildung 6.14 deutlich verringert werden. Dies geht jedoch mit einem verminderten Einstellbereich der Verzögerung einher. Da weiterhin ein gesamter Einstellbereich von 10 ps gefordert ist, müssten entsprechend mehr Verzögerungsstufen kaskadiert werden. Dies würde nicht nur den zur Anzahl an Verzögerungsstufen proportionalen Energiebedarf, sondern auch die Tastgradfehlerverstärkung bei mittleren Taktfrequenzen nennenswert erhöhen. Daher wird für die Verzögerungsstufen von MUX-Variante 2 ein alternatives Konzept gewählt, welches jenem von MUX-Variante 1 in mehreren Punkten überlegen ist und im Folgenden vorgestellt wird.

### 6.3.3.2 Realisierung der Verzögerungsstufen bei MUX-Variante 2

Die Verzögerungsstufen von MUX-Variante 2 repräsentieren im Wesentlichen die Funktion von Phasenschiebern im Gegensatz zu den zeitlichen Verzögerungsstufen von MUX-Variante 1. Dies kommt dem in der Anwendung gewünschten, konstanten Phaseneinstellbereich von  $180^\circ$  über einen weiten Taktfrequenzbereich entgegen. Der in der für beide MUX-Varianten gemeinsamen Kernschaltung aus Abbildung 6.13 mit „Phasen-/Zeitverschiebung“ bezeichnete Schaltungsblock wird bei MUX-Variante 2 durch die Schaltung in Abbildung 6.16 gebildet. Diese erzeugt an ihrem Ausgang über einen weiten



**Abbildung 6.16:** Schaltung des Phasen-/Zeit-Verschiebungs-Blocks bei MUX-Variante 2.

Taktfrequenzbereich ein gegenüber dem Eingangs-Taktsignal um in etwa  $90^\circ$  verschobenes Taktsignal, wodurch bereits zwei Phasenschieber ausreichen, um den benötigten Einstellbereich von  $180^\circ$  zu erreichen. Die grundlegende Funktionsweise wird erreicht, indem ein SS Kapazitäten  $C_{90}$  als Last ansteuert, welche jeweils parallel zu einem integrierten Bias-Tee zur Bereitstellung eines Gleichstrompfads liegen. Die differenzielle Spannung an den Kapazitäten und damit auch am Ausgang der Schaltung aus Abbildung 6.16 entspricht gemäß der konstituierenden Gleichung einer Integration des differenziellen Ausgangsstroms des SS. Im Falle eines bei niedrigen Taktfrequenzen auftretenden, nahezu idealen Rechteck-Stromsignals resultiert an den Kapazitäten ein differenzielles Dreieck-Spannungssignal, dessen Nulldurchgänge genau in der Mitte zwischen zwei Nulldurchgängen des Rechteck-Stromsignals liegen und damit um  $90^\circ$  gegenüber diesem verschoben sind. Auch im Falle eines näherungsweise sinusförmigen Stromsignals bei hohen Taktfrequenzen ist das in diesem Falle ebenfalls sinusförmige differenzielle Spannungssignal an den Kapazitäten gegenüber dem Stromsignal um  $90^\circ$  verschoben. Die Phasenverschiebung zwischen dem SS-Ausgangsstrom und der Ausgangsspannung der Schaltung aus Abbildung 6.16 beträgt damit in erster Näherung unabhängig von der Taktfrequenz  $90^\circ$ .

Die Neuheit der in [25] erstmalig vorgestellten Schaltung aus Abbildung 6.16 besteht in der Art der Bereitstellung des Gleichstrom-Pfads am Ausgang des SS. Der Gleichstrom-Anteil darf nicht in die Kapazitäten  $C_{90}$  fließen, da die Potenziale an den Kollektoren der SS-Transistoren ansonsten stetig bis in den invers-aktiven Bereich der Transistoren

absinken würden. Eine Möglichkeit zur Bereitstellung eines Gleichstrom-Pfades wäre der Einsatz von Konstantstromquellen an den beiden Kollektoren der SS-Transistoren, um jeweils die Hälfte des Betriebsstroms  $I_{0,90}$  zur Masse hin abzuführen. Hierbei würden jedoch bereits geringfügige Abweichungen in der Strombilanz dazu führen, dass der Fehlerstrom in die Kapazitäten  $C_{90}$  fließen und sich diese auf ein unbekanntes Potenzial aufladen würden. Daher werden stattdessen integrierte Bias-Tees eingesetzt, welche eine vergleichbare Schaltung wie die in [91] als Last eines linearen Verstärkers eingesetzten künstlichen Induktivitäten aufweisen. Die Realisierung in [91] enthält zusätzliche Bauelemente, da dort hohe Ausgangsspannungshübe und eine geringe parasitäre Kapazität der künstlichen Induktivität gefordert sind. Für die Anwendung hier genügt die einfachere Ausführung, da die Ausgangsspannungshübe moderat sind und eine parasitäre Kapazität als Teil von  $C_{90}$  berücksichtigt werden kann. Das Funktionsprinzip des Bias-Tees ist verhältnismäßig einfach. Das R-C-Glied bestehend aus  $R_{BT}$  und  $C_{BT}$  an der Basis des Transistors  $T_{BT}$  bildet einen Tiefpass, sodass das Bias-Tee für Frequenzen unterhalb der Grenzfrequenz des R-C-Glieds als Diode fungiert. Dadurch fließt in jedem der beiden Ausgangspfade die Hälfte des Betriebsstroms  $I_{0,90}$  durch das jeweilige Bias-Tee, wobei sich ein Spannungsabfall von in etwa  $1 U_{BE}$  einstellt. Für Frequenzen oberhalb der Grenzfrequenz des R-C-Glieds wirkt  $C_{BT}$  als Bootstrap-Kapazität, sodass der Signalanteil des SS-Ausgangsstroms nicht durch das Bias-Tee, sondern im Wesentlichen durch die Kapazität  $C_{90}$  fließt und dort einen Spannungsabfall mit der gewünschten Phasenverschiebung von  $90^\circ$  erzeugt. Die Grenzfrequenz des R-C-Glieds wird dementsprechend durch die Wahl von  $C_{BT} = 150 \text{ fF}$  und  $R_{BT} = 2 \text{ k}\Omega$  mit  $0,5 \text{ GHz}$  so dimensioniert, dass sie unterhalb des angestrebten Betriebsfrequenzbereichs der Schaltung liegt. Die verhältnismäßig große Wahl von  $C_{BT}$  bringt aufgrund der im Layout dafür benötigten Fläche eine signifikante parasitäre Kapazität mit sich, welche unmittelbar am Ausgangsknoten liegt. Dies mag zunächst problematisch erscheinen. Die parasitäre Kapazität kann jedoch als Teil der gewünschten Kapazität  $C_{90}$  genutzt werden, indem der Kondensator  $C_{BT}$  im Layout mithilfe von mit Masse verbundenen Metallflächen geschirmt wird, sodass seine parasitäre Kapazität kontrolliert gegen Masse wirkt und dadurch signaltechnisch parallel zu  $C_{90}$  liegt. Auf diese Weise kann bei der konkreten Realisierung für die MUX-Schaltung sogar auf das dedizierte Einbauen von Kondensatoren für  $C_{90}$  gänzlich verzichtet werden, da die benötigte Kapazität vollständig durch Transistor- und parasitäre Layout-Kapazitäten gebildet wird.

Das Ausgangssignal der Schaltung aus Abbildung 6.16 weist aufgrund des integrierenden Charakters der Kapazitäten  $C_{90}$  bei niedrigen Taktfrequenzen näherungsweise eine Dreieck-Form auf. Dies erweist sich gegenüber einem Rechteck-Signal als vorteilhaft für die Gewichtung der Signale des unverzögerten und des verzögerten Pfades mithilfe der beiden SSs aus Abbildung 6.13. Im Falle eines Rechteck-Signals ließe sich die Phase nicht linear zwischen den beiden Endlagen einstellen, sondern würde dazwischen springen. Üblicherweise werden daher Filterschaltungen vor der gewichteten Summation eingeführt, um die Flankensteilheit der Taktsignale zu verringern [75]. Dank der Dreieck-Form des Taktsignals am Ausgang der Schaltung aus Abbildung 6.16 ist der Einsatz von Filterschaltungen nicht nötig.

Das Konzept der Phasenverschiebung durch mit Stromsignalen angesteuerten Kapazitäten hat zum Nachteil, dass die Spannungsamplitude am Ausgang der Schaltung aus Abbildung 6.16 in erster Näherung umgekehrt proportional zur Taktfrequenz ist. Dies folgt aus dem integrierenden Verhalten von Kapazitäten. Als Folge treten insbesondere bei hohen Taktfrequenzen nur geringe Amplituden auf. Damit diese dennoch groß genug sind, um die nachfolgende Stufe anzusteuern, müssen die Kapazitäten  $C_{90}$  klein und der Betriebsstrom  $I_{0,90}$  groß gewählt werden. In der konkreten Dimensionierung für den entwickelten MUX wird die Kapazität  $C_{90} \approx 50$  fF vollständig durch parasitäre Layout- und Transistor-Kapazitäten gebildet, sodass hier kaum Spielraum zur Optimierung besteht. Stattdessen wird der Betriebsstrom  $I_{0,90}$  mit 7,5 mA verhältnismäßig groß gewählt, um auch bei 100 GHz Taktfrequenz eine mit circa 130 mV genügend große Amplitude zur Ansteuerung des SS aus Abbildung 6.13 zu haben. Die Abhängigkeit der Amplitude von der Taktfrequenz führt jedoch dazu, dass bei niedrigen Taktfrequenzen sehr große Amplituden auftreten, welche die SS-Transistoren aus Abbildung 6.16 bis in den invers-aktiven Bereich bringen könnten. Um dies zu verhindern, sind jeweils zwei in Serie geschaltete Dioden parallel zu den Kapazitäten  $C_{90}$  angeordnet, wie in Abbildung 6.16 dargestellt. Die Dioden begrenzen den maximalen Spannungshub an den Kapazitäten auf zwei Diodenstrecken und erlauben es damit, den Arbeitspunkt des SS so zu wählen, dass der SS nicht in den invers-aktiven Bereich gelangen kann. Sobald die Dioden die Ausgangsspannung begrenzen, entspricht der Zusammenhang zwischen Ausgangsstrom des SS und Ausgangsspannung der Schaltung aus Abbildung 6.16 jedoch keinem rein integrierenden Verhalten mehr, wodurch sich die Phasenverschiebung reduziert. Die niedrigste Taktfrequenz, bei der die Stufe noch eine Phasenverschiebung von  $90^\circ$  aufweist, ergibt sich über den maximal zugelassenen Spannungshub an den Kapazitäten  $C_{90}$ . Mit der gewählten Dimensionierung liegt diese Taktfrequenz bei einer typischen Dioden-Flussspannung von 900 mV bei 42 GHz. Zur Erweiterung des Frequenzbereichs zu niedrigeren Taktfrequenzen hin könnte jeweils eine dritte Diode in Reihe geschaltet werden, wodurch der maximale Spannungshub erhöht würde. Dies würde jedoch die zulässige Durchbruchspannung der SS-Transistoren überschreiten. Alternativ kann der Betriebsstrom  $I_{0,90}$  während des Betriebs an die Taktfrequenz angepasst werden, sodass der Spannungshub nicht in den Bereich der Dioden-Flussspannung gerät. Für die Anwendung bei der MUX-Schaltung sind derartige Maßnahmen nicht nötig, da die volle Phasenverschiebung erst ab einer Taktfrequenz von 50 GHz zur Verfügung zu stehen braucht.

In der Schaltung aus Abbildung 6.16 sind parallel zu den Kapazitäten  $C_{90}$  Widerstände  $R_{\text{stab}}$  an den jeweiligen Ausgangsknoten gegen Masse eingefügt. Diese sind nötig, um nach den Methoden aus [42] die Stabilität der Schaltung aus Abbildung 6.16 an ihrer mit dem SS aus Abbildung 6.13 verbundenen Ausgangsschnittstelle zu gewährleisten. Durch die Parallelschaltung mit den Kapazitäten  $C_{90}$  verringern die Widerstände  $R_{\text{stab}}$  jedoch die gewünschte Phasenverschiebung von  $90^\circ$ . Sie werden daher mit  $1 \text{ k}\Omega$  so groß wie möglich gewählt, um zwar die Stabilität der Schaltung zu gewährleisten, die Phasenverschiebung jedoch so wenig wie möglich zu beeinflussen.

Der gesamte Bezugspunkt der Schaltung aus Abbildung 6.16 ist mithilfe einer Diode gegenüber Masse abgesenkt, um den Arbeitspunkt der Ausgangsschnittstelle an den Ar-

beitspunkt des unverzögerten und um zwei kaskadierte EF-Paare abgesenkten Pfades der Schaltung aus Abbildung 6.13 anzupassen.

Die Wahl des Betriebsstroms  $I_{0,\text{Phase}}$  der TAS und damit der SSs aus Abbildung 6.13 ist mit 5,5 mA um etwa 40 % größer als bei MUX-Variante 1. Die Emitterflächen der zugehörigen SS-Transistoren bleiben mit  $0,13 \mu\text{m}^2$  jedoch unverändert, wodurch die Stromdichte für die maximale Transitfrequenz der Transistoren überschritten wird. Diese Art der Dimensionierung hat folgende Bewandnis. Die Realisierung einer einstellbaren Phasenverschiebung von bis zu  $90^\circ$  mit nur einer Verzögerungsstufe aus Abbildung 6.13 hat den Nachteil, dass die Ausgangsamplitude von der über die Spannung  $U_{\text{Phase}}$  eingestellten Phase abhängt. Wird eine Phasenverschiebung von  $45^\circ$  durch gleiche Gewichtung des um  $0^\circ$  und des um  $90^\circ$  verzögerten Taktsignals eingestellt, liegt die Ausgangsamplitude prinzipbedingt um 3 dB unter der Amplitude in den jeweiligen Endlagen der Phasenverschiebung [75]. Dieses Problem tritt bei der Schaltung von MUX-Variante 1 aus Abschnitt 6.3.3.1 nicht auf, da hier der Einstellbereich einer einzelnen Verzögerungsstufe deutlich geringer ist. Gerade nahe der Grenzfrequenz kann die Abschwächung des Signals um 3 dB kritisch sein. Um bei hohen Taktfrequenzen von bis zu 100 GHz dennoch eine ausreichend hohe Ausgangsamplitude erreichen zu können, ist es wichtig, dass die SS-Transistoren besonders in dem kritischen Betriebsbereich bei Phasenverschiebungen von in etwa  $45^\circ$  eine hohe Geschwindigkeit aufweisen. Der Betriebsstrom  $I_{0,\text{Phase}}$  teilt sich in diesem Betriebsbereich näherungsweise gleichmäßig auf die beiden SSs aus Abbildung 6.13 auf, sodass deren Transistoren noch unterhalb, aber nahe an ihrer maximalen Stromdichte und somit nahe ihrer optimalen Geschwindigkeit betrieben werden. Das Überschreiten der maximalen Stromdichte zu den Endlagen des Phaseinstellbereichs hin wird daher zugunsten einer besseren Geschwindigkeit in der Mitte des Phaseinstellbereichs in Kauf genommen, um der prinzipbedingten Dämpfung in diesem Bereich entgegen zu wirken. Die Dämpfung wird zusätzlich durch eine Verstärkerstufe ähnlich der des Eingangsverstärkers aus Abschnitt 6.3.2 ausgeglichen. Die Verstärkerstufe wird dazu unmittelbar am Ausgang der Verzögerungsstufe aus Abbildung 6.13 innerhalb derselben Schaltungszelle platziert, um keine zusätzliche Dämpfung durch TMLs zu riskieren.

Zur Verringerung der Tastgradfehlerverstärkung werden genau wie bei MUX-Variante 1 R-C-Glieder in den Emitterpfaden der SS-Transistoren aus Abbildung 6.13 eingesetzt. Wegen des um 40 % größeren Betriebsstroms  $I_{0,\text{Phase}}$  werden die Widerstände  $R_{\text{TG}}$  im entsprechend gleichen Verhältnis skaliert und weisen einen Wert von  $80 \Omega$  gegenüber  $125 \Omega$  bei MUX-Variante 1 auf. Die Kapazität  $C_{\text{TG}}$  wird mit 80 fF bei MUX-Variante 2 im Vergleich zu 40 fF bei MUX-Variante 1 überproportional vergrößert, um das Verhalten bei niedrigen Taktfrequenzen zu verbessern. In die Emitterpfade des SS aus Abbildung 6.16 werden keine R-C-Glieder eingefügt, damit die Phasenverschiebung des Schaltungsteils dadurch nicht beeinflusst wird.

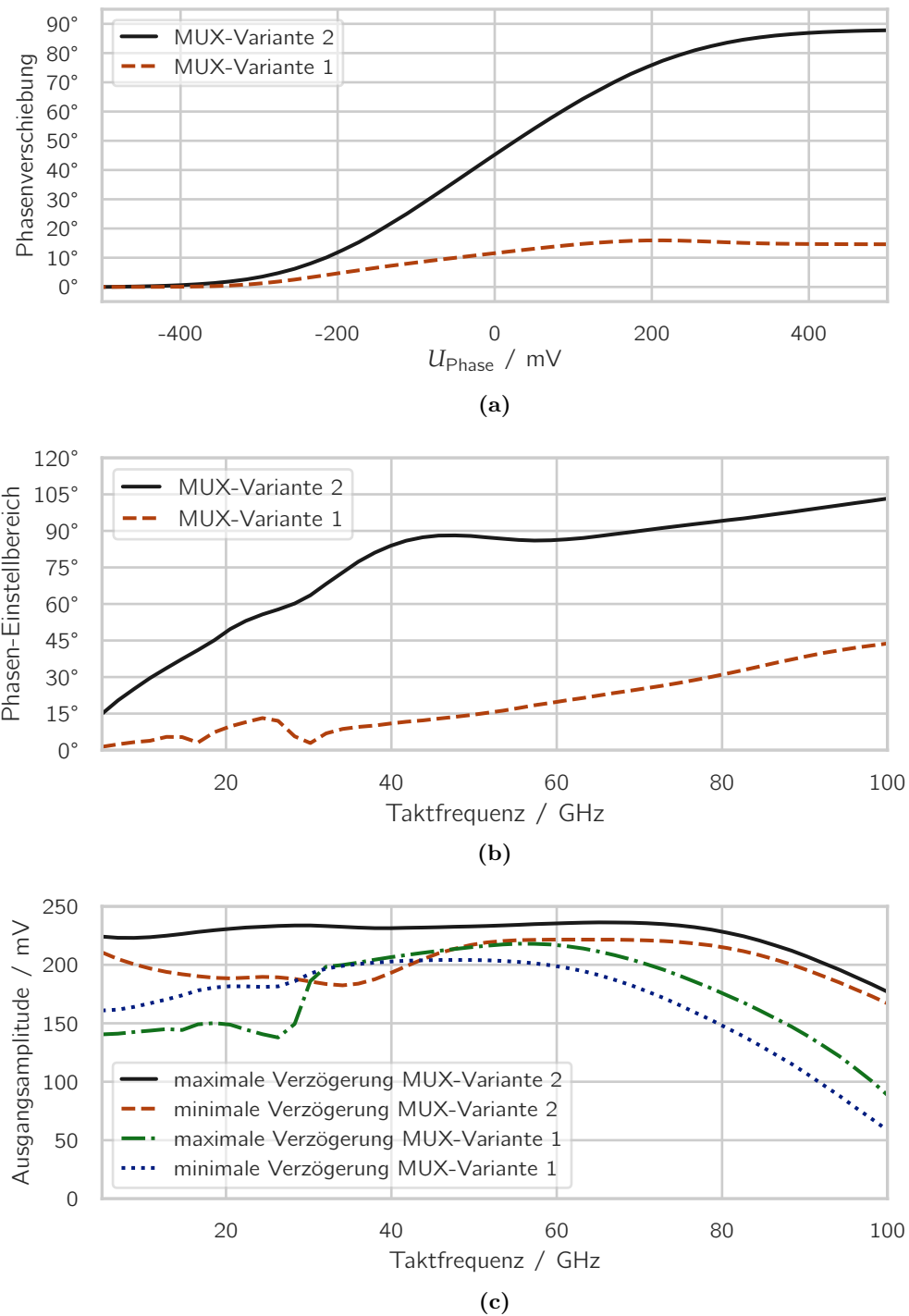
Im Folgenden werden Simulationsergebnisse der Verzögerungsstufen von beiden MUX-Varianten vorgestellt und die jeweiligen Vor- und Nachteile aufgezeigt.



### 6.3.3.3 Vergleich der Verzögerungsstufen von MUX-Variante 1 und 2

In Abbildung 6.17a ist die simulierte Phasenverschiebung jeweils einer der Verzögerungsstufen aus Abschnitt 6.3.3.1 und 6.3.3.2 der MUX-Varianten 1 und 2 für eine Taktfrequenz von 50 GHz in Abhängigkeit der Steuerspannung  $U_{\text{Phase}}$  gezeigt. Die Referenzphase von  $0^\circ$  wird dafür jeweils auf den Wert bei einer Steuerspannung von  $-500$  mV gelegt. Für die Simulation werden HICUM-Transistormodelle und die Extraktion von parasitären Layout-Elementen mithilfe von Assura QRC verwendet. Bei beiden Varianten zeigt sich eine näherungsweise lineare Einstellbarkeit der Phasenverschiebung in Abhängigkeit von der Steuerspannung  $U_{\text{Phase}}$ . Als deutlichster Unterschied tritt der maximale Einstellbereich zu Tage. Während es mit einer der Verzögerungsstufen von MUX-Variante 1 bei der Taktfrequenz von 50 GHz nur möglich ist, eine maximale Phasenverschiebung von circa  $18^\circ$  zu erzielen, genügt bereits eine Stufe von MUX-Variante 2 für eine Phasenverschiebung von knapp unter  $90^\circ$ . Dass nicht exakt  $90^\circ$  erreicht werden, liegt an den zur Stabilisierung der Schaltung aus Abbildung 6.16 nötigen Widerständen  $R_{\text{stab}}$ . Bei MUX-Variante 1 fällt auf, dass die Phasenverschiebung mit der Einstellspannung zunächst ansteigt, beim Übergang in den begrenzenden Bereich ab  $U_{\text{Phase}} \approx 250$  mV jedoch wieder geringfügig absinkt. Dieses Verhalten lässt sich anhand der Schaltung aus Abbildung 6.13 erklären. Durch die Verlagerung des Betriebsstroms  $I_{0,\text{Phase}}$  von dem in der Abbildung rechts dargestellten SS auf den linken SS reduzieren sich die Basis-Emitter-Diffusionskapazitäten der Transistoren des rechten SS. Dadurch verringert sich die kapazitive Belastung der zwei kaskadierten EF-Paare, wodurch sich die Laufzeit vom Eingang der Schaltung zum Ausgang der zwei kaskadierten EF-Paare verringert. Da sich diese Laufzeit-Reduktion auf sämtliche Taktsignale innerhalb der Schaltung auswirkt, tritt auch am Ausgang eine Verringerung der Phasenverschiebung auf. Da die Verringerung klein gegenüber dem gesamten Phaseneinstellbereich ist, sind keine Schaltungsmaßnahmen zur Vermeidung dieses Effekts notwendig. MUX-Variante 2 nutzt dieselbe Schaltungstopologie aus Abbildung 6.13 wie MUX-Variante 1 und ist daher prinzipiell ebenfalls anfällig für diesen Effekt. In der Simulation in Abbildung 6.17a tritt der Effekt des Absinkens der Phasenverschiebung beim Übergang in den begrenzenden Bereich jedoch nicht auf. Dies liegt daran, dass der mit „Phasen-/Zeit-Verschiebung“ bezeichnete Schaltungsblock bei MUX-Variante 2 eine höhere Eingangskapazität aufweist als bei MUX-Variante 1, da sich am Eingang des Blocks bei MUX-Variante 2 ein SS befindet, während es bei MUX-Variante 1 Widerstände und ein EF-Paar sind. Durch die somit bedingte höhere absolute kapazitive Belastung des Ausgangs der zwei kaskadierten EF-Paare in Abbildung 6.13 bei MUX-Variante 2 fällt eine Schwankung der Kapazität durch den sich ändernden Betriebsstrom des rechten SS weniger stark ins Gewicht als bei MUX-Variante 1.

In Abbildung 6.17b ist der simulierte, jeweils maximale Phaseneinstellbereich für beide Varianten der Verzögerungsstufen in Abhängigkeit der Taktfrequenz dargestellt. Hier zeigt sich deutlich der Unterschied in der Wirkungsweise der beiden Varianten. Bei MUX-Variante 1 bietet die Verzögerungsstufe eine näherungsweise von der Taktfrequenz unabhängige Zeitverzögerung von  $\Delta t = 1$  ps. Mit Gleichung 6.1 ist der Phaseneinstellbereich damit in etwa proportional zur Taktfrequenz. Im Bereich zwischen 20 GHz und



**Abbildung 6.17:** Simulierte Phaseneinstellbereiche und Amplitudengänge jeweils einer der Verzögerungsstufen aus Abbildung 6.13 von MUX-Variante 1 und 2.

30 GHz tritt ein Knick in der Kurve auf. Dieser resultiert daraus, dass bei MUX-Variante 1 für Taktfrequenzen unterhalb von 30 GHz ein signifikantes Überschwingen im Ausgangssignal auftritt, welches die Funktion der Verzögerungsstufe beeinträchtigt (vgl. die nachfolgende Abbildung 6.18). Da sich der Knick unterhalb der spezifizierten minimalen Taktfrequenz für eine volle Einstellbarkeit der Phase von 50 GHz befindet, wirkt er sich nicht negativ auf die Funktion der MUX-Schaltung aus. Bei MUX-Variante 2 liegt der Phaseinstellbereich im Wesentlichen unabhängig von der Taktfrequenz in etwa bei  $90^\circ$ , solange die Dioden in Abbildung 6.16 nicht in ihre Begrenzung kommen. In der Simulation lässt sich gut erkennen, dass dieser Punkt bei circa 45 GHz erreicht wird. Für Taktfrequenzen darunter nimmt der Phaseinstellbereich deutlich ab, liegt aber dennoch im gesamten simulierten Frequenzbereich über jenem von MUX-Variante 1 und weist keinerlei Knicke oder Unstetigkeiten auf. Oberhalb von 45 GHz wäre ein konstanter Phaseinstellbereich von knapp unter  $90^\circ$  zu erwarten. Diese Betrachtung berücksichtigt jedoch nur das Verhalten der Kapazitäten  $C_{90}$  der Schaltung aus Abbildung 6.16. Der die Kapazitäten ansteuernde SS bewirkt eine zusätzliche konstante zeitliche Verzögerung, welche sich in Form einer der konstanten Phasenverschiebung von  $90^\circ$  additiv überlagerten, linear mit der Taktfrequenz ansteigenden Phasenverschiebung niederschlägt. Da der Phaseinstellbereich dadurch vergrößert wird, wirkt sich dieses Verhalten positiv auf die Funktion der Verzögerungsstufe aus.

Der deutlich größere und weniger stark als bei MUX-Variante 1 von der Taktfrequenz abhängige Phaseinstellbereich bei MUX-Variante 2 stellt einen bedeutsamen Vorteil dar. Es genügen zwei Verzögerungsstufen, um den bei der Taktverteilung der entwickelten MUX-Schaltungen gewünschten Phaseinstellbereich von  $180^\circ$  ab Taktfrequenzen von 50 GHz zu erzielen. Von den Verzögerungsstufen von MUX-Variante 1 sind im Vergleich dazu zehn Stück nötig, um einen ebenso großen Phaseinstellbereich zu erhalten. Durch gleichmäßige Aufteilung der beiden bei MUX-Variante 2 benötigten Verzögerungsstufen auf die beiden Pfade der Taktverteilung aus Abbildung 6.9 kann sogar gänzlich auf eine Kaskadierung von Verzögerungsstufen verzichtet werden. Das bei MUX-Variante 1 signifikante Problem einer Tastgradfehlerverstärkung der Verzögerungsstufen durch die große Anzahl an kaskadierten Stufen ist bei MUX-Variante 2 dadurch hinfällig.

In Abbildung 6.17c ist die im Großsignal simulierte Ausgangsamplitude jeweils einer der Verzögerungsstufen von MUX-Variante 1 und 2 in Abhängigkeit der Taktfrequenz für jeweils die Pfade der minimalen und der maximalen Verzögerung dargestellt. Klar zeigt sich die höhere Grenzfrequenz bei MUX-Variante 2 im Vergleich zu MUX-Variante 1. Diese wird durch das Schaltungsprinzip bedingt, wonach bei MUX-Variante 1 die Bandbreite durch die Widerstände  $R_{EF3}$  in Abbildung 6.14 zugunsten eines größeren Einstellbereichs der Verzögerung begrenzt wird. Während die Ausgangsamplitude bei MUX-Variante 1 bereits ab 60 GHz zu fallen beginnt und bei 80 GHz schon eine signifikante Dämpfung auftritt, beginnt bei MUX-Variante 2 bei dieser Taktfrequenz erst der Abfall der Ausgangsamplitude. Selbst bei 100 GHz ist die Ausgangsamplitude bei MUX-Variante 2 noch größer als bei MUX-Variante 1 bei 80 GHz. In der Anwendung äußert sich der Unterschied in der Grenzfrequenz zwischen beiden Varianten sogar noch

**Tabelle 6.1:** Vergleich der Stromaufnahmen der einzelnen Schaltungsteile einer der Verzögerungsstufen aus Abbildung 6.13 für MUX-Variante 1 und 2.

	MUX-Variante 1	MUX-Variante 2
2 EFs	7,0	16,0
Phasen-/Zeit-Verschiebung	6,0	7,5
$I_{0,Phase}$	4,0	5,5
Verstärker am Ausgang	—	29,0
<b>Summe</b>	17,0	58,0

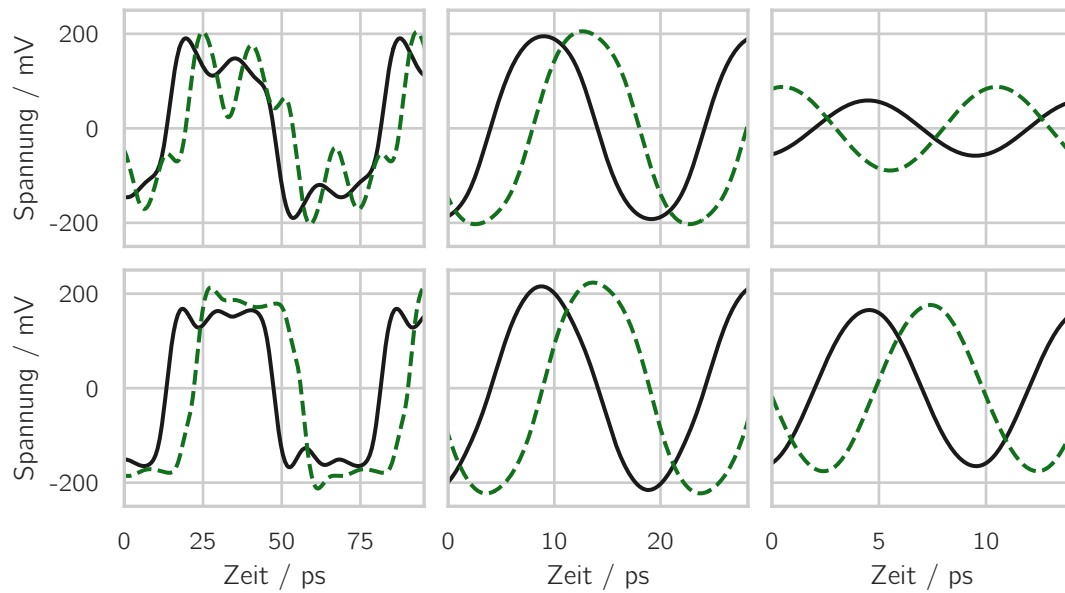
deutlicher, da bei MUX-Variante 1 mehrere gleichartige Verzögerungsstufen kaskadiert werden, sodass die Signalübertragung ab in etwa der Grenzfrequenz einer der Verzögerungsstufen nahezu komplett versagt. Bei MUX-Variante 2 hingegen wird lediglich eine Verzögerungsstufe in jedem Taktpfad eingesetzt, auf welche unmittelbar eine Verstärkerstufe folgt. Dadurch können auch noch Taktsignale über die Grenzfrequenz hinaus problemlos übertragen und in ihrer Phase eingestellt werden. Auffällig sowohl bei MUX-Variante 1 als auch bei MUX-Variante 2 bei den Simulationen aus Abbildung 6.17c ist, dass die Ausgangsamplitude bis zu Taktfrequenzen von in etwa 30 GHz ansteigt. Dies liegt an den zur Verringerung der Tastgradfehlerverstärkung eingesetzten R-C-Gliedern aus  $R_{TG}$  und  $C_{TG}$  aus Abbildung 6.13. Die Widerstände  $R_{TG}$  sind so gewählt, dass die Ausgangsamplitude auch für Taktfrequenzen unterhalb von 30 GHz mit circa 150 mV ausreichend hoch ist. Im maximal verzögerten Pfad aus MUX-Variante 2 tritt keine Verringerung der Ausgangsamplitude bei niedrigen Taktfrequenzen auf, da hier die bei niedrigen Taktfrequenzen prinzipbedingte hohe Amplitude an den Kapazitäten  $C_{90}$  aus Abbildung 6.16 den nachfolgenden SS stets voll aussteuert.

Um die hohe Grenzfrequenz bei MUX-Variante 2 zu erreichen, werden die zwei kaskadierten EF-Paare in Abbildung 6.13 mit größeren Betriebsströmen und Emitterflächen als bei MUX-Variante 1 dimensioniert. Dies ist zudem nötig, da die kapazitive Belastung der EF-Paare durch den mit „Phasen-/Zeit-Verschiebung“ bezeichneten Schaltungsblock bei MUX-Variante 2 mit dem SS aus Abbildung 6.16 größer als bei MUX-Variante 1 mit den Widerständen  $R_{EF3}$  und den EFs aus Abbildung 6.14 ist. In Tabelle 6.1 sind die Verteilungen der jeweiligen Stromaufnahmen auf die einzelnen Schaltungsteile für beide MUX-Varianten aufgeführt. Bedingt durch die höheren Betriebsströme der EF-Paare, den höheren Betriebsstrom  $I_{0,Phase}$  der TAS sowie den zusätzlichen Verstärker am Ausgang der Verzögerungsstufe bei MUX-Variante 2 liegt die Stromaufnahme einer der Verzögerungsstufen mit 58 mA deutlich höher als bei MUX-Variante 1 mit 17 mA. Eine der Verzögerungsstufen von MUX-Variante 2 ersetzt aufgrund ihres größeren Phaseneinstellbereichs allerdings fünf der Stufen von MUX-Variante 1, entsprechend einer Stromaufnahme von  $5 \cdot 17 \text{ mA} = 85 \text{ mA}$ . Bezogen auf die jeweilige Grenzfrequenz, welche bei MUX-Variante 2 mit 100 GHz deutlich höher liegt als mit 70 GHz bei MUX-Variante 1, ist die Schaltung von MUX-Variante 2 näherungsweise doppelt so energieeffizient.

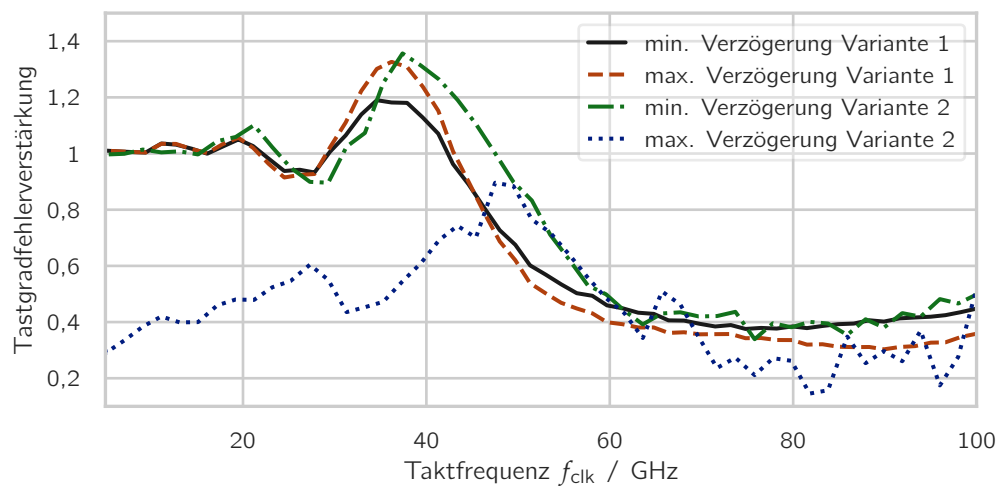
Die Realisierung der unterschiedlichen Verzögerungsstufen bei den MUX-Varianten 1 und 2 demonstriert somit anschaulich, dass neben der Dimensionierung der Schaltung die Wahl der Schaltungstopologie einen wichtigen Einfluss auf die Energieeffizienz hat, wie in Abschnitt 4.3 angedeutet.

Die Tatsache, dass für das Konzept der Phasenverschiebung bei MUX-Variante 2 in jedem der beiden Pfade der Taktverteilung nur eine anstelle von vier bzw. sechs Stufen angeordnet sind, wirkt sich positiv auf die Signalqualität aus. Die Vergleichssimulationen in Abbildung 6.18 zwischen dem Ausgangssignal einer Verzögerungsstufe von MUX-Variante 2 und von fünf kaskadierten Verzögerungsstufen von MUX-Variante 1 verdeutlicht das anhand eines typischen Pfades der Taktverteilung. Bei der Taktfrequenz von 50 GHz sind Einstellbereich und Signalqualität beider Varianten vergleichbar. Bei einer Taktfrequenz von 100 GHz ist zwar der Einstellbereich bei MUX-Variante 1 mit über  $180^\circ$  deutlich größer als bei MUX-Variante 2 mit circa  $90^\circ$ , allerdings bringt dies für die benötigte Anwendung der MUX-Schaltung keinen Mehrwert, da bereits mit einem Einstellbereich von  $90^\circ$  pro Pfad der Taktverteilung der gesamte mögliche Phaseinstellbereich von  $360^\circ$  abgedeckt werden kann. Dafür ist die Ausgangsamplitude bei MUX-Variante 1 bei dieser Taktfrequenz deutlich geringer als bei MUX-Variante 2. Noch deutlicher wird die bessere Signalform von MUX-Variante 2 bei der niedrigen Taktfrequenz von 15 GHz. Hier weist MUX-Variante 2 ein nahezu ideales Rechtecksignal auf, wohingegen bei MUX-Variante 1 starkes Überschwingen auftritt, welches bis nahe an die Nulllinie heran reicht. Dies resultiert daraus, dass zum Ausgleich der verringerten Bandbreite durch die Widerstände  $R_{EF3}$  in Abbildung 6.16 die vorgeschalteten EFs mit einer starken Resonanzüberhöhung dimensioniert werden, welche jedoch bei Taktsignalen mit niedriger Frequenz zu starkem Überschwingen führt. Die bessere Qualität des Taktsignals bei MUX-Variante 2 hat aufgrund der direkten Beeinflussung des Datenausgangs durch das Taktsignal am 2:1 SEL eine unmittelbar positive Auswirkung auf die Qualität des Datenausgangs der entwickelten MUX-Schaltung und damit auf deren Augendiagramme.

In Abbildung 6.19 sind die simulierten Tastgradfehlerverstärkungen der Verzögerungsstufe von MUX-Variante 2 (ohne den nachfolgenden Verstärker) für den minimalen Verzögerungspfad und den maximalen Verzögerungspfad dargestellt. Zum Vergleich sind die entsprechenden Simulationsergebnisse einer der Verzögerungsstufen von MUX-Variante 1 ebenfalls abgebildet. Im Falle des Pfades mit minimaler Verzögerung zeigen sich qualitativ vergleichbare Verläufe bei MUX-Variante 1 und 2. Dieses Ergebnis ist nahelegend, da sich die Schaltungen für den Pfad mit minimaler Verzögerung bei den beiden MUX-Varianten nur geringfügig in ihrer Dimensionierung, nicht aber in ihrer Topologie unterscheiden. Wegen der Dimensionierung der EFs mit einer stärkeren Resonanzüberhöhung bei MUX-Variante 2 zum Erreichen einer höheren Grenzfrequenz ist die maximale Tastgradfehlerverstärkung in Übereinstimmung mit dem Modell aus Abschnitt 5.3.2 mit knapp 1,4 höher als bei MUX-Variante 1 mit 1,2. Bei der Interpretation des Ergebnisses muss jedoch beachtet werden, dass von den Verzögerungsstufen von MUX-Variante 1 bis zu sechs Stück in der Taktverteilung aus Abbildung 6.8 kaskadiert sind, sodass insgesamt eine Tastgradfehlerverstärkung von  $1,2^6 \approx 3,0$  resultiert, welche deutlich höher als bei



**Abbildung 6.18:** Simulierte Ausgangssignale von fünf Verzögerungsstufen von MUX-Variante 1 (obere Zeile) und einer Verzögerungsstufe von MUX-Variante 2 (untere Zeile) für Taktfrequenzen von 15 GHz (linke Spalte), 50 GHz (mittlere Spalte) und 100 GHz (untere Spalte). Gezeigt sind jeweils die Ausgangssignale für die minimale Verzögerung (durchgezogene Graphen) und die maximale Verzögerung (gestrichelte Graphen).



**Abbildung 6.19:** Simulierte Tastgradfehlerverstärkung jeweils einer der Verzögerungsstufen aus Abbildung 6.13 für die Fälle der minimalen und der maximalen einstellbaren Verzögerung.

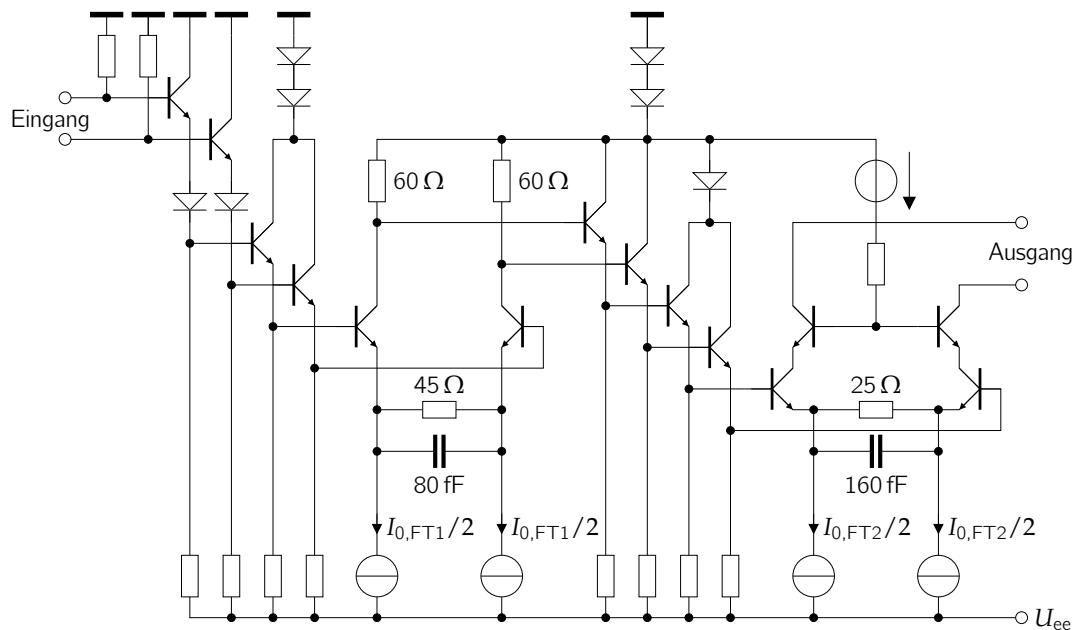
MUX-Variante 2 ist, bei der nur eine Stufe pro Pfad der Taktverteilung benötigt wird. Im Falle der maximalen Verzögerung unterscheiden sich die Verläufe der Tastgradfehlerverstärkungen von MUX-Variante 1 und 2 deutlich. Da die Bias-Tees in der Schaltung aus Abbildung 6.16 den Gleichstromanteil des Ausgangssignals eliminieren, tragen lediglich die geraden Harmonischen des Taktsignals ab der zweiten Harmonischen gemäß Gleichung 5.9 zu einem Tastgradfehler bei. Deshalb ist die Tastgradfehlerverstärkung der Verzögerungsstufe von MUX-Variante 2 für den Pfad mit der maximalen Verzögerung deutlich vermindert und liegt im konkreten Fall im gesamten Frequenzbereich unter 1.

Der Vergleich zwischen den Verzögerungsstufen von MUX-Variante 1 und 2 macht deutlich, dass die im Rahmen dieser Arbeit entwickelte, in [25] erstmals vorgestellte Verzögerungsstufe von MUX-Variante 2 jener typischen nach dem Stand der Technik von MUX-Variante 1 bezüglich des Phaseneinstellbereichs, der Grenzfrequenz und der Energieeffizienz für die benötigte Anwendung in der MUX-Schaltung überlegen ist.

### 6.3.4 Aufbau und Dimensionierung des finalen Takt-Treibers

Um am TSS des 2:1 SEL aus Abschnitt 6.2 einen ausgeprägten, einstellbaren dynamischen Überhöhungseffekt (vgl. Abschnitt 4.2) erzielen und somit die Qualität der Augendiagramme des MUX optimieren zu können, muss der 2:1 SEL mit einem Taktsignal mit einer bis zu großen Werten einstellbaren Amplitude angesteuert werden. Daher befindet sich am Ausgang der Taktverteilungen aus Abbildung 6.8 und 6.9 von MUX-Variante 1 und 2 im Pfad zum 2:1 SEL ein finaler Takttreiber, welcher die Taktsignale der Verzögerungsstufen bzw. des zuschaltbaren Inverters verstärkt.

Im Falle von MUX-Variante 2 wird für den finalen Takttreiber die in Abbildung 6.20 gezeigte zweistufige Verstärkerschaltung eingesetzt. Durch die Kaskade zweier vollständiger Verstärkerstufen bestehend aus jeweils 2 EF-Paaren und einem SS innerhalb einer Schaltungszelle wird gewährleistet, dass der SS der zweiten Verstärkerstufe mit einer ausreichend hohen Eingangsamplitude angesteuert wird. Dadurch wird nicht nur der Sättigungs-Bereich seiner Kennlinie erreicht, sondern auch der dynamische Überhöhungseffekt des SS ausgenutzt, um wie in Abschnitt 4.2 theoretisch hergeleitet eine hohe Ausgangsamplitude, eine hohe Grenzfrequenz und eine hohe Flankensteilheit des Taktsignals zu erreichen. Die Wahl des nominellen Betriebsstroms  $I_{0,FT2} = 13 \text{ mA}$  und einer Emitterfläche von  $0,38 \mu\text{m}^2$  für die Transistoren des SS der zweiten Verstärkerstufe ist nicht viel größer als bei dem Eingangsverstärker der Taktverteilung (vgl. Abschnitt 6.3.2). Das mag zunächst kontraproduktiv erscheinen, da die Schlussfolgerungen in Abschnitt 5.4.1 für den finalen Treiber einer Taktverteilung große Ströme und große Transistoren, für den Eingangsverstärker hingegen moderate Ströme und kleine Transistoren empfehlen. Jedoch ist zu beachten, dass der finale Takttreiber bei MUX-Variante 2 mit Taktfrequenzen bis 100 GHz arbeitet, wohingegen der Eingangsverstärker lediglich bis maximal 70 GHz betrieben wird. Die Transistoren des finalen Takttreibers werden folglich deutlich näher an ihrer maximalen Geschwindigkeit betrieben als jene des Eingangsverstärkers, sodass angesichts der hohen Taktfrequenzen der mit dem gewählten Betriebsstrom  $I_{0,FT2}$



**Abbildung 6.20:** Vereinfachter Schaltplan des finalen Takttreibers der Taktverteilung von MUX-Variante 2.

resultierende differenzielle Spannungshub von  $1,3 V_{pp}$  an der  $50\text{-}\Omega$ -Last der 2:1-SEL-Zelle verhältnismäßig groß ist. Der Betriebsstrom  $I_{0,FT2}$  ist einstellbar ausgeführt, um die Amplitude des Taktsignals am Eingang des 2:1 SEL einstellen und darüber die Ausprägung des dynamischen Überhöhungseffekts am Datenausgang der gesamten MUX-Schaltung justieren zu können. Die Einstellbarkeit wird wie in Abschnitt 2.3 beschrieben über einen Abgriff am Spannungsteiler des  $I_{0,FT2}$  bereitstellenden Stromspiegels realisiert. Der SS der ersten Verstärkerstufe des finalen Takttreibers kann mit einem kleineren, konstanten Betriebsstrom von  $I_{0,FT1} = 8\text{ mA}$  und einer kleineren Emitterfläche seiner Transistoren von  $0,25\text{ }\mu\text{m}^2$  dimensioniert werden, da er direkt die EFs des Folge-SS ohne eine dazwischen liegende TML ansteuert. Aus demselben Grund wird der Abschluss der zugehörigen Schnittstelle mit  $60\text{ }\Omega$  statt mit  $50\text{ }\Omega$  gestaltet, sodass trotz des geringen Betriebsstroms ein differenzieller Spannungshub von fast  $1 V_{pp}$  am Ausgang der ersten Verstärkerstufe des finalen Takttreibers auftritt.

In die Emitterpfade beider SSs werden wie bei den in Abschnitt 6.3.3 vorgestellten Verzögerungsstufen der Empfehlung aus Abschnitt 5.4.2 folgend R-C-Glieder eingefügt, um gegebenenfalls vorhandene Gleichanteile und Tastgradfehler des Taktsignals zu verringern. Die Dimensionierung der Widerstände erfolgt auch hier derart, dass bei niedrigen Taktfrequenzen noch eine ausreichend hohe Verstärkung vorliegt, um den Sättigungsbereich der SS-Kennlinie zu erreichen. Die Wahl der Kapazitäten stellt eine Abwägung dar und wird im vorliegenden Fall durch die Anordnung im Layout begrenzt. Eine weitere Vergrößerung der zugehörigen Kondensatoren würde eine geänderte Platzierung der



übrigen Bauelemente im Layout mit dadurch bedingten erhöhten parasitären Kapazitäten und Induktivitäten bewirken und ist daher nicht zu empfehlen.

Die Dimensionierung der EFs und der BS des finalen Takttreibers folgt denselben Überlegungen und liefert vergleichbare Ergebnisse wie beim 2:1 SEL in Abschnitt 6.2. Daher wird hierauf nicht näher eingegangen. Vielmehr werden im Folgenden Besonderheiten der Schaltung aus Abbildung 6.20 vorgestellt, welche dazu dienen, den Arbeitspunkt der Ausgangsschnittstelle an den anzusteuern 2:1 SEL anzupassen.

Der Bezugspunkt der Abschlusswiderstände des vom finalen Takttreiber angesteuerten 2:1 SEL ist wie in Abbildung 6.6 zu sehen durch zwei Dioden gegenüber Masse abgesenkt. Dies muss bei der Entwicklung des finalen Takttreibers berücksichtigt werden, indem auch dessen Arbeitspunkt am Ausgang entsprechend abgesenkt wird. Eine Maßnahme hierfür wäre der Verzicht auf eine BS am Ausgang. Diese Maßnahme wird bei MUX-Variante 1 angewendet, bei welcher der finale Takttreiber lediglich einstufig ausgeführt ist. Angesichts einer maximalen Taktfrequenz von 70 GHz bei MUX-Variante 1 sind die einstufige Ausführung und der Verzicht auf eine BS ausreichend zum Erreichen der geforderten Spezifikation. Bei MUX-Variante 2 mit einer maximalen Taktfrequenz von bis zu 100 GHz sind jedoch die Verringerung des Miller-Effekts sowie die Resonanzüberhöhung einer BS durch komplex konjugierte Schnittstellen-Fehlanpassung [13] gerade an der wichtigen Schnittstelle zum 2:1 SEL unverzichtbar, um genügend hohe Taktamplituden zu erzielen. Um trotz der BS die um zwei Dioden gegenüber Masse abgesenkten Eingangswiderstände des 2:1 SEL ansteuern zu können, wird wie in Abbildung 6.20 dargestellt das komplette Bezugspotenzial der zweiten Verstärkerstufe des finalen Takttreibers ebenfalls mithilfe zweier Dioden abgesenkt. Dadurch passt der Arbeitspunkt am Ausgang des finalen Takttreibers zu jenem am Eingang der 2:1 SEL-Zelle, das Problem des abgesenkten Arbeitspunktes wird jedoch um eine Stufe nach vorne verschoben und besteht nun an der Schnittstelle zwischen erster und zweiter Verstärkerstufe des finalen Takttreibers. An dieser Stelle ist es möglich, auf eine BS zu verzichten, da hier geringere Amplituden als am Ausgang der zweiten Verstärkerstufe ausreichend sind und zudem keine abgeschlossene TML angesteuert werden muss. Zur weiteren Anpassung des Arbeitspunktes wird das Eingangssignal des finalen Takttreibers mithilfe von Dioden im Signalpfad abgesenkt, welche am Ausgang des ersten EF-Paares angeordnet sind. Die Positionierung an dieser Stelle bietet den Vorteil, dass die durch die Dioden verursachte Vergrößerung der Ausgangsimpedanz des ersten EF-Paares dank des zweiten EF-Paares nur eine geringfügige Beeinträchtigung des Frequenzganges der Schaltung bewirkt. Bei ausreichender Aussteuerung der ersten Verstärkerstufe wird die durch die Dioden bedingte Dämpfung zudem durch die limitierende Kennlinie der SS-Transistoren weitestgehend kompensiert (siehe Abschnitt 4.2). Um einen Durchbruch der Transistoren des zweiten EF-Paares zu vermeiden, wird ihr gemeinsames Kollektorpotenzial mithilfe zweier Dioden abgesenkt. Das so abgesenkte gemeinsame Kollektorpotenzial wird dabei nicht mit dem ebenfalls durch zwei Dioden abgesenkten Bezugspotenzial der zweiten Verstärkerstufe verbunden. Dies liegt in der Gestaltung des Layouts zur Gewährleistung der Stabilität der EFs begründet. Nach [42] sollte dafür die Masseverbindung zwischen zwei kaskadierten EF-Paaren möglichst kurz und räumlich parallel zum Signalpfad ver-

laufen. Die abgesenkten Kollektoren des zweiten EF-Paares sind daher im Layout über die beiden Dioden unmittelbar mit den Kollektoren und den Abschlusswiderständen des ersten EF-Paares verbunden, wohingegen der abgesenkte Bezugspunkt der zweiten Verstärkerstufe räumlich weiter entfernt liegt.

Mit Eingangsverstärker, Verzögerungsstufen, finalem Takttreiber sowie dem in dieser Arbeit nicht näher betrachteten Splitter und umschaltbaren Inverter werden die komplette Taktverteilung aus Abbildung 6.8 von MUX-Variante 1 und große Teile der Taktverteilung von MUX-Variante 2 gebildet.

### 6.3.5 Entwurf eines integrierten Frequenzverdopplers

Um bei MUX-Variante 2 Datenraten von bis zu 200 Gbit/s erzielen zu können, sind Taktfrequenzen am Eingang des 2:1 SEL von bis zu 100 GHz notwendig. Derart hohe Taktfrequenzen lassen sich nur aufwändig extern erzeugen und sind zudem schwierig über eine Bonddraht-Schnittstelle zuzuführen. Aus diesem Grund ist für MUX-Variante 2 eine Frequenzverdoppler-Schaltung entwickelt worden, welche in die Taktverteilung integriert ist. Da der für die Messungen zur Verfügung stehende Signalgenerator Taktfrequenzen bis 70 GHz bereitstellen kann, ergibt sich als Minimalanforderung für den Frequenzverdoppler ein Ausgangsfrequenzbereich von 70 GHz bis 100 GHz. Ein größerer Frequenzbereich insbesondere zu tieferen Frequenzen hin ist wünschenswert, aber nicht zwingend erforderlich. Vielmehr ist es entscheidend, dass der Frequenzverdoppler sowohl mit Sinus- als auch mit Rechteck-Eingangssignalen arbeiten kann. Aufgrund des vorgeschalteten Eingangsverstärkers und des Splitters in der Taktverteilung in Abbildung 6.9 ist insbesondere zum unteren Rand des Frequenzbereichs hin mit einem näherungsweise rechteckigen Taktsignal am Eingang des Frequenzverdopplers zu rechnen. Selbst wenn auf die vorgeschalteten Blöcke verzichtet würde, ist bei der intendierten Anwendung der MUX-Schaltung in Rechenzentren bei Ansteuerung mit einer Schnittstellenkarte von einem Taktsignal mit nicht-vernachlässigbaren Oberwellen auszugehen, sodass kein ideal sinusförmiges Taktsignal am Eingang des Frequenzverdopplers vorausgesetzt werden kann.

Die genannten Randbedingungen schränken die Auswahl eines geeigneten Konzepts zur Frequenzverdopplung ein. Die Einschränkung wird im Folgenden anhand einiger in der Literatur häufig anzutreffender Konzepte verdeutlicht.

Im Wesentlichen lassen sich nach [92] zwei grundlegende Arten von Frequenzverdoppler-Konzepten unterscheiden: basierend auf einer nichtlinearen Kennlinie oder basierend auf einer Mischung. Bei typischen Konzepten der ersteren Art wird das Eingangssignal an ein Bauelement oder eine Schaltung mit nichtlinearer Kennlinie angelegt, z. B. an eine Diode oder einen Transistor [93, 94, 95, 96]. Durch die nichtlineare Kennlinie entstehen Harmonische, von denen mithilfe eines Bandpassfilters die Gewünschte (im Falle einer Frequenzverdopplung die Zweite) an den Ausgang geführt wird. Ein Vorteil des Konzepts

ist, dass die Anforderungen an das Eingangssignal verhältnismäßig gering sind. Insbesondere spielt die Signalform aufgrund der ohnehin erforderlichen Bandpassfilterung nur eine untergeordnete Rolle. Die Bandpassfilterung stellt gleichzeitig auch den Nachteil des Konzepts dar. Prinzipbedingt sind damit nur Schaltungen mit verhältnismäßig geringer Bandbreite realisierbar. Es besteht zudem das Risiko, dass die Mittenfrequenz des Bandpassfilters aufgrund von Prozessschwankungen variiert und somit der zu nutzende Frequenzbereich zusätzlich eingeschränkt wird. Aus diesem Grund wird von dem Konzept für die entwickelte MUX-Schaltung kein Gebrauch gemacht. Als Variante davon ist es möglich, statt eines einzelnen Bauelements eine Schaltung zu verwenden, welche eine speziell geformte nichtlineare Kennlinie aufweist, sodass bei einem sinusförmigen Eingangssignal ausschließlich die zweite Harmonische des Eingangssignals resultiert. Damit kann auf eine Bandpassfilterung verzichtet werden und es lassen sich beeindruckend große Frequenzbereiche erzielen, wie beispielsweise 0 GHz bis 100 GHz in [8]. Allerdings funktioniert das Konzept nur, wenn das Eingangssignal eine nahezu ideale Sinusform aufweist. Daher ist es für die intendierte Anwendung nicht geeignet.

Ebenfalls auf näherungsweise sinusförmige Eingangssignale sind Frequenzverdoppler angewiesen, welche nach dem Konzept der homodynen Mischung arbeiten. Hierbei wird eine Mischer-Schaltung verwendet, welche an ihren beiden Eingängen  $u_{q,A}^-$ ,  $u_{q,B}^-$  jeweils das in der Frequenz zu verdoppelnde Taktsignal erhält und dieses mit sich selbst mischt [97, 98, 99]. Im einfachsten Falle ergibt sich für ideal sinusförmige Eingangssignale

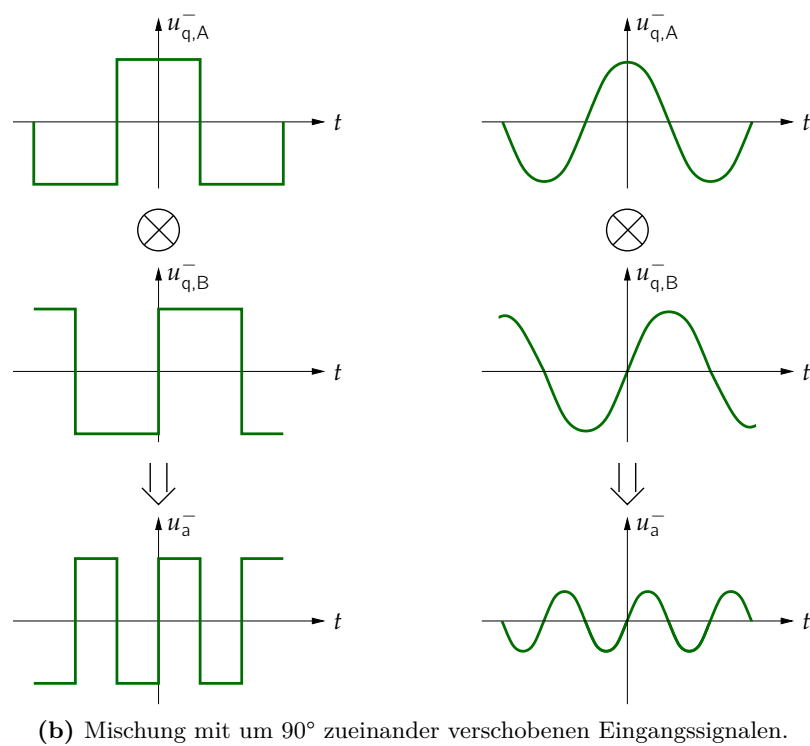
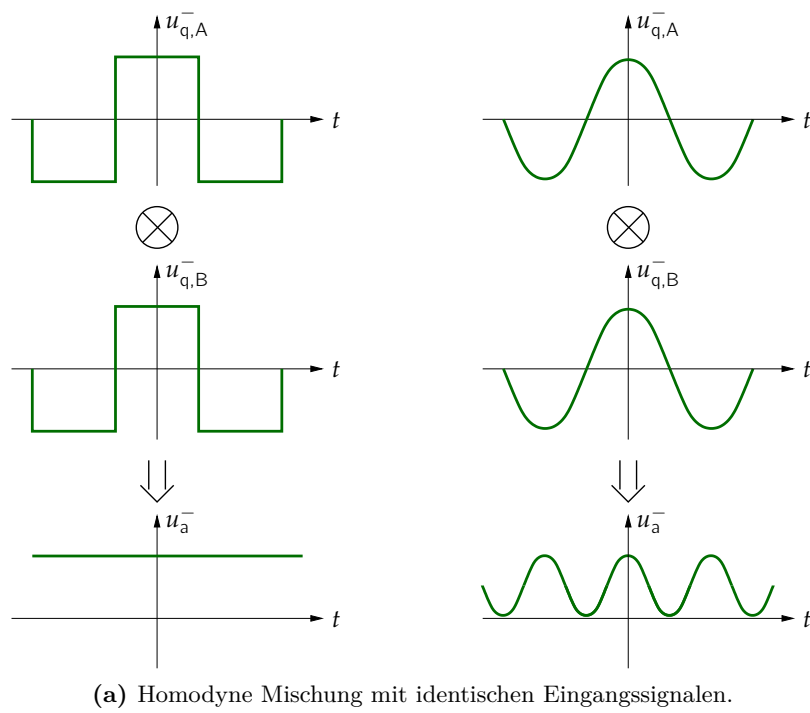
$$u_{q,A}^- = u_{q,B}^- = \hat{U}_q^- \cos(2\pi f_{\text{clk}} t) \quad (6.2)$$

durch die Multiplikation miteinander

$$u_a^- = (\hat{U}_q^-)^2 \cos^2(2\pi f_{\text{clk}} t) = \frac{1}{2} (\hat{U}_q^-)^2 (\cos(2\pi 2 f_{\text{clk}} t) + 1), \quad (6.3)$$

d. h. es entsteht ein Ausgangssignal  $u_a^-$  mit der doppelten Frequenz und einem überlagerten Gleichanteil, welcher beispielsweise mithilfe von Koppelkondensatoren herausgefiltert werden kann. Mit diesem Konzept sind auf einfache Weise breitbandige Frequenzverdoppler-Schaltungen realisierbar. Die Grenzen zeigen sich jedoch, wenn das Eingangssignal von der Sinusform abweicht. Im Extremfalle eines idealen Rechtecksignals resultiert nach der Multiplikation mit sich selbst lediglich ein Gleichanteil ohne jegliche Signalanteile. In Abbildung 6.21a sind zur Veranschaulichung beispielhaft die Resultate einer solchen homodynen Mischung mit identischen Signalen an beiden Eingängen des Mixers für ein ideales Sinus- und ein ideales Rechtecksignal gezeigt. Wegen der Voraussetzung eines nahezu idealen Sinussignals am Eingang des Frequenzverdopplers scheidet auch dieses Konzept für die MUX-Schaltung aus.

Eine Mischung kann auch zur Frequenzverdopplung von nicht-sinusförmigen Taktsignalen verwendet werden, wenn die beiden Eingänge  $u_{q,A}^-$ ,  $u_{q,B}^-$  des Mixers nicht dasselbe Signal erhalten, sondern zueinander um  $90^\circ$  verschobene Signale [75, 100]. Dadurch ergeben sich mehrere Vorteile. Sowohl im Falle von Sinus- als auch im Falle von Rechtecksignalen resultiert am Ausgang des Mixers ein Signal  $u_a^-$ , welches die zweite Harmonische



**Abbildung 6.21:** Beispielhafte Signale an Ein- und Ausgang eines idealen Mischers zur Frequenzverdopplung.

des Eingangssignals sowie gegebenenfalls Vielfache der zweiten Harmonischen enthält. In Abbildung 6.21b sind die Resultate einer Mischung bei zueinander um  $90^\circ$  phasenverschobenen Sinus- und Rechteck-Eingangssignalen gezeigt. Der Vergleich mit der Mischung mit identischen Eingangssignalen in Abbildung 6.21a macht deutlich, dass es erst durch die Phasenverschiebung der Eingangssignale möglich ist, eine Frequenzverdopplung von Rechteck-Taktsignalen zu erreichen. Der im Falle von Sinussignalen auftretende Gleichanteil entfällt, sofern die Phasenverschiebung zwischen beiden Eingangssignalen exakt  $90^\circ$  beträgt. Je mehr die Phasenverschiebung von diesem Idealwert abweicht, desto stärker wird der auftretende Tastgradfehler am Ausgang des Mischers. Im Gegensatz zum homodynen Mischen mit identischen Eingangssignalen braucht der Mischer bei um  $90^\circ$  verschobenen Signalen nicht linear zu sein. Im Gegenteil kann durch Übersteuerung eine höhere Ausgangsamplitude erreicht werden. Der Mischer repräsentiert in diesem Falle eine logische exklusiv Oder-Funktion (XOR).

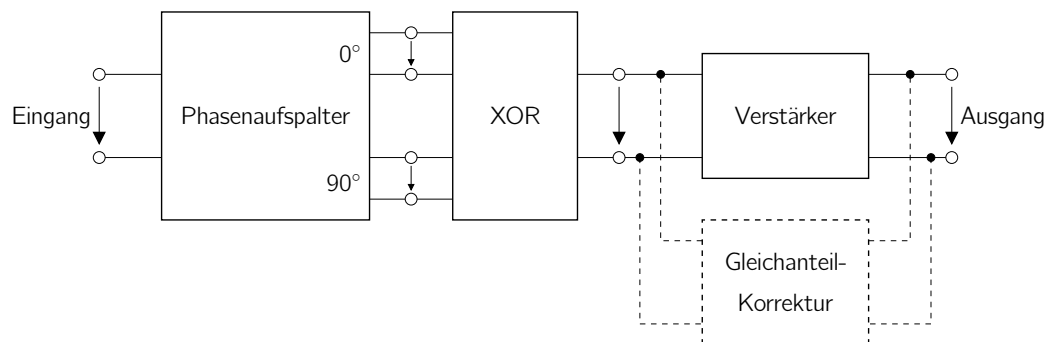
Um die beiden Eingangssignale des Mischers bzw. des XOR um  $90^\circ$  zueinander verschieben zu können, gibt es verschiedene Möglichkeiten. Im Falle sinusförmiger oder schmalbandiger Signale lässt sich dies verhältnismäßig einfach mit Filterschaltungen [103] oder TMLs [104] realisieren. Für breitbandige Signale mit nicht-spezifizierter bzw. Taktfrequenz-abhängiger Signalform bietet sich die neuartige, in [25] vorgestellte Phasenverschieberschaltung aus Abschnitt 6.3.3.2 an. Diese wird für den im Rahmen der Arbeit entwickelten Frequenzverdoppler der MUX-Schaltung verwendet, welcher in [25] kurz und im Folgenden ausführlich vorgestellt wird. Es handelt sich hierbei um eine Demonstration der Machbarkeit, wobei die Dimensionierung an die Anforderungen der MUX-Schaltung angepasst ist. Aus diesem Grund übersteigen weder die erzielte Bandbreite noch die maximale Frequenz des vorgestellten Frequenzverdopplers den bisherigen Stand der Technik, wie der Übersicht aus Tabelle 6.2 entnommen werden kann. Hinsichtlich des Verhältnisses von oberer zu unterer Ausgangsfrequenz von 2,5 wird der vorgestellte Frequenzverdoppler in der Auflistung in Tabelle 6.2 lediglich von jenem aus [8] übertroffen. Bei diesem verlangt das zugrunde liegende Konzept jedoch ein möglichst reines Sinussignal am Eingang, was für den Frequenzverdoppler hier nicht nötig ist.

Der entwickelte Frequenzverdoppler besteht aus den Schaltungszellen, welche im Blockdiagramm aus Abbildung 6.22 dargestellt sind und gemäß des zellbasierten Entwicklungskonzepts (siehe Kapitel 2) separat voneinander entwickelt und zu einer großen übergeordneten Zelle zusammengefasst werden. Im Folgenden werden die einzelnen Schaltungszellen vorgestellt.

Am Eingang des Frequenzverdopplers befindet sich eine als Phasenaufspalter bezeichnete Schaltungszelle, welche das Eingangs-Taktsignal in einen Pfad mit einer Referenzphase von  $0^\circ$  und einen Pfad mit  $90^\circ$  Phasenverschiebung im Vergleich dazu aufteilt. Für die nachfolgende XOR-Zelle ist nur die relative Phase zwischen den beiden Ausgängen der Phasenaufspalter-Schaltungszelle entscheidend. Eine absolute Phasenverschiebung vom Eingang der Schaltungszelle zu den beiden Ausgängen ist nicht von Belang. Die Schaltung der Phasenaufspalter-Zelle ist in Abbildung 6.23 gezeigt und jener aus Abbildung 6.13 für die Verzögerungsstufen der Taktverteilung sehr ähnlich. In beiden Fällen

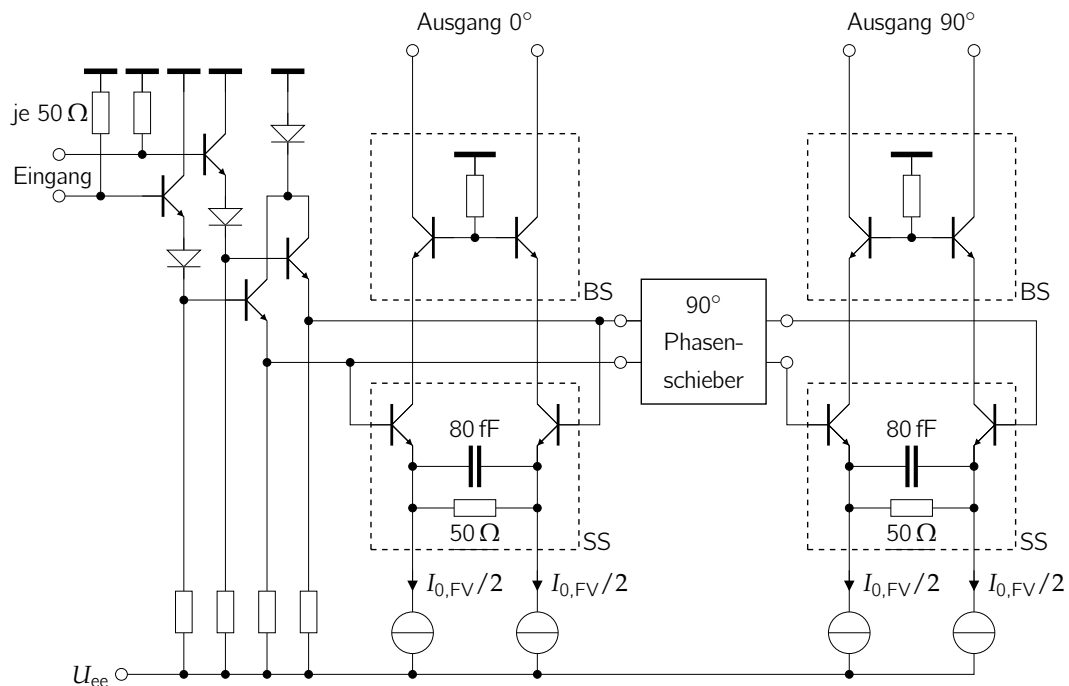
**Tabelle 6.2:** Vergleich einiger Frequenzverdoppler in SiGe-Bipolar-Technologie nach dem Stand der Technik.

Ausgangs- frequenz in GHz	Unterdrückung Subharmoni- sche in dB	Leistungs- aufnahme in mW	$f_T$ in GHz	Jahr	Referenz
200–245	15	35	300	2013	[4]
138–170	37	36	300	2016	[95]
97–134	21	69	240	2017	[101]
0–100	22	250	300	2015	[8]
<b>40–100</b>	<b>&gt; 25</b>	<b>730</b>	<b>300</b>	<b>2019</b>	<b>[25]</b>
36–80	20	137	200	2009	[102]
55–75	25	50	–	2013	[98]

**Abbildung 6.22:** Blockdiagramm des entwickelten Frequenzverdopplers. Die gestrichelt dargestellte Schaltungszelle ist extern realisiert.

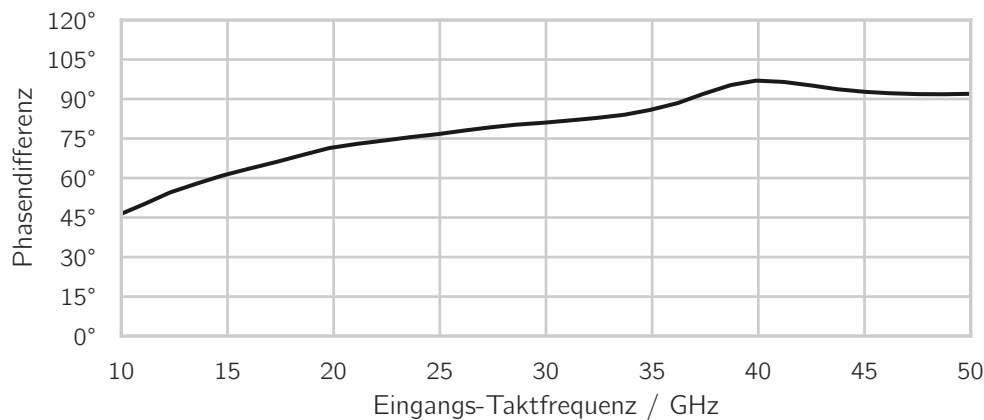
wird das Eingangssignal über zwei EFs einmal direkt einem SS und einmal einem  $90^\circ$  Phasenschieber, welcher seinerseits einen SS ansteuert, zugeführt. Der wesentliche Unterschied zu Abbildung 6.13 besteht darin, dass die beiden SS statt mit einem gewichteten mit einem konstanten, für beide identischen Betriebsstrom  $I_{0,FV} = 8 \text{ mA}$  betrieben werden. Zudem werden ihre Ausgänge nicht aufsummiert, sondern über jeweils getrennte BSs zu den beiden Ausgängen der Phasenaufspalter-Zelle geführt. Beide Pfade sind damit vollkommen symmetrisch und unterscheiden sich nur durch den  $90^\circ$ -Phasenschieber.

Der  $90^\circ$ -Phasenschieber weist die zu der Verzögerungsstufe aus Abschnitt 6.3.3.2 identische Schaltung in Abbildung 6.16 auf. Der Betriebsstrom wird mit  $I_{0,90} = 5 \text{ mA}$  niedriger als in Abschnitt 6.3.3.2 gewählt, da am Eingang des Frequenzverdopplers eine maximale Taktfrequenz von lediglich  $50 \text{ GHz}$  im Vergleich zu  $100 \text{ GHz}$  bei der Verzögerungsstufe aus Abschnitt 6.3.3.2 auftritt. Der bei niedrigeren Taktfrequenzen liegende Betriebsbereich im Vergleich zur Dimensionierung aus Abschnitt 6.3.3.2 muss auch bei der Wahl des durch  $R_{BT}$  und  $C_{BT}$  gebildeten Tiefpasses des Bias-Tees aus Abbildung 6.16 berücksichtigt werden. Um auch hier die zugehörige Grenzfrequenz zu senken und somit



**Abbildung 6.23:** Schaltung der Phasenaufspalter-Zelle des Frequenzverdopplers aus Abbildung 6.22.

den nutzbaren Frequenzbereich des Frequenzverdopplers zu tiefen Frequenzen hin zu erweitern, wird  $R_{BT}$  mit  $15\text{ k}\Omega$  deutlich hochohmiger als in Abschnitt 6.3.3.2 mit  $2\text{ k}\Omega$  gewählt. Zu beachten ist, dass die Grenzfrequenz nicht im gleichen Verhältnis sinkt, da die Transistoren  $T_{BT}$  im gewählten Arbeitspunkt einen Realteil ihrer Kleinsignal-Eingangsimpedanz von in etwa  $4\text{ k}\Omega$  haben, welcher aus Sicht des Taktsignals parallel zu  $R_{BT}$  liegt. Eine Erhöhung von  $C_{BT}$  ist folglich zur Verringerung der unteren Grenzfrequenz des Frequenzverdopplers einer Erhöhung von  $R_{BT}$  vorzuziehen. Jedoch führt eine Erhöhung von  $C_{BT}$  aufgrund der dadurch bedingten größeren parasitären Kapazität des zugehörigen Kondensators zu Masse zu einer effektiven Erhöhung der Kapazitäten  $C_{90}$  und somit zu einer Verringerung der Ausgangsamplitude des Phasenschiebers. Um dies zu vermeiden, wird die Kapazität  $C_{BT}$  unverändert gegenüber der Dimensionierung aus Abschnitt 6.3.3.2 bei  $150\text{ fF}$  belassen. Diese zugunsten einer höheren Ausgangsamplitude bedingte verhältnismäßig kleine Wahl von  $C_{BT}$  äußert sich in Form einer verringerten Phasenverschiebung des  $90^\circ$ -Phasenschiebers bei niedrigen Taktfrequenzen. Die in Abbildung 6.24 gezeigte simulierte Phasenverschiebung zwischen den beiden Ausgängen der Phasenaufspalter-Zelle aus Abbildung 6.23 mit HICUM-Transistormodellen und Extraktion der parasitären Layout-Elemente demonstriert dieses Verhalten. Idealerweise sollte die Phasenverschiebung unabhängig von der Taktfrequenz  $90^\circ$  betragen. Bis zu einer Taktfrequenz von in etwa  $20\text{ GHz}$  begrenzen die Dioden aus Abbildung 6.16 die Spannung an den Kondensatoren  $C_{90}$ , sodass die Phasenverschiebung prinzipbedingt nicht



**Abbildung 6.24:** Simulierte Phasendifferenz zwischen den beiden Ausgängen der Phasenschieber-Zelle aus Abbildung 6.23 des entwickelten Frequenzverdopplers in Abhängigkeit der Taktfrequenz am Eingang.

90° erreichen kann. Im Taktfrequenz-Bereich von circa 20 GHz bis circa 40 GHz sorgt die eher kleine Wahl von  $C_{BT}$  dafür, dass die Transistoren  $T_{BT}$  ein resistives Verhalten aufzeigen, welches die Phasenverschiebung um bis zu 15° zum unteren Frequenzbereich hin reduziert. Der Effekt nimmt mit steigender Taktfrequenz ab. Ab einer Taktfrequenz von in etwa 40 GHz sind die Ströme durch  $T_{BT}$  weitestgehend konstant und die Phasenverschiebung pendelt sich bei näherungsweise 90° ein. Die Abweichung der Phasenverschiebung um bis zu 15° vom Idealwert bedingt an der nachgeschalteten XOR-Stufe einen Tastgradfehler und eine Verringerung der Ausgangsamplitude. Der Tastgradfehler kann jedoch verhältnismäßig einfach mithilfe einer Gleichanteil-Regelung korrigiert werden. Die Verringerung der Ausgangsamplitude des XOR wiederum tritt lediglich bei niedrigen Taktfrequenzen auf, wo die Abweichung der Phase vom Idealwert am größten ist. Bei niedrigen Taktfrequenzen kann eine reduzierte Ausgangsamplitude problemlos dank der ausreichenden Verstärkung der nachfolgenden Schaltung ausgeglichen werden. Die Nachteile der Wahl von verhältnismäßig kleinen Kapazitäten  $C_{BT}$  wirken sich folglich nicht nennenswert auf die Gesamtfunktion des entwickelten Frequenzverdopplers aus. Gleichzeitig trägt die dadurch bedingte gesteigerte Ausgangsamplitude des Phasenschiebers an der oberen Grenze des eingesetzten Taktfrequenzbereichs zu einer Erhöhung dieser oberen Grenze bei und erweist sich somit als vorteilhaft.

Den eigentlichen Kern des Frequenzverdopplers stellt ein XOR-Gatter dar, welchem die beiden zueinander um näherungsweise 90° in ihrer Phase verschobenen Taktsignale zugeführt werden. Um eine bezüglich beider Eingänge symmetrische Schaltung zu erhalten und Laufzeitunterschiede zwischen den beiden Eingängen zu vermeiden, wird ein Doppel-XOR-Gatter verwendet, wie in [75] vorgeschlagen und beschrieben. Die zugehörige Schaltung ist in Abbildung 6.25 gezeigt. Es handelt sich im Wesentlichen um zwei jeweils über zwei kaskadierte EF-Paare angesteuerte XOR-Gatter, deren Eingänge zueinander vertauscht und deren Ausgänge parallel geschaltet sind. Durch einen hochgradig sym-



metrischen Aufbau im Layout der Schaltung treten Unterschiede in den Laufzeiten der beiden Eingänge bei beiden XOR-Gattern in gleichem Maße, aber mit umgekehrtem Vorzeichen auf und heben sich daher am Ausgang auf. Allerdings verringert sich dabei die Flankensteilheit. Die übrigen Vor- und Nachteile eines Doppel-XOR sind ausführlich inklusive analytischer Abschätzformeln in [75] aufgeführt und werden daher hier nicht wiederholt. In der konkreten Dimensionierung werden Betriebsströme  $I_{0,\text{XOR}} = 5 \text{ mA}$  mit einer Emitterfläche der zugehörigen SS-Transistoren von  $0,19 \mu\text{m}^2$  verwendet. Die Dimensionierung der EFs erfolgt mit denselben Methoden wie in Abschnitt 6.2.2. Aufgrund der unterschiedlichen Arbeitspunkte der SS-Transistoren wird das jeweils zweite EF-Paar bei beiden Eingängen doppelt ausgeführt und mit um eine Diodenstrecke abweichenden Arbeitspunkten betrieben.

Da die Ausgangsamplitude des XOR nahe der maximalen Frequenz von 100 GHz am Ausgang aufgrund der jeweils vier an ihren Kollektoren parallel geschalteten Transistoren (siehe Abbildung 6.25) und den dadurch bedingten hohen Kapazitäten verhältnismäßig gering ist, folgt im Blockdiagramm des Frequenzverdopplers aus Abbildung 6.22 auf das XOR-Gatter eine Verstärkerschaltung. Diese ist vergleichbar zu dem Eingangsverstärker aus Abschnitt 6.3.2 aufgebaut und wird daher hier nicht näher betrachtet. In Abbildung 6.26a ist die simulierte Amplitude am Ausgang des Verstärkers in Abhängigkeit der Eingangs-Taktfrequenz gezeigt. Zu beachten ist, dass der Frequenzverdoppler erst ab Eingangs-Taktfrequenzen von 20 GHz wie gewünscht funktioniert, da erst dann die Dioden der Schaltung aus Abbildung 6.16 nicht mehr in ihrer Begrenzung sind. Ausgehend von der dadurch bedingten niedrigsten Eingangs-Taktfrequenz von 20 GHz beträgt die 3-dB-Grenzfrequenz in etwa 50 GHz. Dies entspricht gerade der gewünschten maximalen Ausgangs-Taktfrequenz des Frequenzverdopplers von 100 GHz.

Die durch die Dimensionierung des Phasenschiebers aus Abbildung 6.16 zugunsten höherer oberer Grenzfrequenzen bedingte Abweichung der Phasenverschiebung zwischen den beiden Eingängen des XOR vom Idealwert von  $90^\circ$  um bis zu  $15^\circ$  bei niedrigen Taktfrequenzen verursacht einen Tastgradfehler am Ausgang des XOR, welcher durch den nachgeschalteten Verstärker propagiert. In Abbildung 6.26b ist der simulierte Tastgradfehler am Ausgang des gesamten Frequenzverdopplers in Abhängigkeit der Taktfrequenz am Eingang dargestellt. Innerhalb des relevanten Eingangs-Frequenzbereichs von 20 GHz bis 50 GHz entsprechend 40 GHz bis 100 GHz am Ausgang ist der Tastgradfehler kleiner als 5%. Bei niedrigeren Taktfrequenzen nimmt er stark zu, da die Dioden des Phasenschiebers aus Abbildung 6.16 das Ausgangssignal und damit die Phasenverschiebung zwischen den beiden Eingängen des XOR begrenzen. Da das XOR symmetrisch aufgebaut und mit differenziellen Signalen angesteuert wird, treten an seinem Ausgang günstigerweise keine nennenswerten Beiträge bei ungeraden Harmonischen der Ausgangs-Taktfrequenz im Gleichtakt auf. Mit den Überlegungen aus Abschnitt 5.2.2 folgt daraus, dass der Gleichanteil am Ausgang eines mit dem Ausgangssignal des XOR angesteuerten SS unmittelbar proportional zum Tastgradfehler am Ausgang des XOR ist. Wegen dieses Zusammenhangs kann der Tastgradfehler verhältnismäßig einfach mithilfe einer Regelschleife korrigiert werden. Diese regelt den Gleichanteil am Ausgang des dem XOR nachgeschalteten

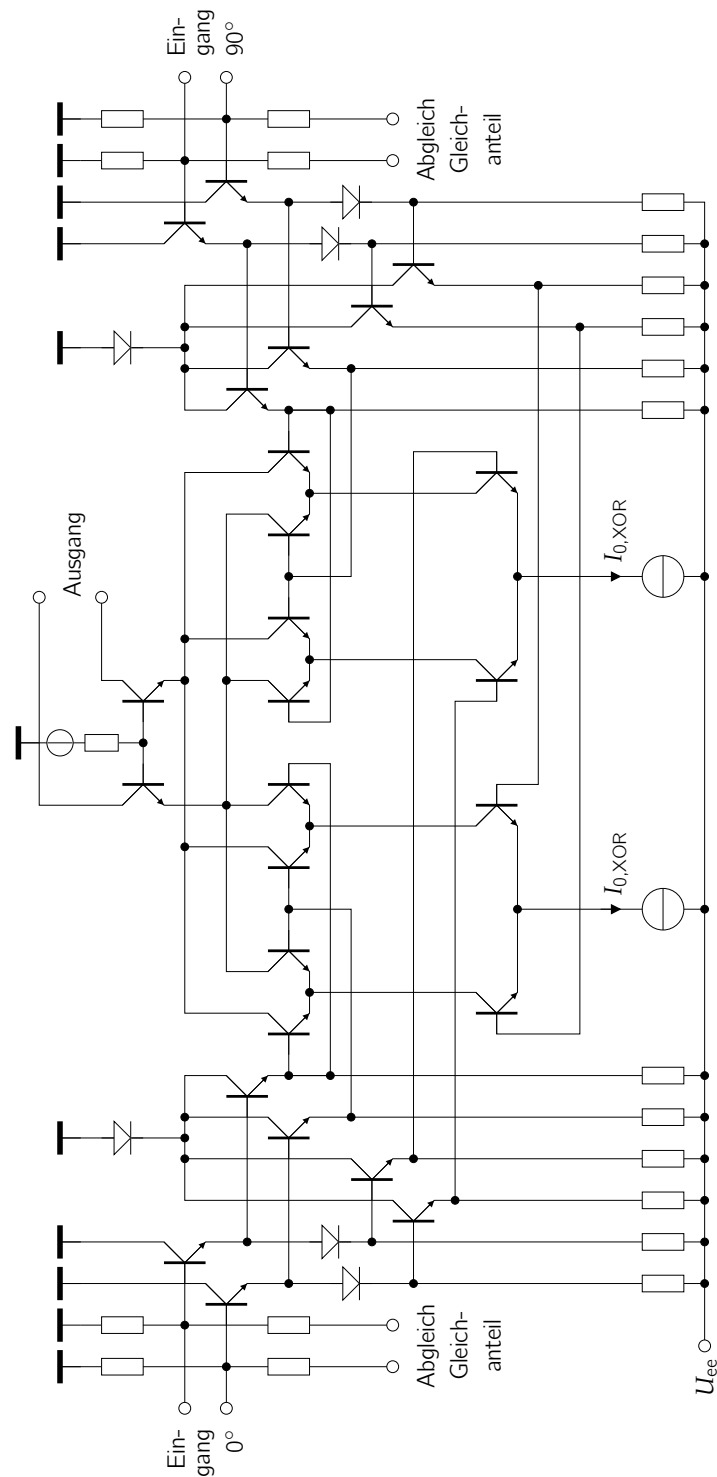
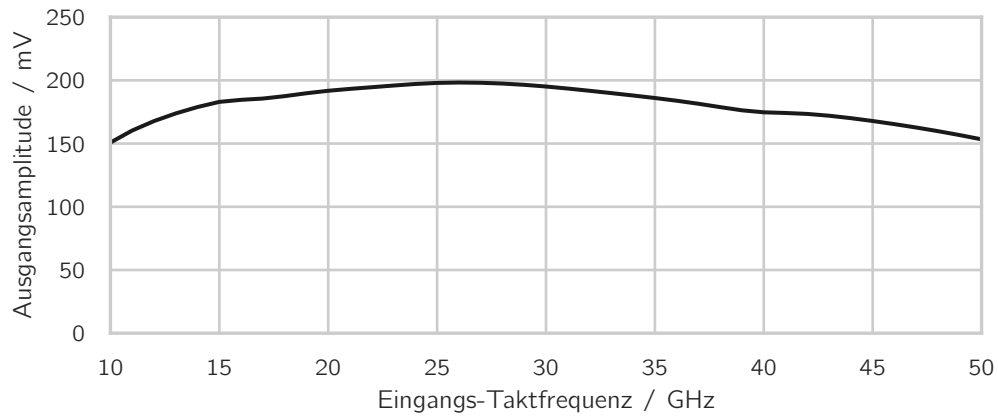
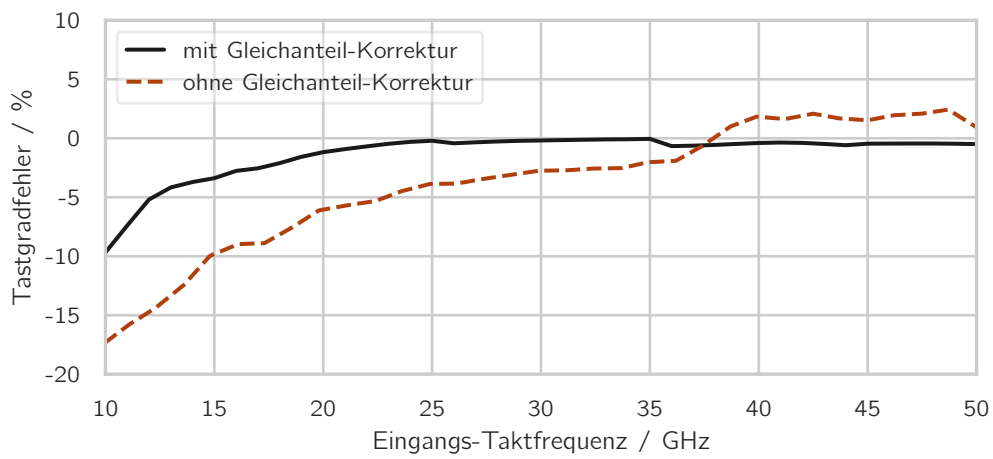


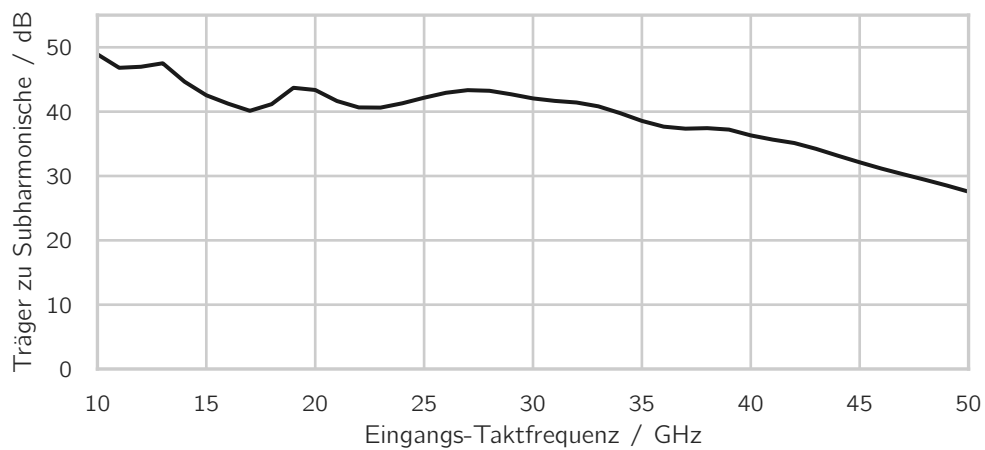
Abbildung 6.25: Schaltung der XOR-Zelle des Frequenzverdopplers aus Abbildung 6.22.



(a)



(b)



(c)

**Abbildung 6.26:** Simulationsergebnisse des entwickelten Frequenzverdopplers.

Verstärkers zu null, indem sie am Ausgang des XOR einen entsprechenden Korrekturstrom einspeist. Im Blockdiagramm aus Abbildung 6.22 ist die Regelschleife gestrichelt eingezeichnet. Sie ist nicht innerhalb der integrierten Schaltung realisiert, sondern wird zum Zwecke der besseren Messbarkeit extern realisiert. Eine Realisierung innerhalb der integrierten Schaltung wäre jedoch ebenfalls problemlos möglich. Die Simulation aus Abbildung 6.26b demonstriert, dass bei Verwendung der Regelschleife der Tastgradfehler im relevanten Eingangs-Frequenzbereich von 20 GHz bis 50 GHz auf weniger als 0,5 % reduziert werden kann.

Von großer Bedeutung für die korrekte Funktion des Frequenzverdopplers ist, dass die Eingänge des XOR frei von Gleichanteilen sind. Während ein Gleichanteil bei einer typischen Verstärkerzelle zu einem Tastgradfehler und wiederum einem Gleichanteil an deren Ausgang führt (siehe Kapitel 5), unterscheiden sich die Auswirkungen beim XOR des Frequenzverdopplers hiervon und fallen gravierender aus. Da ein XOR eine zu einem Mischer identische Topologie und vergleichbare Funktionsweise hat, führt ein Gleichanteil an einem der beiden Eingänge dazu, dass am Ausgang des XOR ein Teil des Eingangssignals des anderen Eingangs erscheint. Im Falle des Frequenzverdopplers bedeutet dies, dass die Eingangsfrequenz am Ausgang auftritt und im Bezug auf die dortige Grundfrequenz eine Subharmonische darstellt. Am Ausgang des kompletten MUX äußert sich eine solche Subharmonische darin, dass jedes vierte Bit eine abweichende Bitlänge aufweist, was einem Zeit-Jitter des Datensignals entspricht. Im Gegensatz zu einem Tastgradfehler, welcher durch Einspeisen eines kompensierenden Gleichanteils weitestgehend ausgeglichen werden kann, lässt sich eine Subharmonische im Taktsignal nur schwierig entfernen. Es ist daher von großer Bedeutung, dass am Ausgang des Frequenzverdopplers gar nicht erst Subharmonische auftreten. Die Simulation in Abbildung 6.26c demonstriert, dass der Abstand des Beitrags bei der gewünschten Ausgangsfrequenz von der Subharmonischen mehr als 27 dB beträgt. Für die Anwendung zur Ansteuerung des MUX ist dies mehr als ausreichend. Schwankungen im simulierten Verlauf resultieren aus numerischen Simulationsungenauigkeiten aufgrund einer Wahl des Zeitschrittes, der eine Simulation mit vertretbarem Zeitaufwand erlaubt. Um in der konkreten Realisierung der Schaltung Gleichanteile durch aufgrund von Prozesstoleranzen bedingten leichten Asymmetrien korrigieren zu können, befinden sich an beiden Eingängen des XOR aus Abbildung 6.25 Spannungsteiler, mit denen ein Gleichanteil extern eingepreßt werden kann. Auf diese Weise ist es im Zuge einer Kalibrierung möglich, Subharmonische so weit wie möglich zu eliminieren. Die Methode erlaubt es nach [105] teilweise sogar, Subharmonische zu kompensieren, welche durch andere Arten von Nichtidealitäten entstehen, z. B. durch Übersprechen zwischen den Taktsignalen vor und nach dem Frequenzverdoppler.

## 6.4 Ergebnisse und Fazit

Im Rahmen des experimentellen Teils der vorliegenden Arbeit sind zwei MUX-Schaltungen zur Ansteuerung eines zusammen mit der Elektronik monolithisch integrierten plas-

monischen Modulators bei Datenraten von bis zu 100 Gbit/s bzw. 200 Gbit/s entwickelt worden. Zum Erreichen dieser Ziele wird auf eine zusätzliche Treiberstufe verzichtet und stattdessen ein PMUX-Konzept eingesetzt. Die Wahl eines PMUX-Konzepts für Treiberschaltungen bei hohen Datenraten hat sich bereits in der Vergangenheit bewährt [32, 34]. Die im Rahmen des theoretischen Teils der vorliegenden Arbeit erhaltenen Zusammenhänge und Schlussfolgerungen zur Dimensionierung von mit Taktsignalen angesteuerten SSs lassen sich direkt auf die 2:1-SEL-Zelle des PMUX anwenden. Dabei zeigt sich, dass sich dessen Vorteile gegenüber einer separaten Treiberstufe unter anderem durch Ausnutzung des dynamischen Überhöhungseffekts am TSS des 2:1 SEL ergeben, wodurch die Augenöffnung am Datenausgang des PMUX vergrößert werden kann.

Die angestrebten hohen Datenraten können nur erzielt werden, wenn bei der Entwicklung nicht nur großen Wert auf die Ausgangsstufe (2:1 SEL), sondern auch auf die sie ansteuernde Taktverteilung gelegt wird. Dies ist insbesondere von Bedeutung, als die Qualität des Taktsignals am Eingang des 2:1 SEL prinzipbedingt unmittelbar Einfluss auf die Qualität der Ausgangssignale des gesamten MUX hat. Dies gilt sowohl im Positiven, da eine höhere Taktamplitude eine größere Augenöffnung bedingt, als auch im Negativen, da ein Tastgradfehler oder ein Gleichanteil des Taktsignals zu Jitter am Datenausgang führt. Für die Entwicklung der Taktverteilung erweisen sich die Erkenntnisse und Schlussfolgerungen aus dem theoretischen Teil der vorliegenden Arbeit als hilfreich. Der in Kapitel 4 beschriebene und analysierte dynamische Überhöhungseffekt kann nicht nur am 2:1 SEL, sondern auch innerhalb der Taktverteilung ausgenutzt werden, um Ausgangsamplitude, Grenzfrequenz und Flankensteilheit der einzelnen Stufen zu verbessern. Wichtig hierbei ist, auch die Erkenntnisse in Bezug auf Tastgradfehler und Gleichanteil aus Kapitel 5 zu berücksichtigen. So ist es am Eingangsverstärker der Taktverteilung beispielsweise zu empfehlen, den dynamischen Überhöhungseffekt zugunsten eines geringen Tastgradfehlers und Gleichanteils nicht zu sehr auszunutzen. Weiterhin werden zur Verringerung von Tastgradfehler und Gleichanteil in vielen der Stufen der Taktverteilung R-C-Glieder in den Emitterpfaden der SS-Transistoren eingesetzt, wie in Abschnitt 5.4.2 empfohlen.

Im Zuge der Entwicklung der Taktverteilung ist ein in [25] vorgestelltes, neuartiges Konzept zur breitbandigen Phasenverschiebung von Taktsignalen für die Realisierung von Verzögerungsstufen eingesetzt worden. Dieses weist nicht nur eine gegenüber einem vorangehend verwendeten Konzept nach dem Stand der Technik bessere Signalqualität auf, sondern zeichnet sich insbesondere durch einen geringeren Energiebedarf und eine höhere Bandbreite aus. Basierend auf diesem Konzept ist ein Frequenzverdoppler implementiert worden, welcher eine große Ausgangsbandbreite von 40 GHz bis 100 GHz aufweist.

In Tabelle 6.3 ist der Energiebedarf der einzelnen Stufen von MUX-Variante 1 und MUX-Variante 2 aufgelistet. Zu beachten ist, dass der Fokus bei der Entwicklung der Schaltungen auf das Erzielen möglichst hoher Datenraten, nicht jedoch auf einen möglichst geringen Energiebedarf gelegt worden ist. Insbesondere bei der Taktverteilung besteht diesbezüglich Optimierungsspielraum, vor allem durch Verwendung mehrerer Versorgungsspannungen, wie in Abschnitt 4.3 diskutiert. Bereits ohne zusätzliche Maßnahmen

**Tabelle 6.3:** Energiebedarf der einzelnen Schaltungsblöcke von MUX-Variante 1 und 2.

	MUX-Variante 1	MUX-Variante 2
2:1 SEL	0,8	0,9
Prä-MUX	4,3	3,8
Taktverteilung		
– Eingangsverstärker	0,2	0,2
– Splitter vor Frequenzverdoppler	–	0,2
– Frequenzverdoppler	–	0,7
– Splitter vor Verzögerungsstufen	0,5	0,3
– Verzögerungsstufen	0,9	0,7
– umschaltbarer Inverter	0,2	0,2
– finaler Takttreiber	0,3	0,3
Testschaltungen (optional)		
– Referenz-Taktausgang	0,2	0,9
– PRBS-Generator	–	1,7
<b>Summe</b>	<b>7,4</b>	<b>9,9</b>

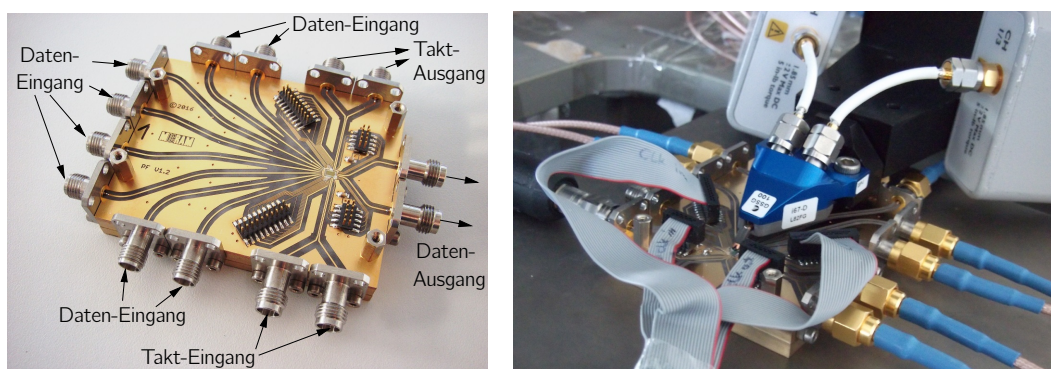
zur Optimierung weisen MUX-Variante 1 und 2 einen ähnlichen Gesamtenergiebedarf von 7,2 W bzw. 7,3 W auf, wenn die optionalen Testschaltungen nicht berücksichtigt werden. In Anbetracht der Tatsache, dass MUX-Variante 2 mit 200 Gbit/s eine deutlich höhere maximale Datenrate als MUX-Variante 1 mit 140 Gbit/s aufweist und zudem einen zusätzlichen Frequenzverdoppler enthält, zeigt sich, dass insbesondere durch die neuartigen Verzögerungsstufen sowie durch Einsparungen beim Prä-MUX eine nennenswerte Verbesserung der Energieeffizienz erreicht werden konnte.

Messergebnisse der entwickelten MUX-Schaltungen werden in Kapitel 7 vorgestellt.

## 7 Messergebnisse der integrierten Multiplexer-Schaltungen

Im vorliegenden Kapitel werden Messergebnisse der beiden entwickelten MUX-Varianten vorgestellt, deren Entwicklung in Kapitel 6 beschrieben ist. Für die angestrebte Anwendung der Ansteuerung eines plasmonischen MZM ist dabei vor allem die Qualität der Augendiagramme am Datenausgang von Bedeutung. Im Hinblick auf die Verifikation der Entwicklungsschritte und der im Rahmen der vorliegenden Arbeit aufgestellten analytischen Modelle sind weitere Kenngrößen der einzelnen Stufen (Eingangsverstärker, Frequenzverdoppler, Verzögerungsstufen) von Interesse. Entsprechende Messungen werden im Folgenden ebenfalls vorgestellt. Im Zuge dessen wird eine auf dem Modell aus Kapitel 5 basierende Methode zur Abschätzung der dynamischen Eingangsamplitude des Takt-Eingangsverstärkers durch reine Gleichspannungs-Messungen präsentiert.

Wie in Abschnitt 2.2 beschrieben und in Abbildung 2.3 schematisch dargestellt, sind die integrierten MUX-Schaltungen für die Messungen in eine Aussparung einer Teflon-Leiterplatte geklebt, welche wiederum auf einem Messingsockel mit 2,92-mm- und 1,85-mm-Steckern platziert ist. In Abbildung 7.1 (links) ist eine Fotografie eines entsprechenden Aufbaus gezeigt. Je nach durchgeführter Messung werden verschiedene Konfigurationen verwendet. So wird für die Messung der Augendiagramme die Ausgangsschnittstelle nicht über Bonddrähte angeschlossen, sondern mithilfe eines *Infinity-67*-Tastkopfes von Cascade direkt auf der integrierten Schaltung kontaktiert (siehe Abbildung 7.1 rechts). Dadurch können die Dämpfungen durch die Bonddrähte, die TMLs auf der Teflon-Leiterplatte sowie der angelöteten Stecker eliminiert werden. Das Messergebnis kommt da-



**Abbildung 7.1:** Aufbau der MUX-Schaltung in einem Modul (links) und Kontaktierung der Ausgangsschnittstelle auf dem Chip mithilfe eines Tastkopfes (rechts).

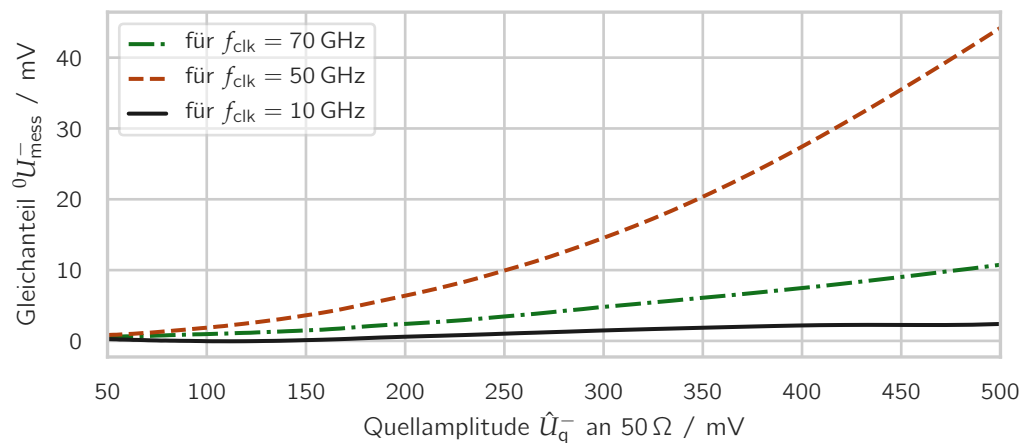
mit dem intendierten Szenario eines zusammen mit dem MUX monolithisch integrierten MZM näher als bei Kontaktierung des Ausgangs über eine Bonddraht-Schnittstelle. Analog wird für die Charakterisierung des Takt-Eingangsverstärkers zur Einspeisung des Taktsignals anstelle einer Bonddraht-Schnittstelle ebenfalls der Tastkopf verwendet, um auch hier möglichst viele Unbekannte im Messaufbau auszuschließen.

Die Messergebnisse werden im Folgenden entsprechend der Anordnung der Stufen im Takt-Signalfad (vgl. Abbildung 6.9) beginnend mit dem Takt-Eingangsverstärker vorgestellt.

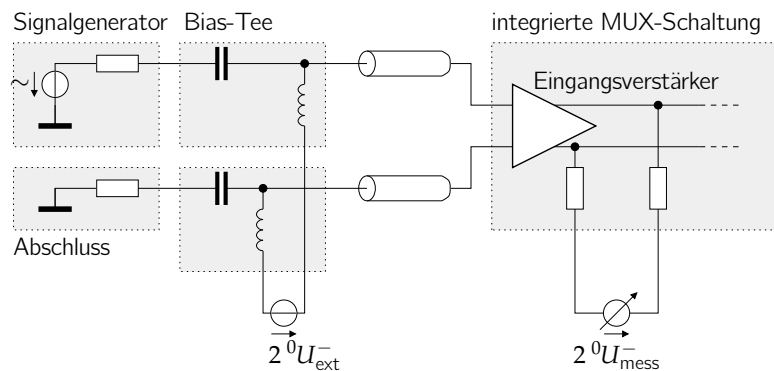
## 7.1 Methode zur Abschätzung der Eingangsamplitude am Takt-Eingangsverstärker

Der Takt-Eingangsverstärker wird für die Messungen mit einem Signalgenerator *E8257D* von Keysight Technologies als Taktsignalquelle angesteuert. Dieser verfügt über einen Frequenzbereich von 100 kHz bis 70 GHz bei einer maximalen Ausgangsleistung von 10 dBm bei der maximalen Taktfrequenz. Der Ausgang ist single-ended ausgeführt. Zwar steht ein 180°-Hybrid-Koppler zur Verfügung, um das single-ended Taktsignal in ein näherungsweise differenzielles Signal zu konvertieren. Dieser arbeitet jedoch nur in einem Frequenzbereich von 6 GHz bis 50 GHz und ist daher insbesondere bei MUX-Variante 1, welche über keinen integrierten Frequenzverdoppler verfügt, nicht geeignet, um die MUX-Schaltung bis zu ihrer maximalen Betriebsfrequenz von 70 GHz zu betreiben. Die Ansteuerung des Takt-Eingangsverstärkers erfolgt daher bis auf wenige Ausnahmefälle single-ended. Wie im theoretischen Teil der Arbeit in Kapitel 5 modelliert und in Abschnitt 6.3.2 simuliert, ergibt sich bei einer single-ended-Ansteuerung des Takt-Eingangsverstärkers das Problem eines Gleichanteils an seinem Ausgang. Der Gleichanteil steigt dabei prinzipbedingt mit der Taktfrequenz und der Eingangsamplitude an. In Abbildung 7.2 ist der gemessene Gleichanteil am Ausgang des Eingangsverstärkers in Abhängigkeit der Eingangsamplitude für drei verschiedene Taktfrequenzen gezeigt. Für die Messung wird wie in Abbildung 7.3 dargestellt der Signalgenerator über ein Bias-Tee sowie ein Kabel an einen der beiden differenziellen Eingänge der MUX-Schaltung mithilfe des Infinity-67-Tastkopfes angeschlossen. Der zweite differenzielle Eingang wird über eine im Vergleich dazu möglichst symmetrische Anordnung mit 50  $\Omega$  abgeschlossen. Die externe Spannungsquelle  ${}^0U_{\text{ext}}^-$  wird für die Messung auf 0 V eingestellt, sodass kein externer Gleichanteil vorliegt. Mithilfe eines Multimeters wird der Gleichanteil  ${}^0U_{\text{mess}}^-$  am Ausgang des Eingangsverstärkers gemessen. Hierfür sind bereits innerhalb der integrierten Schaltung wie in Abbildung 2.6b gezeigt hochohmige (500  $\Omega$ ) Widerstände zum Abgriff des Gleichanteils an der internen Signalschnittstelle vorgesehen. Das Messergebnis in Abbildung 7.2 weist erwartungsgemäß einen Anstieg des Gleichanteils am Ausgang des Eingangsverstärkers mit steigender Amplitude  $\hat{U}_q^- = \hat{U}_q^+$  der Signalquelle auf. Entgegen der Erwartung eines mit steigender Taktfrequenz zunehmenden Gleichanteils liegt die Messkurve für eine Taktfrequenz  $f_{\text{clk}}$  von 70 GHz jedoch deutlich unter





**Abbildung 7.2:** Gemessener Gleichanteil am Ausgang des Takt-Eingangsverstärkers in Abhängigkeit der extern angelegten single-ended Amplitude der Taktsignal-Quelle für drei verschiedene Taktfrequenzen.



**Abbildung 7.3:** Messaufbau zur Ermittlung des Gleichanteils und zur Abschätzung der Eingangsamplitude am Eingangsverstärker.

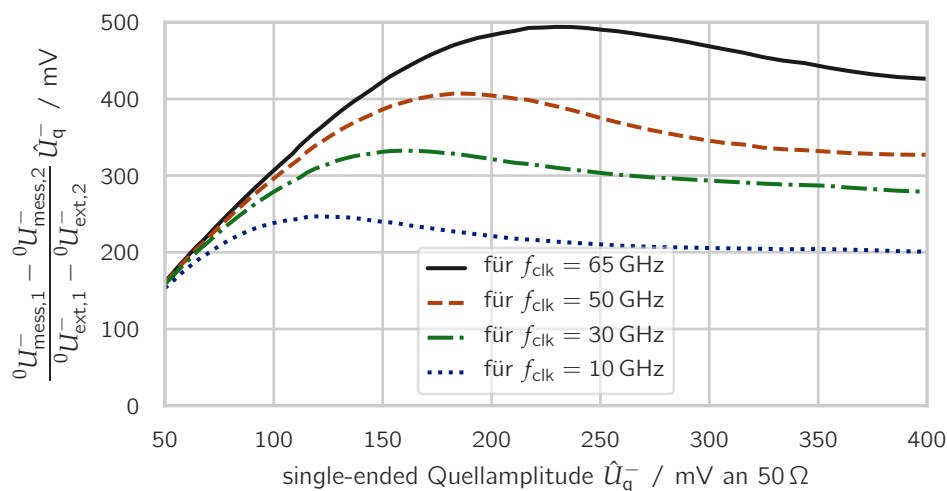
jener für 50 GHz. Der Grund hierfür liegt in der frequenzabhängigen Dämpfung des Taktsignals auf dem Weg vom Signalgenerator zum Eingangsverstärker begründet, sodass die Eingangsamplitude  $\hat{U}_e^-$  des Eingangsverstärkers bei 70 GHz deutlich unter der in Abbildung 7.2 auf der Abszisse aufgetragenen Quellamplitude  $\hat{U}_q^-$  des Signalgenerators liegt. Ohne Kenntnis der Signaldämpfung und einer entsprechenden Korrektur sind die gemessenen Kurven daher nicht unmittelbar vergleichbar. Im konkreten Aufbau resultiert die Dämpfung hauptsächlich durch die Bias-Tees, welche lediglich bis zu einer Frequenz von 65 GHz spezifiziert sind. Eine Ermittlung der dadurch bedingten Dämpfung ist vergleichsweise einfach mithilfe eines VNA möglich. Häufig wird die Signaldämpfung jedoch durch Ursachen dominiert, welche messtechnisch schwierig zu charakterisieren sind oder bei einer Produktentwicklung Schwankungen unterliegen, beispielsweise die TMLs auf der Teflon-Leiterplatte oder die Bonddraht-Schnittstelle. Die Dämpfung auf dem Weg

von externer Takt-Signalquelle zum Eingang des Eingangsverstärkers ist in der Praxis daher häufig unbekannt.

Die unbekannt Dämpfung auf dem Signalweg von externer Takt-Signalquelle zum Eingang des Eingangsverstärkers erweist sich als hinderlich, um den Eingangsverstärker mit seiner optimalen Eingangsamplitude zu betreiben. Wie in Abschnitt 5.4 und Abschnitt 6.3.2 nahegelegt, sollte die Eingangsamplitude so gewählt werden, dass der Eingangsverstärker gerade so weit ausgesteuert wird, dass die nachfolgenden Stufen ein Signal mit genügend großer Amplitude erhalten. Gleichzeitig sollte die Eingangsamplitude jedoch nicht nennenswert höher sein, da der Gleichanteil am Ausgang des Eingangsverstärkers mit zunehmender Eingangsamplitude steigt (siehe Messung in Abbildung 7.2). Wegen der unbekannt Dämpfung auf dem Signalweg ist die benötigte Amplitude der Signalquelle für diesen optimalen Betriebspunkt jedoch unbekannt. Eine Möglichkeit zur Ermittlung der Unbekannten könnte darin bestehen, die Amplitude der Signalquelle zu variieren und die Amplitude am Ausgang des Eingangsverstärkers zu messen. Hierdurch ließe sich der Punkt bestimmen, ab dem die Ausgangsamplitude in den flachen Bereich ihrer Kennlinie übergeht (siehe Abbildung 4.10). Allerdings wären hierfür zusätzliche Messschaltungen (z. B. eine Gleichrichtung zur Bestimmung der Signalamplitude) innerhalb der integrierten Schaltung notwendig, welche die Signalschnittstelle belasten und damit beeinträchtigen würden. Im Folgenden wird daher eine alternative Methode vorgestellt, welche auf dem Modell aus Kapitel 5 basiert und es erlaubt, die Eingangsamplitude des Eingangsverstärkers durch Einprägen und Messen von Gleichanteilen abzuschätzen. Hierzu wird die Messanordnung aus Abbildung 7.3 gewählt, bei welcher am Eingang des Eingangsverstärkers mithilfe der Spannungsquelle  ${}^0U_{\text{ext}}^-$  nacheinander zwei bekannte Gleichspannungen  ${}^0U_{\text{ext},1}^-$  und  ${}^0U_{\text{ext},2}^-$  angelegt und die am Ausgang des Eingangsverstärkers resultierenden Gleichspannungen  ${}^0U_{\text{mess}}^-$  gemessen werden, welche im Folgenden zur Unterscheidung mit  ${}^0U_{\text{mess},1}^-$  und  ${}^0U_{\text{mess},2}^-$  bezeichnet werden. Mit der Herleitung in Anhang D folgt aus dem Modell aus Kapitel 5 der Zusammenhang

$$\alpha_T \left| {}^1I_{T,A}^- \right| \frac{R_L H_e^-(0)}{|H_e^-(f_{\text{clk}})|} \approx \frac{{}^0U_{\text{mess},1}^- - {}^0U_{\text{mess},2}^-}{{}^0U_{\text{ext},1}^- - {}^0U_{\text{ext},2}^-} \hat{U}_q^-. \quad (7.1)$$

Hierbei bezeichnen  $\hat{U}_q^-$  die Amplitude der externen Takt-Signalquelle,  $R_L$  der interne Lastwiderstand des Eingangsverstärkers,  $H_e^-(f)$  die zu bestimmende Übertragungsfunktion von externer Signalquelle zum Eingang des Eingangsverstärkers und  $\alpha_T$  sowie  $|{}^1I_{T,A}^-|$  Modellgrößen gemäß Gleichung 5.12 und Gleichung 3.24. Auf der rechten Seite von Gleichung 7.1 stehen ausschließlich Größen, welche im Rahmen der Messung vorgegeben ( $\hat{U}_q^-$ ,  ${}^0U_{\text{ext},1}^-$ ,  ${}^0U_{\text{ext},2}^-$ ) bzw. bestimmt ( ${}^0U_{\text{mess},1}^-$ ,  ${}^0U_{\text{mess},2}^-$ ) werden. In Abbildung 7.4 ist das resultierende Messergebnis der rechten Seite von Gleichung 7.1 in Abhängigkeit der Quellamplitude  $\hat{U}_q^-$  für verschiedene Taktfrequenzen  $f_{\text{clk}}$  aufgetragen. Es fällt auf, dass für jede Taktfrequenz eine Quellamplitude existiert, bei welcher der gemessene Verlauf ein Maximum annimmt. Da der Term  $R_L H_e^-(0)/|H_e^-(f_{\text{clk}})|$  für eine festgelegte Taktfrequenz  $f_{\text{clk}}$  konstant ist, resultiert die Abhängigkeit von der Quellamplitude aus dem Term  $\alpha_T |{}^1I_{T,A}^-|$ . Dieser kann allgemein mithilfe der zugrunde liegenden Modellgleichungen numerisch ermittelt werden und ist in Abbildung 7.5 dargestellt. Der berechnete



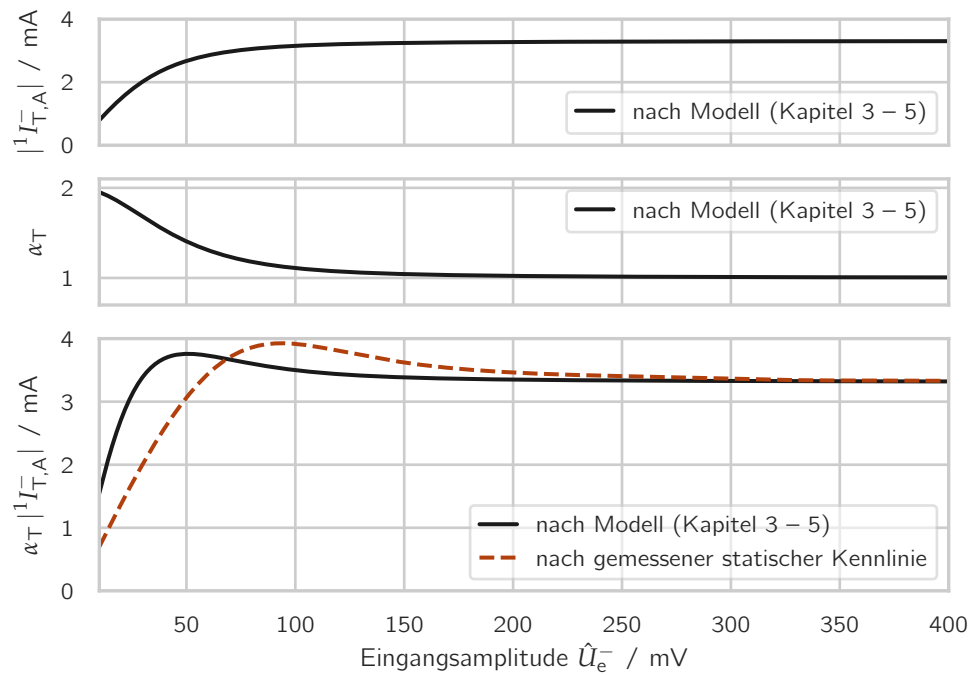
**Abbildung 7.4:** Messergebnisse des Terms aus Gleichung 7.1.

Term  $\alpha_T |{}^1I_{T,A}^-|$  nimmt genau wie die Messung ein Maximum an, welches wie in der Abbildung veranschaulicht daraus resultiert, dass der über der Eingangsamplitude  $\hat{U}_e^-$  abfallende Term  $\alpha_T$  erst bei höheren Eingangsamplituden in einen konstanten Bereich übergeht als der ansteigende Term  $|{}^1I_{T,A}^-|$ . Der charakteristische Verlauf kann genutzt werden, um die Dämpfung des Eingangssignals des Takt-Eingangverstärkers abzuschätzen. Durch Variation der Quellamplitude  $\hat{U}_q^-$  wie bei der Messung in Abbildung 7.4 wird die Position des Maximums für die Taktfrequenz(en) von Interesse bestimmt. Bei der zu dem jeweiligen Maximum gehörenden Quellamplitude  $\hat{U}_q^-$  entspricht die Eingangsamplitude  $\hat{U}_e^-$  des Eingangverstärkers jener des Maximums aus Abbildung 7.5. Das Verhältnis von Eingangs- zu Quellamplitude entspricht definitionsgemäß nach Gleichung 5.17 dem gesuchten Frequenzgang

$$|H_e^-(f_{\text{clk}})| := \frac{\hat{U}_e^-(f_{\text{clk}})}{\hat{U}_q^-(f_{\text{clk}})}. \quad (7.2)$$

Zur Erhöhung der Genauigkeit kann die Messung mit vertauschten Eingängen des Eingangverstärkers wiederholt und über die jeweiligen Ergebnisse gemittelt werden, um eventuelle Asymmetrien im Aufbau auszugleichen.

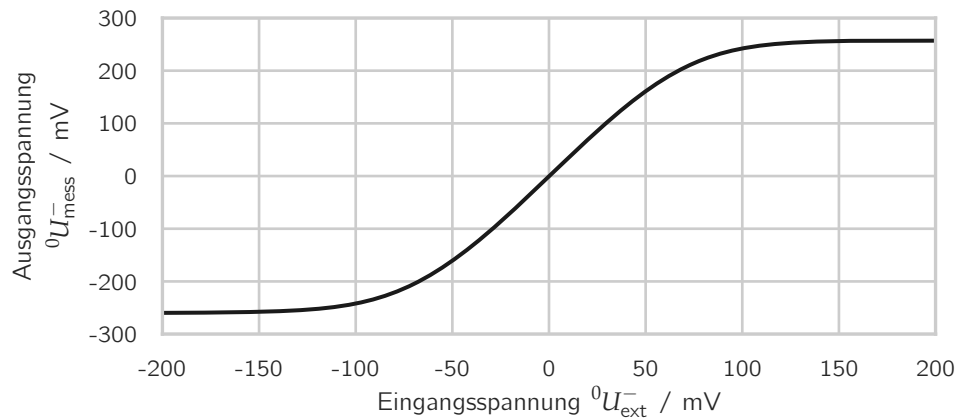
An dieser Stelle ist es von großer Bedeutung, die dem Modell zugrunde liegenden Annahmen und Näherungen zu berücksichtigen. Im Zuge des erkenntnisorientierten Optimierungsansatzes (vgl. Kapitel 1) werden zur Verbesserung der Einsicht in die Zusammenhänge der Einflussfaktoren quantitative Ungenauigkeiten bei der Herleitung des Modells in Kauf genommen. Aus diesem Grund kann nicht davon ausgegangen werden, dass die Position des Maximums in Abbildung 7.5 quantitativ korrekt ist. Für die Bestimmung des Frequenzgangs  $|H_e^-(f_{\text{clk}})|$  sind allerdings quantitativ korrekte Ergebnisse von Nöten. Die Erkenntnisse aus dem Modell können dennoch genutzt werden und helfen, im konkreten Fall eine Kalibrierung des Modells zur Erzielung quantitativ richtiger Resultate



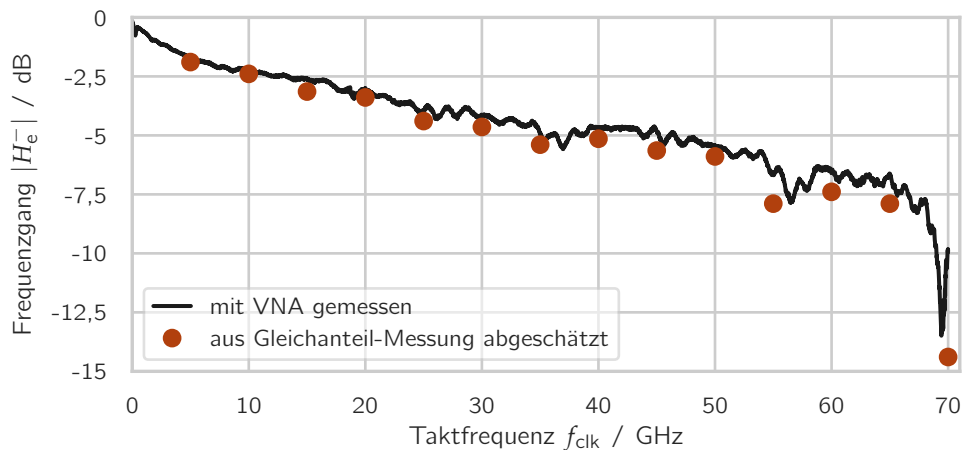
**Abbildung 7.5:** Bestimmung des Terms  $\alpha_T |^1I_{T,A}^-|$  aus den Modellgleichungen und aus der gemessenen statischen Kennlinie des Eingangsverstärkers in Abhängigkeit der Eingangsamplitude  $\hat{U}_e^-$ .

vorzunehmen. Aus den Modellgleichungen folgt, dass der zur Bestimmung der Dämpfung benötigte Term  $\alpha_T |^1I_{T,A}^-|$  ausschließlich Größen enthält, welche auf die statische Kennlinie des SS zurückzuführen sind. Es ist daher möglich, sowohl  $\alpha_T$  als auch  $|^1I_{T,A}^-|$  durch eine Messung der statischen SS-Kennlinie zu erhalten. Eine solche Messung ist einfach möglich und lässt sich mit dem Messaufbau aus Abbildung 7.3 realisieren, indem die Takt-Signalquelle zu null gesetzt und die extern zugeführte Spannung  ${}^0U_{\text{ext}}^-$  des Gleichanteils am Eingang variiert wird. In Abbildung 7.6 ist die gemessene statische Kennlinie abgebildet. Wird diese Kennlinie anstelle von Gleichung 3.16 zur numerischen Bestimmung von  $\alpha_T |^1I_{T,A}^-|$  verwendet, ergibt sich die in Abbildung 7.5 gestrichelt dargestellte Kurve, welche erwartungsgemäß ein qualitativ vergleichbares Verhalten wie die auf Gleichung 3.16 basierende Kurve aufweist, ihr Maximum jedoch an einer anderen Position besitzt.

Wird mit dem kalibrierten Modell der Frequenzgang  $|H_e^-(f_{\text{clk}})|$  zwischen externer Signalquelle und Eingang des Takt-Eingangsverstärkers nach Gleichung 7.2 bestimmt, resultiert der in Abbildung 7.7 gezeigte Verlauf. Der Vergleich mit einer Messung von verwendetem Kabel und Bias-Tee mithilfe eines VNA vom Typ Keysight *E8361A* zeigt eine gute Übereinstimmung. Zu beachten ist, dass die Messung mit dem VNA nicht die Dämpfung des Infinity-67-Tastkopfes berücksichtigt, welche bei einer Frequenz von 67 GHz mit 1,2 dB spezifiziert ist. Unter Berücksichtigung dieser Tatsache ist die Über-



**Abbildung 7.6:** Gemessene statische Kennlinie des Takt-Eingangsverstärkers.



**Abbildung 7.7:** Aus Gleichanteil-Messungen abgeschätzter Frequenzgang  $|H_e^-(f_{\text{clk}})|$  und Vergleich mit einer Messung mit einem VNA.

einstimmung zwischen den beiden Kurven noch besser.

Die vorgestellte Methode zur Abschätzung der Eingangsamplitude des Eingangsverstärkers mithilfe von Gleichanteil-Messungen lässt zwei bemerkenswerte Schlussfolgerungen zu.

1. Durch Ausnutzen der nichtlinearen SS-Kennlinie ist es rein durch Einspeisen und Messen von Gleichspannungen möglich, Eigenschaften des überlagerten Hochfrequenzsignals, in diesem Falle seine Amplitude, zu bestimmen.
2. Obwohl das zugrunde liegende Modell nicht für quantitativ genaue Ergebnisse ausgelegt ist, haben es die qualitativen Erkenntnisse ermöglicht, die vorgestellte Messmethode zu entwickeln und zu erkennen, an welcher Stelle und auf welche Weise eine Kalibrierung im Sinne einer Erweiterung des Modells vorgenommen werden

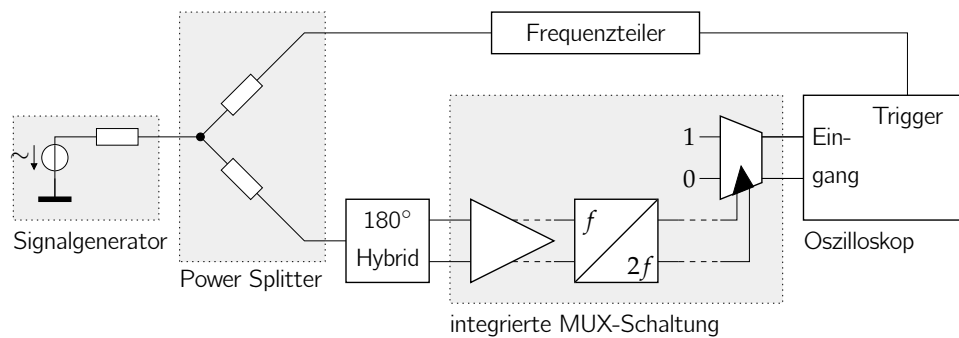


Abbildung 7.8: Messaufbau zur Charakterisierung des integrierten Frequenzverdopplers.

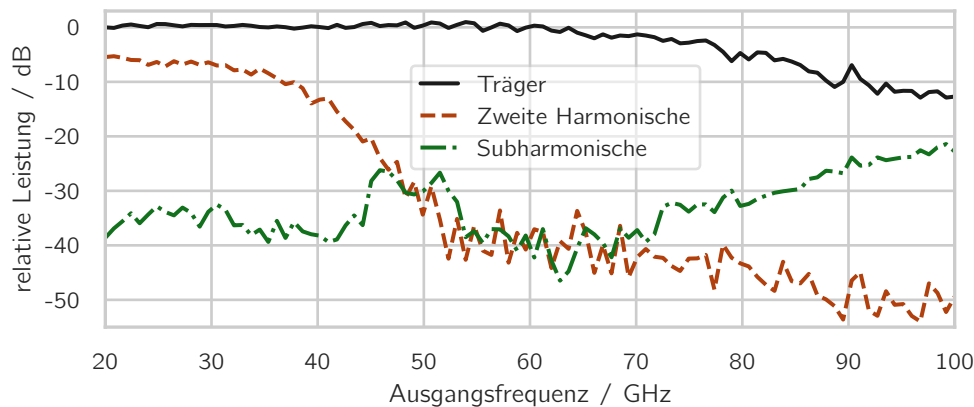
kann, um quantitativ korrekte Ergebnisse zu erhalten. Hier zeigt sich die wesentliche Stärke des erkenntnisorientierten Optimierungsansatzes, welcher es auf einfache Weise erlaubt, Zusammenhänge zu erkennen und darauf basierende Schlussfolgerungen zu ziehen und Methoden zu entwickeln.

## 7.2 Charakterisierung des integrierten Frequenzverdopplers

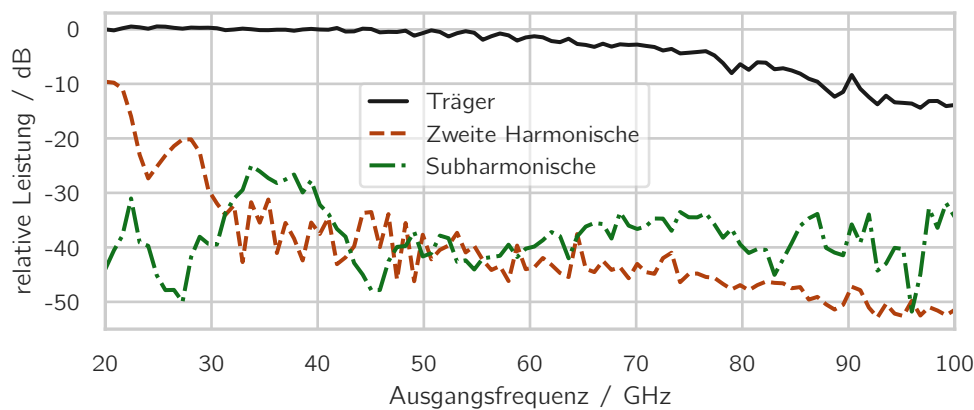
Neben einer optimalen Betriebsweise des Eingangsverstärkers ist der Frequenzverdoppler bei MUX-Variante 2 entscheidend, um bei Datenraten über 140 Gbit/s gute Datensignale am Ausgang des MUX zu erhalten. Daher wird er im Folgenden messtechnisch charakterisiert. Aufgrund seiner Einbettung in die Taktverteilung aus Abbildung 6.9 ist eine isolierte messtechnische Charakterisierung des Frequenzverdopplers alleine nicht möglich. Insbesondere ist im Zuge der Entwicklung auf ein direktes Herausführen seines Ausgangssignals verzichtet worden, um die entsprechende Hochfrequenzschnittstelle nicht zusätzlich zu belasten. Eine Charakterisierung des Frequenzverdopplers kann daher nur indirekt über das Ausgangssignal des 2:1 SEL des MUX erfolgen. Hierzu wird an den Eingängen des gesamten MUX eine statische Datenfolge mit den Datenwerten 1-0-1-0 angelegt, wodurch am Datenausgang des 2:1 SEL ein periodischer Wechsel mit derselben Frequenz wie jener seines Takt-Eingangssignals auftritt. Das Daten-Ausgangssignal des 2:1 SEL ist damit ein indirektes Abbild seines Takt-Eingangssignals und damit auch des Takt-Ausgangssignals des Frequenzverdopplers. Der verwendete Messaufbau ist in Abbildung 7.8 in Form eines Blockdiagramms dargestellt. Das differenzielle Ausgangssignal des 2:1 SEL wird direkt auf der integrierten Schaltung mithilfe des Infinity-67-Tastkopfes abgegriffen und mit einem Sampling-Oszilloskop *DCA-J 86100C* von Keysight mit Eingangsstufen vom Typ *86118A H01* mit einer Bandbreite von 70 GHz gemessen. Das Triggersignal für das Oszilloskop wird mithilfe einer weiteren, als Frequenzteiler eingesetzten MUX-Schaltung direkt aus dem Taktsignal des Signalgenerators gewonnen. Um möglichst nur Einflüsse des Frequenzverdopplers zu beobachten und etwaige Beeinträchtigungen durch den Takt-Eingangsverstärker auszuschließen, wird der Takt-Eingang über einen 180°-Hybrid-Koppler differenziell angesteuert.

Das mithilfe des Oszilloskops im Zeitbereich gemessene differenzielle Ausgangssignal wird mithilfe einer FFT in den Frequenzbereich überführt. Von Interesse bei der Charakterisierung des Frequenzverdopplers sind insbesondere die Frequenzbeiträge bei der Ausgangsfrequenz, bei der Subharmonischen entsprechend der halben Ausgangsfrequenz und bei der zweiten Harmonischen. Letztere sollte bei differenziellen Signalen verschwinden und deutet im nicht-verschwindenden Fall auf einen Tastgradfehler hin. Die entsprechenden gemessenen Beiträge sind in Abbildung 7.9a in Abhängigkeit der Ausgangsfrequenz aufgetragen. Es wird dabei jeweils eine Normierung auf die Leistung des Trägers bei einer Ausgangsfrequenz von 20 GHz vorgenommen. Der Träger zeigt über der Frequenz einen Abfall um über 10 dB bei 100 GHz. Zu beachten ist, dass sowohl der verwendete Tastkopf als auch das verwendete Oszilloskop lediglich bis zu einer Frequenz von 70 GHz spezifiziert sind und dort gemäß Spezifikation zusammen mit den verwendeten Kabeln bereits eine Dämpfung von  $3 \text{ dB} + 1,2 \text{ dB} + 0,5 \text{ dB} = 4,7 \text{ dB}$  bedingen. Es kann daher vermutet werden, dass die Dämpfung des Trägers im Wesentlichen durch die verwendete Messtechnik verursacht wird. Unterhalb von 50 GHz tritt vor allem die zweite Harmonische stark in Erscheinung. Dies liegt darin begründet, dass die im Frequenzverdoppler verwendete Schaltung zur Erzeugung einer Phasenverschiebung von  $90^\circ$  in diesem Frequenzbereich eine Phasenverschiebung von weniger als  $90^\circ$  bereitstellt (siehe Abschnitt 6.3.5), was am XOR des Frequenzverdopplers zu einem Tastgradfehler führt. Zu hohen Ausgangsfrequenzen hin tritt die Subharmonische bei der halben Ausgangsfrequenz in Erscheinung. Dies ist aller Wahrscheinlichkeit nach auf Gleichanteile der Taktsignale am Eingang des XOR des Frequenzverdopplers zurückzuführen, wodurch das Eingangs-Taktsignal am Ausgang erscheint. Sowohl die zweite Harmonische als auch die Subharmonische lassen sich durch geeignete Kalibrierung verringern. Die zweite Harmonische kann mithilfe der in Abbildung 6.22 angedeuteten Regelschleife, welche am Ausgang des XOR einen korrigierenden Gleichanteil einspeist, deutlich reduziert werden. Zur Verringerung der Subharmonischen werden manuell an den beiden XOR-Eingängen Gleichanteile eingespeist. Bereits ein einmaliger Abgleich bei der höchsten Ausgangsfrequenz von 100 GHz sorgt dafür, dass die Subharmonische über den gesamten Frequenzbereich nennenswert verringert wird, wie in Abbildung 7.9b zu sehen ist. In Anbetracht der Tatsache, dass ein Großteil der Dämpfung des Trägers auf die Messausstattung zurückzuführen ist, kann davon ausgegangen werden, dass sowohl die Subharmonische als auch die zweite Harmonische im Frequenzbereich von 30 GHz bis 100 GHz um mehr als 25 dB unter dem Träger liegen. Für die Anwendung in der MUX-Schaltung ist dies mehr als ausreichend und demonstriert die Einsatzmöglichkeit des entwickelten Frequenzverdopplers für breitbandige Taktsignale.

In Abbildung 7.10 sind beispielhaft durch eine FFT aus mit dem Sampling-Oszilloskop durchgeführten Zeitbereichsmessungen erhaltene breitbandige Spektren des kalibrierten Frequenzverdopplers bei verschiedenen Ausgangsfrequenzen gezeigt. Hierbei wird jeweils eine Normierung auf die Leistung des Trägers vorgenommen. Es wird deutlich, dass die zuvor betrachteten Anteile bei der halben und der doppelten Ausgangsfrequenz neben dem Träger die einzigen relevanten Beiträge im Spektrum sind. In Übereinstimmung mit der Messung aus Abbildung 7.9b treten die Subharmonische bzw. die zweite Harmonische



(a) Ohne Kalibrierung.



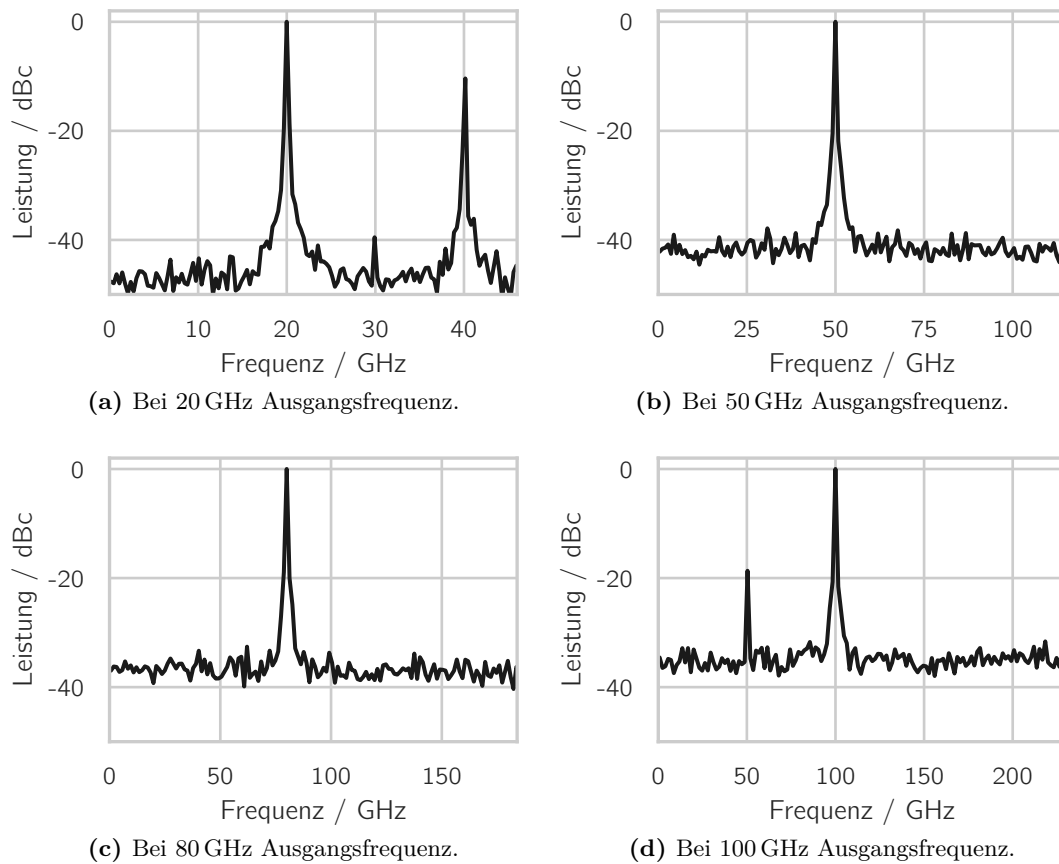
(b) Mit Gleichanteil-Kalibrierung bzw. -Regelung.

**Abbildung 7.9:** Gemessene Ausgangsleistungen des integrierten Frequenzverdopplers bezogen auf die Leistung des Trägers bei 20 GHz bei der jeweiligen Ausgangsfrequenz, bei deren zweiter Harmonischen sowie bei der Subharmonischen bei der halben Ausgangsfrequenz.

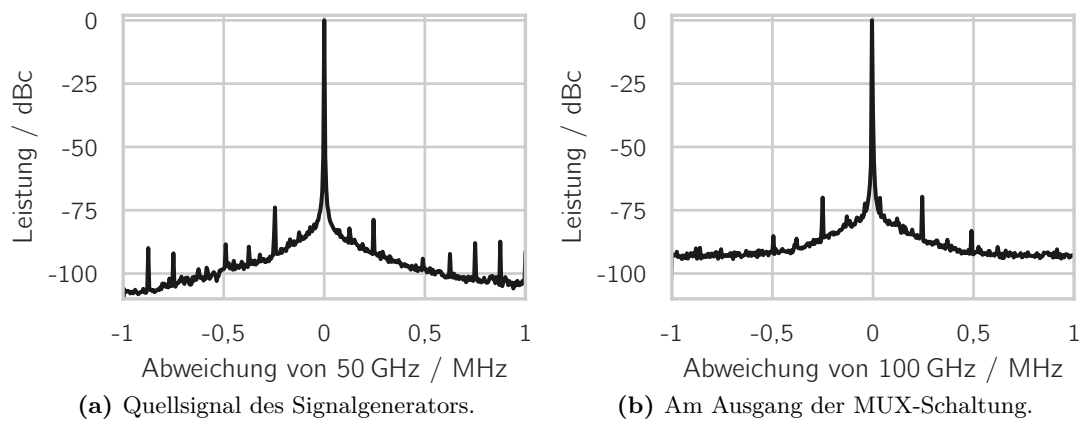
erst an den Rändern des Einsatzfrequenzbereichs des Frequenzverdopplers nennenswert auf.

In Abbildung 7.11 sind mithilfe eines Spektrumanalysators Keysight E4407B mit externen Mischern gemessene, schmalbandige Spektren des Signalgenerators am Eingang und des in der Frequenz verdoppelten Taktsignals am Ausgang der MUX-Schaltung mit einer Ausgangsfrequenz von 100 GHz gezeigt. Die dargestellte Frequenzspanne umfasst jeweils 2 MHz. Im Abstand von circa 250 kHz neben dem Träger treten am Ausgang der MUX-Schaltung schwache Seitenträger auf, welche allerdings bereits im Eingangssignal beobachtet werden können und daher aller Wahrscheinlichkeit nach nicht vom Frequenzverdoppler, sondern vom Signalgenerator oder dem lokalen Oszillator des Spektrumanalysators stammen. Das Phasenrauschen im Abstand von 1 MHz vom Träger beträgt





**Abbildung 7.10:** Gemessene breitbandige Spektren des integrierten Frequenzverdopplers.



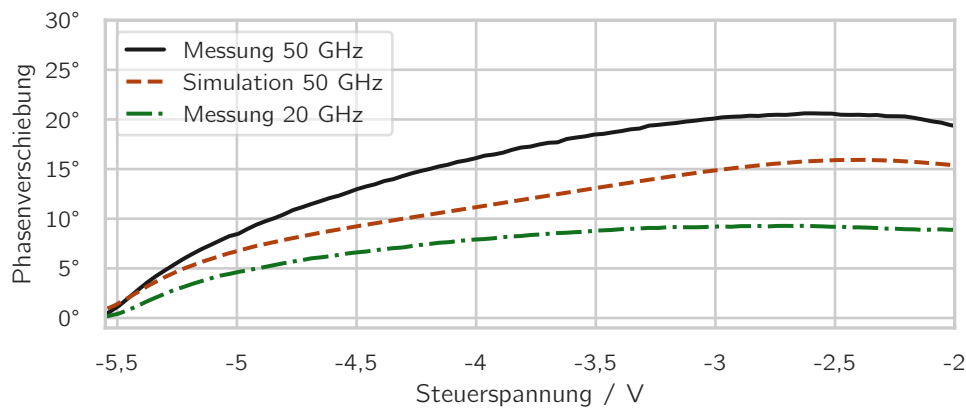
**Abbildung 7.11:** Gemessene schmalbandige Spektren des integrierten Frequenzverdopplers bei 100 GHz Ausgangsfrequenz. Die Auflös- und Videobandbreite beträgt 3 Hz.

bei 100 GHz Ausgangsfrequenz unter Berücksichtigung der Auflösungsbreite des Spektrumanalysators 97,5 dBc. Dies ist ein für Frequenzverdoppler in diesem Frequenzbereich typischer Wert [94]. Aufgrund der geringen Signalleistung bei der hohen Frequenz von 100 GHz ist zu vermuten, dass ein Teil des Rauschens durch das Grundrauschen des Spektrumanalysators verursacht wird, sodass das Phasenrauschen des Frequenzverdopplers gegebenenfalls sogar geringer als der gemessene Wert ist. Das gemessene Phasenrauschen des Signalgenerators *E8257D* von Keysight Technologies am Eingang der MUX-Schaltung beträgt 111,5 dBc bei der zur Erzeugung einer Ausgangsfrequenz von 100 GHz nötigen Eingangsfrequenz von 50 GHz. Bei einer Ausgangsfrequenz von 50 GHz ist das Phasenrauschen am Ausgang der MUX-Schaltung 114,0 dBc. Der entwickelte Frequenzverdoppler weist bei gleicher Frequenz folglich ein ähnlich geringes Phasenrauschen wie der Signalgenerator auf. Zu beachten ist, dass die Messungen nicht nur den Frequenzverdoppler, sondern auch sämtliche übrigen Stufen der Taktverteilung beinhalten, was demonstriert, dass auch diese Stufen ein geringes Phasenrauschen aufweisen.

### 7.3 Charakterisierung der einstellbaren Verzögerungsstufen

Von Bedeutung für eine gute Qualität der Augendiagramme am Ausgang der MUX-Schaltung ist die Möglichkeit, den Abtastzeitpunkt des 2:1 SEL einstellen zu können. Hierfür werden wie in Abschnitt 6.3.3 beschrieben bei beiden MUX-Varianten jeweils unterschiedliche Arten von einstellbaren Verzögerungsstufen eingesetzt. Um deren Verhalten zu charakterisieren, wird ein ähnlicher Messaufbau wie jener aus Abbildung 7.8 zur Untersuchung des integrierten Frequenzverdopplers verwendet. Auch für die Messung der Verzögerungsstufen wird das interne Taktsignal des MUX an dessen Datenausgang betrachtet, indem eine 1-0-1-0-Datenfolge am Eingang des Prä-MUX angelegt wird. Im Unterschied zu Abbildung 7.8 wird das Ausgangssignal dem Oszilloskop single-ended zugeführt und der zweite Eingang des Oszilloskops mit einem weiteren Abgriff des Signalgenerator-Taktsignals gespeist. Auf diese Weise ist es möglich, die zeitliche Verzögerung zwischen Ein- und Ausgangssignal der MUX-Schaltung zu bestimmen. MUX-Variante 1 wird aufgrund der benötigten Eingangsfrequenzen bis 70 GHz single-ended mit dem Taktsignal angesteuert, da der zur Verfügung stehende 180°-Hybrid-Koppler nur bis 50 GHz spezifiziert ist. Bei MUX-Variante 2 wird der Hybrid-Koppler hingegen eingesetzt und für den Frequenzbereich ab 50 GHz der integrierte Frequenzverdoppler verwendet.

In Abbildung 7.12 ist die gemessene Phasenverschiebung einer der Verzögerungsstufen von MUX-Variante 1 in Abhängigkeit der Steuerspannung dargestellt. Hierfür wird die auf den Wert bei der minimalen Steuerspannung bezogene Phasenverschiebung in dem aus sechs kaskadierten Verzögerungsstufen bestehenden Pfad zum 2:1 SEL (vgl. Abbildung 6.8) gemessen und durch sechs geteilt. Die Messung zeigt, dass die Phasenverschiebung stetig zwischen den Endwerten eingestellt werden kann. Bei höheren Taktfrequenzen ist der Einstellbereich größer. Dies liegt in dem Prinzip der Verzögerungsstufen von

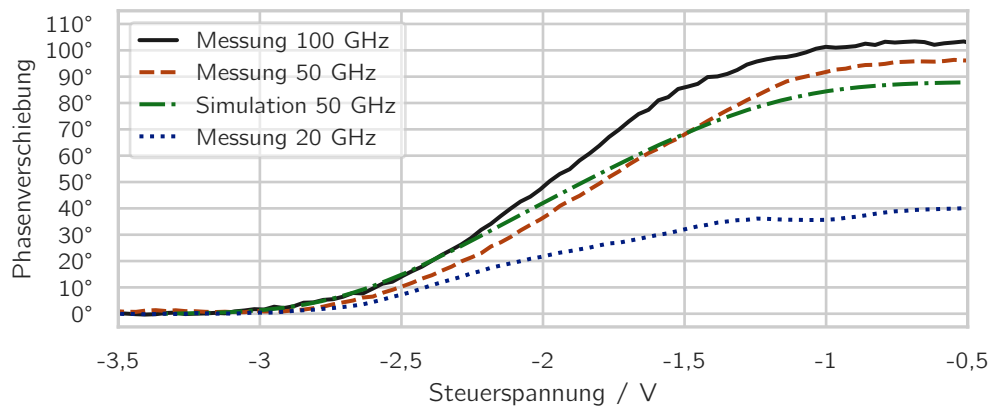


**Abbildung 7.12:** Gemessene relative Phasenverschiebung einer der Verzögerungsstufen von MUX-Variante 1 in Abhängigkeit der externen Steuerspannung bei verschiedenen Taktfrequenzen und Vergleich mit einer Schaltungssimulation.

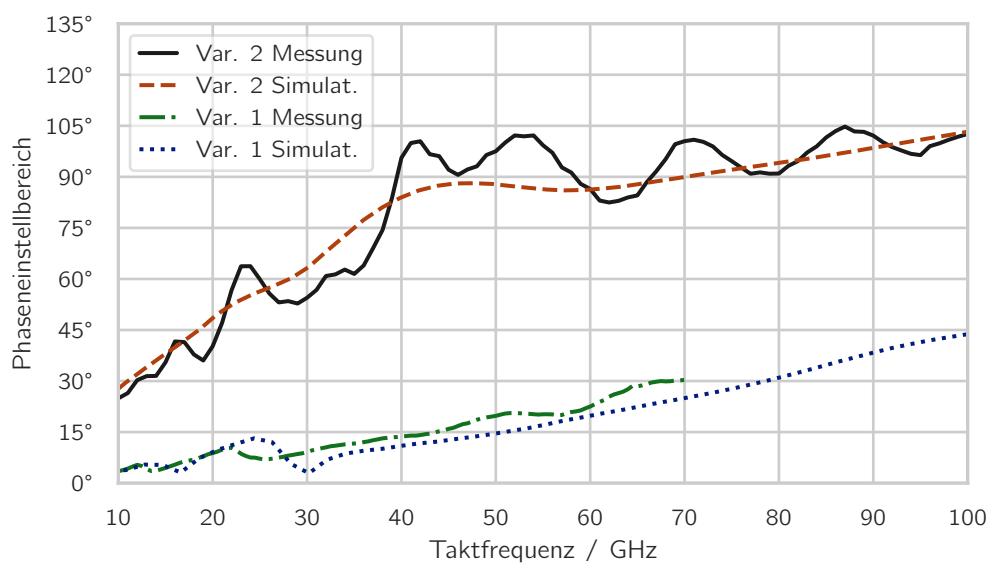
MUX-Variante 1 begründet, welche eine näherungsweise von der Taktfrequenz unabhängige maximale zeitliche Verzögerung aufweisen, sodass die Phasenverschiebung linear abhängig von der Taktfrequenz ist. Ein Vergleich mit der simulierten Kennlinie bei 50 GHz zeigt einen qualitativ gut übereinstimmenden Verlauf. Quantitativ ist die gemessene maximale Phasenverschiebung allerdings größer als in der Simulation. Dies deutet darauf hin, dass der Schaltungsteil aus Abbildung 6.14 eine größere zeitliche Verzögerung als in der Simulation aufweist, was durch Abweichungen bei dem für die Technologie zur Verfügung stehenden HICUM-Transistormodell oder Ungenauigkeiten bei der Extraktion der parasitären Layout-Elemente durch Assura QRC resultieren kann. Für die gewünschte Anwendung ist die Übereinstimmung zwischen Messung und Simulation ausreichend gut, weshalb eine Verfeinerung der Modelle nicht von Nöten ist.

In Abbildung 7.13 ist die in vergleichbarer Art gemessene Phasenverschiebung einer der Verzögerungsstufen von MUX-Variante 2 gezeigt. Die Übereinstimmung zwischen Simulation und Messung ist gut. Klar tritt der wesentliche Vorteil der Verzögerungsstufen von MUX-Variante 2 gegenüber MUX-Variante 1 zu Tage, nach dem die einstellbare Phasenverschiebung weitestgehend unabhängig von der Taktfrequenz ist, solange diese größer als 40 GHz ist. Dies zeigt sich an den ähnlich verlaufenden Messkurven bei 50 GHz und bei 100 GHz. Bei 20 GHz ist der Einstellbereich erwartungsgemäß geringer.

In Abbildung 7.14 sind die jeweils gemessenen maximalen Phaseneinstellbereiche in Abhängigkeit der Taktfrequenz für MUX-Variante 1 und 2 dargestellt und mit den entsprechenden Simulationskurven aus Abbildung 6.17b verglichen. Hier zeigt sich erneut besonders deutlich der Unterschied in der Funktionsweise der Verzögerungsstufen beider MUX-Varianten. Während bei MUX-Variante 1 der Phaseneinstellbereich linear von der Taktfrequenz abhängt, liegt er bei MUX-Variante 2 ab einer Taktfrequenz von circa 40 GHz in etwa konstant bei 90°, was für die gewünschte Anwendung von Vorteil ist. Messung und Simulation weisen jeweils dasselbe charakteristische Verhalten auf. Es



**Abbildung 7.13:** Gemessene relative Phasenverschiebung einer der Verzögerungsstufen von MUX-Variante 2 in Abhängigkeit der externen Steuerspannung bei verschiedenen Taktfrequenzen und Vergleich mit einer Schaltungssimulation.



**Abbildung 7.14:** Gemessener Phaseneinstellbereich einer der Verzögerungsstufen von MUX-Variante 1 und 2 und Vergleich mit einer zugehörigen Schaltungssimulation.

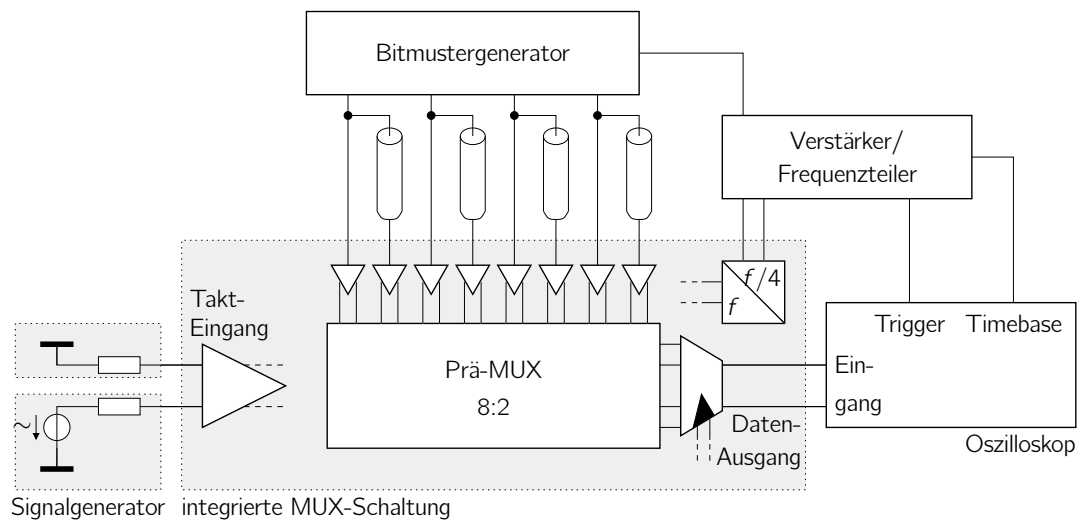
zeigt sich jedoch insbesondere in der Messung bei MUX-Variante 2, dass ein zusätzlicher, periodisch von der Taktfrequenz abhängiger Effekt überlagert ist, welcher zu einer Schwankung des Phaseneinstellbereichs um den simulierten Wert herum führt. Hierbei ist zu bedenken, dass genau wie bei der Charakterisierung des integrierten Frequenzverdopplers eine isolierte Messung der Verzögerungsstufen nicht möglich ist, sondern dass die Verzögerungsstufen eingebettet in der gesamten Taktverteilung gemessen werden. Es ist daher denkbar, dass die periodischen Schwankungen durch Rückwirkungen zwischen Ein- und Ausgang der Verzögerungsstufen, gegebenenfalls im Gleichtakt oder über die Versorgungsspannung, verursacht werden. Für die Anwendung in der MUX-Schaltung sind die Schwankungen nicht kritisch, da es lediglich von Bedeutung ist, dass über dem relevanten Frequenzbereich von 50 GHz bis 100 GHz ein Phaseneinstellbereich von mindestens  $90^\circ$  vorliegt. Mit Ausnahme der geringfügigen Unterschreitung zwischen 60 GHz und 65 GHz ist dies der Fall, sodass die Verzögerungsstufen wie gewünscht genutzt werden können, um den Abtastzeitpunkt des 2:1 SEL zu optimieren.

Messungen zur Tastgradfehler-Verstärkung der Verzögerungsstufen sind bereits in [24] zu finden und werden daher hier nicht wiederholt.

## 7.4 Gemessene Augendiagramme

Für die Anwendung der MUX-Schaltungen als Treiber für einen monolithisch integrierten MZM ist die Qualität der Augendiagramme am Datenausgang das entscheidende Kriterium. Insbesondere beim PMUX-Konzept trifft die Qualität der Augendiagramme zudem eine Aussage über die Qualität des Taktsignals am Eingang des 2:1 SEL und damit über die Eigenschaften der gesamten Taktverteilung. Eine gute Qualität der Augendiagramme ist folglich ein Beleg für die gute Funktion der kompletten MUX-Schaltung. Die Messergebnisse von MUX-Variante 1 sind bereits in [24] und jene von MUX-Variante 2 in [25] zu finden und werden im Folgenden wiederholt.

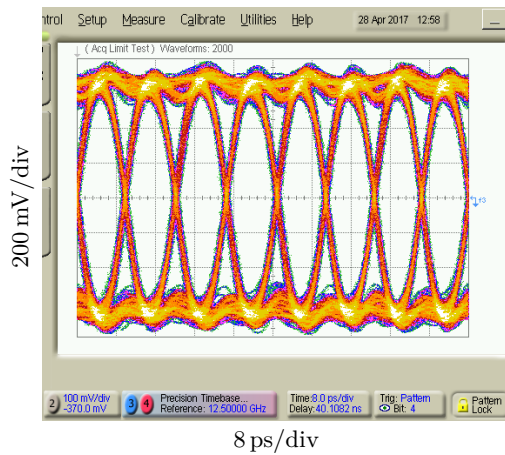
Zur Messung der Augendiagramme wird bei MUX-Variante 1 der in Abbildung 7.15 gezeigte Messaufbau verwendet. Der Signalgenerator wird wie bei den vorherigen Messungen mit dem Takt-Eingang verbunden. Aufgrund der hohen Taktfrequenzen bis 70 GHz wird auf die Verwendung des nur bis 50 GHz spezifizierten  $180^\circ$ -Hybrid-Kopplers verzichtet und der Takt-Eingang der MUX-Schaltung stattdessen single-ended angesteuert. Die acht Dateneingänge werden von einem Bitmuster-generator des Typs *MP1800A* von Anritsu aus vier Modulen des Typs *MU181020B* gespeist. Die damit erzeugten vier PRBS-Datensignale mit einer Länge von jeweils  $2^9 - 1$  Bits werden jeweils zwei Eingängen der MUX-Schaltung zugeführt, um die benötigten acht Eingangssignale zu erhalten. Hierfür werden unterschiedlich lange Kabel verwendet, sodass eine zeitliche Verzögerung zwischen den Eingängen besteht und die zugehörigen PRBS-Folgen dadurch in Teilen dekorreliert werden. Der Datenausgang der MUX-Schaltung wird über den Infinity-67-Tastkopf den Eingängen des Sampling-Oszilloskops zugeführt und differenziell ausgewertet. Um den Jitter durch das Oszilloskop zu verringern, wird für die Messung der



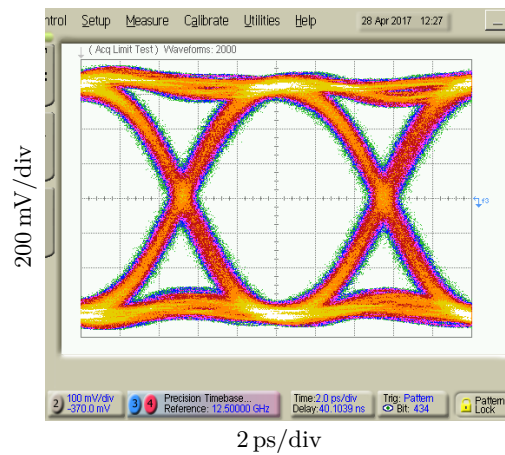
**Abbildung 7.15:** Aufbau zur Messung der Augendiagramme von MUX-Variante 1.

Augendiagramme von dem im Oszilloskop installierten *Precision-Timebase-Modul* Gebrauch gemacht, welchem ein externes Taktsignal als Referenz zugeführt werden muss. Dieses Taktsignal stammt genau wie das Triggersignal für das Oszilloskop und das Taktsignal für den Bitmuster-generator von einem in der Frequenz gegenüber dem Eingangstaktsignal um den Faktor vier geteilten Ausgangstaktsignal des MUX selbst. Die Verteilung zu Oszilloskop und Bitmuster-generator erfolgt mithilfe eines Verstärkers und einstellbaren Frequenzteilers des Typs *CD3* von MICRAM.

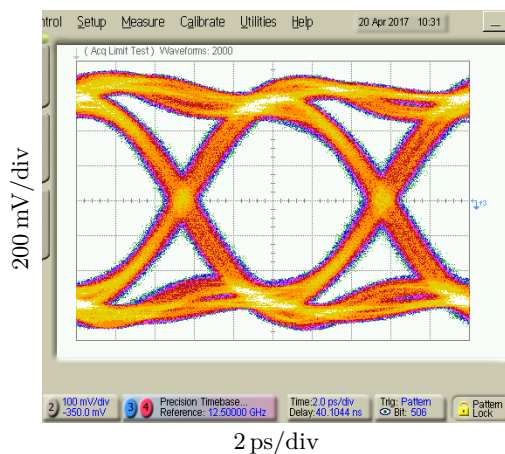
In Abbildung 7.16a und 7.16b sind die gemessenen Augendiagramme von MUX-Variante 1 bei der nominellen Datenrate von 100 Gbit/s und dem nominellen differentiellen Ausgangshub von  $1,2V_{pp}$  gezeigt. Die Augendiagramme weisen eine klare vertikale und horizontale Öffnung auf, welche den statischen Pegel erreicht. Um zu demonstrieren, dass die MUX-Schaltung bei noch höheren Ausgangshüben arbeiten kann, ist der Betriebsstrom  $I_{0,SEL}$  des 2:1 SEL aus Abbildung 6.4 von nominell 25 mA auf 40 mA erhöht worden. Obwohl der Strom für die maximale Transitfrequenz der Transistoren damit um in etwa 100% überschritten wird, zeigt das gemessene Augendiagramm in Abbildung 7.16d (zu beachten ist die andere vertikale Skalierung als bei den übrigen Augendiagrammen) weiterhin eine klare, wenn auch leicht geringere Öffnung bei einem differentiellen Ausgangshub von  $2V_{pp}$ . Die etwas geringere Öffnung der Augendiagramme ist dabei nicht alleine durch die Erhöhung des Betriebsstroms bedingt, sondern auch durch die im Signalpfad zum Oszilloskop eingesetzten 6-dB-Dämpfungsglieder, welche benötigt werden, um eine Übersteuerung des Oszilloskops zu verhindern. Der Einfluss der verwendeten Dämpfungsglieder auf die Signalqualität wird im Vergleich der Augendiagramme aus Abbildung 7.16b und Abbildung 7.16c deutlich, welche bei nominellem Betriebsstrom gemessen sind und sich lediglich durch den Einsatz der Dämpfungsglieder unterscheiden.



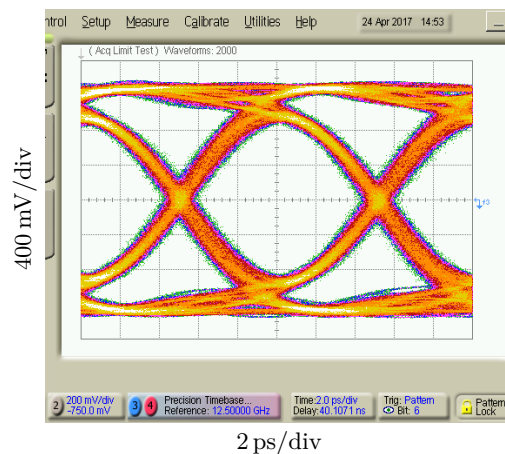
(a) Nomineller Ausgangshub.



(b) Nomineller Ausgangshub.

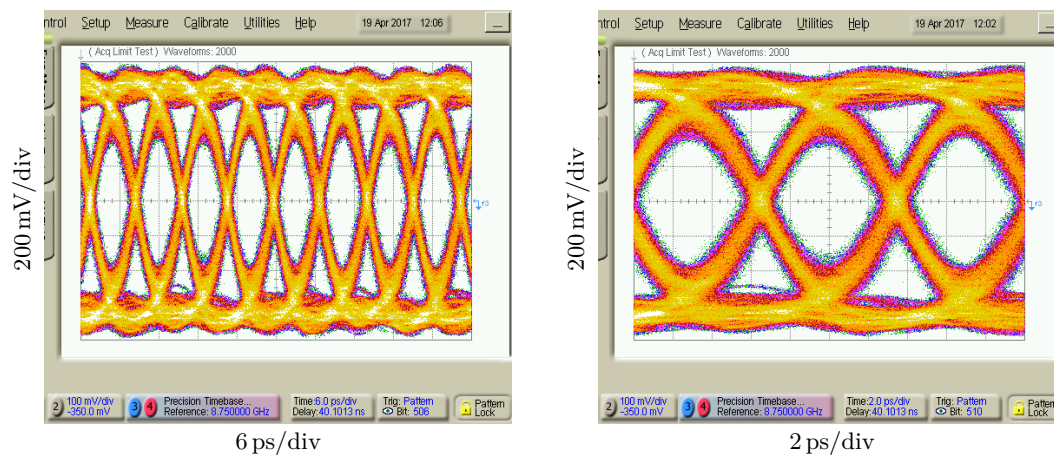


(c) Nomineller Ausgangshub unter Verwendung von 6-dB-Dämpfungsgliedern.



(d) Erhöhter Ausgangshub unter Verwendung von 6-dB-Dämpfungsgliedern.

**Abbildung 7.16:** Gemessene Augendiagramme von MUX-Variante 1 bei einer Datenrate von 100 Gbit/s.

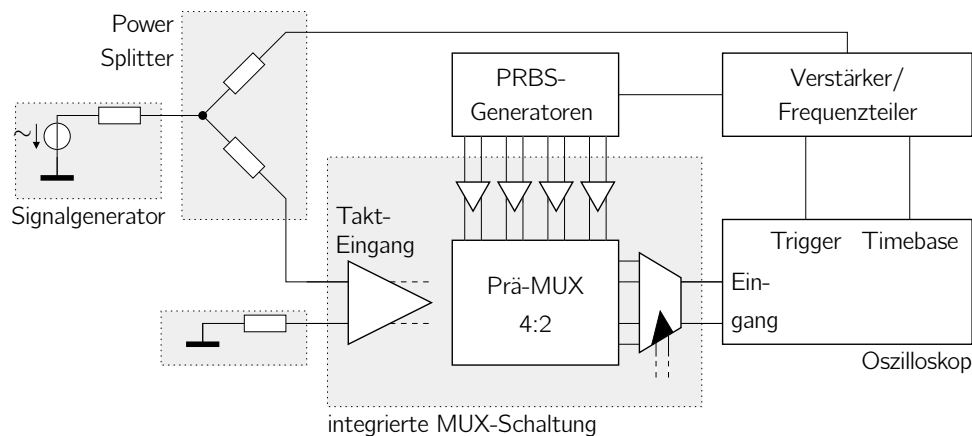


**Abbildung 7.17:** Gemessene Augendiagramme von MUX-Variante 1 bei einer Datenrate von 140 Gbit/s und nominellem Ausgangshub.

MUX-Variante 1 kann deutlich über die nominelle Datenrate von 100 Gbit/s hinaus betrieben werden. Selbst bei der durch den vorhandenen Signalgenerator limitierten maximalen Taktfrequenz von 70 GHz und der zugehörigen Datenrate von 140 Gbit/s zeigt sich wie in Abbildung 7.17 zu sehen eine klare Augenöffnung. Hierbei muss insbesondere berücksichtigt werden, dass eine 1-0-1-0-Datenfolge bei dieser Datenrate eine Grundfrequenz von 70 GHz aufweist, was bereits der 3-dB-Grenzfrequenz des verwendeten Oszilloskops entspricht. Da der verwendete Bitmuster-generator eine maximale Ausgangsdatenrate von nur 14 Gbit/s pro Kanal aufweist, wird er für die Messung in Abbildung 7.17 statt bei der zur Erzeugung von 140 Gbit/s eigentlich benötigten Datenrate von 17,5 Gbit/s bei lediglich der halben Datenrate von 8,75 Gbit/s betrieben. Dies bedeutet, dass jedes zweite Bit an den Eingängen der MUX-Schaltung identisch ist, wodurch sich am Datenausgang jede Folge von acht Bits einmal wiederholt, bevor eine neue Folge beginnt. Da innerhalb einer Folge von acht Bits jedoch bereits die höchsten Frequenzanteile des Signalspektrums enthalten sind, sind durch diese Maßnahme keinen nennenswerten Verfälschungen der Messergebnisse zu erwarten.

Der zur Charakterisierung von MUX-Variante 2 verwendete Messaufbau unterscheidet sich geringfügig von jenem für MUX-Variante 1. Wie in Abbildung 7.18 gezeigt, wird das Taktsignal für das Oszilloskop nicht vom geteilten Ausgang der MUX-Schaltung, sondern direkt vom Signalgenerator über einen Power Splitter bereitgestellt. Dies ist möglich, da Dank des integrierten Frequenzverdopplers lediglich Eingangstaktfrequenzen bis 50 GHz im Gegensatz zu 70 GHz bei MUX-Variante 1 auftreten. Die direkte Bereitstellung vom Signalgenerator hat den Vorteil, dass die Precision Timebase des Oszilloskops unabhängig von der Qualität der Taktsignale innerhalb der MUX-Schaltung ist. Nur so ist es möglich, den Jitter am Datenausgang des MUX korrekt zu beurteilen, da bei Verwendung des geteilten Takt-Ausgangs des MUX für die Precision Timebase gemeinsamer Jitter an Daten- und geteiltem Takt-Ausgang nicht auf dem Oszilloskop er-



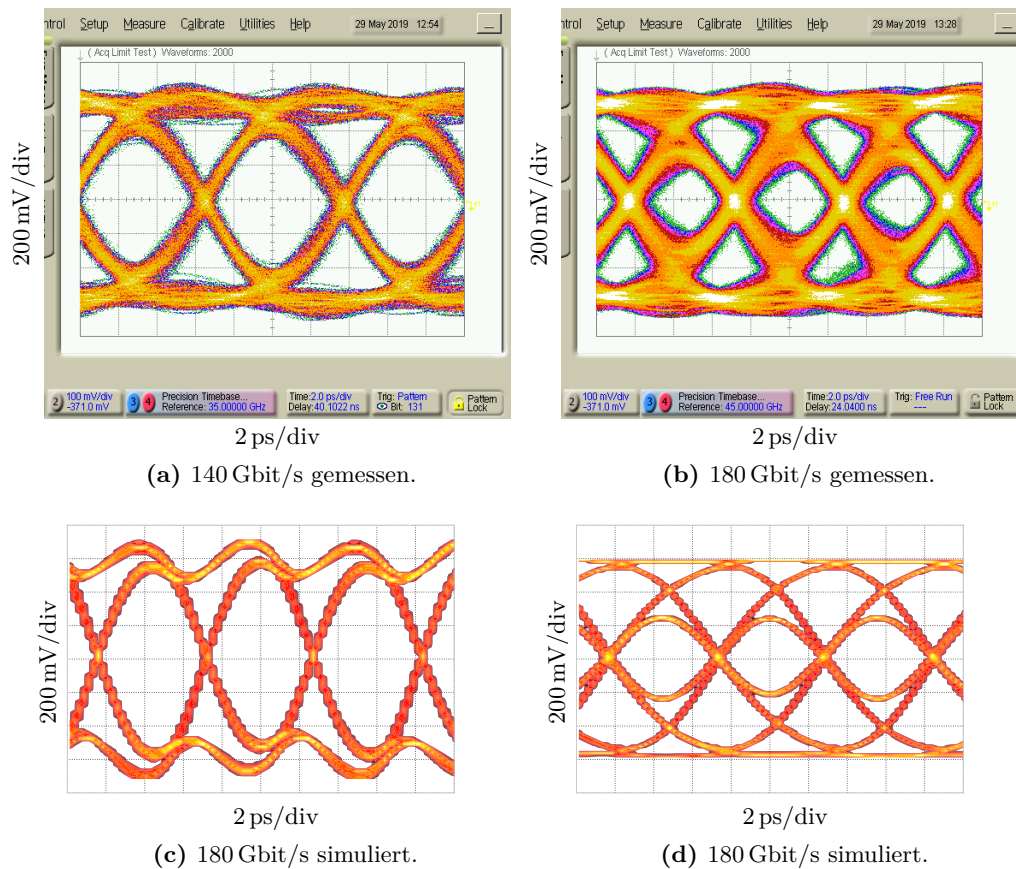


**Abbildung 7.18:** Aufbau zur Messung der Augendiagramme von MUX-Variante 2.

scheint. MUX-Variante 2 enthält einen integrierten, im Rahmen der Arbeit entwickelten PRBS-Generator, welcher bis zu Datenraten von 180 Gbit/s verwendet werden kann und wird. Für noch höhere Datenraten bis 200 Gbit/s sind externe Datenquellen mit bis zu 50 Gbit/s nötig. Hierfür werden die integrierten PRBS-Generatoren von vier Aufbauten der entwickelten MUX-Variante 2 genutzt.

In Abbildung 7.19a ist das gemessene Augendiagramm von MUX-Variante 2 bei einer Datenrate von 140 Gbit/s gezeigt. Der Vergleich mit Abbildung 7.17 bei MUX-Variante 1 offenbart eine noch etwas klarere und größere Augenöffnung, obwohl aufgrund des geänderten Messaufbaus mit der Verwendung des Signalgenerator-Taktsignals für die Precision Timebase des Oszilloskops mit mehr Jitter als bei dem Messaufbau von MUX-Variante 1 zu rechnen wäre. Dies belegt die erfolgreichen Verbesserungen in der Taktverteilung und dem 2:1 SEL bei MUX-Variante 2 (siehe Kapitel 6). In Abbildung 7.19b ist das gemessene Augendiagramm bei einer Datenrate von 180 Gbit/s abgebildet. Die Augenöffnung ist deutlich reduziert, es gibt jedoch weiterhin einen offenen, störungsfreien Bereich. Zu beachten ist, dass bei der Datenrate von 180 Gbit/s die 1-0-1-0-Datenfolge eine Grundfrequenz von 90 GHz aufweist, was bereits deutlich über der Grenzfrequenz von Oszilloskop und Infinity-67-Tastkopf von 70 GHz respektive 67 GHz liegt. Es ist daher davon auszugehen, dass die Messausstattung eine signifikante Degradation der Augendiagramm-Qualität bedingt. Um eine grobe Abschätzung für die Beeinträchtigung durch die Messausstattung zu erhalten, wird das Augendiagramm von MUX-Variante 2 bei 180 Gbit/s unter Verwendung von HICUM-Transistormodellen und der Extraktion parasitärer Layout-Elemente durch Assura QRC an einer idealen 50- $\Omega$ -Last simuliert. Das entsprechende Simulationsergebnis ist in Abbildung 7.19c dargestellt. Auf dieses Simulationsergebnis wird im Frequenzbereich die Gauß-Filterfunktion

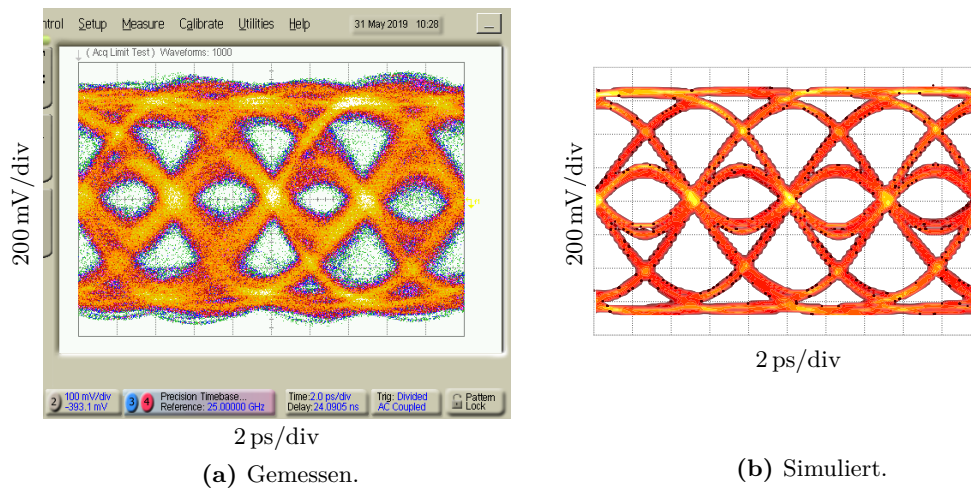
$$G(f) = \exp \left( \ln(10) \frac{4,7 \text{ dB}}{20 \text{ dB}} \left( \frac{f}{70 \text{ GHz}} \right)^2 \right) \quad (7.3)$$



**Abbildung 7.19:** Gemessene Augendiagramme von MUX-Variante 2 bei nominellem Ausgangshub. In c+d) sind die Ergebnisse von Vergleichssimulationen gezeigt. Bei c) unter Annahme einer idealen externen Last, bei d) unter Modellierung der verwendeten Messausstattung.

angewendet, welche als grobes Modell für die Messausstattung fungiert und bei der Frequenz von 70 GHz die Gesamtdämpfung von 4,7 dB von Oszilloskop (3 dB), Infinity-67-Tastkopf (1,2 dB) und verwendeten Kabeln (0,5 dB) abbildet. Mit dieser Filterung resultiert das simulierte Augendiagramm in Abbildung 7.19d. Abgesehen von zusätzlichem Rauschen und Jitter ist das gemessene Augendiagramm in Abbildung 7.19b zu jenem simulierten aus Abbildung 7.19d vergleichbar. Es kann daher angenommen werden, dass ohne die Beeinträchtigung durch die Messausstattung selbst bei der Datenrate von 180 Gbit/s ein ähnlich gutes und klar offenes Augendiagramm wie das simulierte aus Abbildung 7.19c resultieren würde.

Eine weitere Erhöhung der Datenrate und das dabei resultierende, gemessene Augendiagramm von MUX-Variante 2 bei 200 Gbit/s ist in Abbildung 7.20a zu sehen. Hier zeigen sich klare Störungen in der Augenmitte, weshalb kein fehlerfreier Betrieb mehr



**Abbildung 7.20:** Gemessene und simulierte Augendiagramme von MUX-Variante 2 unter Modellierung der verwendeten Messausstattung bei 200 Gbit/s und nominellem Ausgangshub.

möglich ist. Im Gegensatz zu den übrigen gemessenen Augendiagrammen von MUX-Variante 2 kann bei dieser hohen Datenrate jedoch nicht mehr der interne PRBS-Generator verwendet werden, sondern es müssen externe PRBS-Generatoren eingesetzt werden. Messungen zeigen, dass bei Verwendung der externen PRBS-Generatoren auch bei niedrigeren Datenraten Störungen auftreten. Es ist daher denkbar, dass die in Abbildung 7.20a zu sehenden Störungen durch eine fehlerhafte Abtastung der Eingangssignale auftreten, was durch eine Signaldegradation der externen TMLs zu den Dateneingängen oder durch Probleme der Daten-Eingangsverstärker des Prä-MUX verursacht werden könnte. Die klaren Überkreuzungspunkte in Abbildung 7.20a bei der Datenrate von 200 Gbit/s sind hingegen ein Indiz dafür, dass die Taktverteilung auch bei der hierfür nötigen Taktfrequenz von 100 GHz noch ein sauberes Taktsignal liefert. Dass die Kontur der Augenöffnung in Abbildung 7.20a vergleichbar zu der Simulierten in Abbildung 7.20b ist, spricht zudem für die korrekte Funktion des 2:1 SEL, womit sämtliche im Rahmen der vorliegenden Arbeit entwickelten Schaltungsteile wie gewünscht zu funktionieren scheinen. Nichtsdestoweniger lässt sich nicht ausschließen, dass die in Abbildung 7.20a zu sehenden Störungen nicht doch durch die entwickelten Schaltungsteile resultieren, weshalb MUX-Variante 2 beim Vergleich mit dem Stand der Technik in Tabelle 1.1 mit einer maximalen Datenrate von 180 Gbit/s angegeben ist, bei welcher nachweislich noch ein fehlerfreier Betrieb möglich ist.

## 7.5 Fazit

Die Messergebnisse der im Rahmen der vorliegenden Arbeit entwickelten integrierten MUX-Schaltungen demonstrieren, dass die Schaltungen wie gewünscht funktionieren und im Falle von MUX-Variante 1 die ursprünglich gesetzte Spezifikation sogar übertreffen. Klar offene Augendiagramme bei MUX-Variante 1 bis zu Datenraten von 140 Gbit/s bei einem differentiellen Ausgangshub von  $1,2 V_{pp}$  und offene, im Wesentlichen durch die Messausstattung limitierte Augendiagramme bei MUX-Variante 2 bei 180 Gbit/s und einem differentiellen Ausgangshub von mehr als  $0,3 V_{pp}$  zeigen nicht nur, dass sich das PMUX-Konzept gut für derart hohe Datenraten eignet, sondern belegen auch die hervorragende Funktion der entwickelten Taktverteilungen inklusive der  $90^\circ$ -Phasenschieber sowie des integrierten Frequenzverdopplers bei MUX-Variante 2. Beide MUX-Varianten stellten zum Zeitpunkt der jeweiligen Veröffentlichung in [24] und [25] einen Rekord für SiGe-Bipolartechnologie dar, wie dem Vergleich mit dem Stand der Technik in Tabelle 1.1 entnommen werden kann.

Basierend auf dem Modell aus Kapitel 5 ist des Weiteren eine Messmethode entwickelt worden, welche es erlaubt, die interne Signalamplitude des Takt-Eingangsverstärkers lediglich unter Verwendung eines Signalgenerators, einer Gleichspannungsquelle und eines Gleichspannungsmessgeräts abzuschätzen und damit die Dämpfung der Zuleitungen und der externen Beschaltung abzuschätzen und die Signalamplitude folglich optimal einzustellen.

## 8 Zusammenfassung der Arbeit

Die vorliegende Arbeit umfasst sowohl einen theoretischen als auch einen experimentellen Teil, in welchem nicht nur die Erkenntnisse aus dem theoretischen Teil angewendet, sondern darüber hinaus gehende Schaltungskonzepte entworfen und eingesetzt worden sind. Im Rahmen des experimentellen Teils sind zwei integrierte MUX-Schaltungen entwickelt worden, welche Datenraten von bis zu 140 Gbit/s bzw. 180 Gbit/s bei elektrisch gemessenen differentiellen Ausgangshüben von  $1,2 V_{pp}$  respektive  $0,3 V_{pp}$  an einer externen  $50\text{-}\Omega$ -Last ermöglichen. Die erste Version einer monolithischen Integration einer der MUX-Schaltungen zusammen mit einem plasmonischen MZM auf demselben Chip demonstriert erfolgreich eine optische Modulation bis 120 Gbit/s Datenrate [23].

Um den Entwurf der MUX-Schaltungen zu erleichtern, sind im Rahmen des theoretischen Teils der vorliegenden Arbeit analytische Modelle zur Beschreibung von mit Taktsignalen angesteuerten SSs entwickelt worden. Das wesentliche Merkmal der Modelle im Vergleich zum Stand der Technik ist die Berücksichtigung dynamischer, d. h. frequenzabhängiger Großsignal-Effekte in Form von einfachen, anschaulichen Zusammenhängen, da Kleinsignal-Betrachtungen bei SSs aufgrund ihres stark nichtlinearen Verhaltens ungeeignet sind (siehe Abschnitt 4.2.5).

Eine vollständige Modellierung sämtlicher bei aktuellen Transistormodellen (z. B. HICUM, VBIC) abgebildeter Effekte im Großsignal würde nicht nur den Rahmen der vorliegenden Arbeit sprengen, sondern insbesondere aufgrund der dabei resultierenden großen, hochgradig nichtlinearen Gleichungssysteme keinen Erkenntnisgewinn gegenüber einer herkömmlichen Schaltungssimulation bringen. Aus diesem Grund wird der in Kapitel 1 vorgestellte erkenntnisorientierte Optimierungsansatz verfolgt. Hierzu wird ein stark vereinfachtes Transistor-ESB verwendet, welches lediglich über jene Elemente verfügt, die zur qualitativen Beschreibung der zu betrachtenden Effekte nötig sind. Es versteht sich von selbst, dass damit keine quantitativ korrekten Vorhersagen getroffen werden können. Jedoch ist es mit dem gewählten Ansatz möglich, eine lineare Differenzialgleichung zur Beschreibung des dynamischen, nichtlinearen SS-Verhaltens aufzustellen, welche es erlaubt, grundlegende Zusammenhänge und Einflussfaktoren aufzuzeigen und dadurch die Schaltungsentwicklung zu erleichtern. Auf der Differenzialgleichung basieren im Wesentlichen zwei entwickelte, analytische Modelle, welche für den Entwurf der MUX-Schaltungen hilfreich sind.

Eines der beiden entwickelten Modelle beschreibt Ausgangsamplitude, Grenzfrequenz und Flankensteilheit breitbandiger, mit sinusförmigen Taktsignalen angesteuerter SSs analytisch im Großsignal. Mithilfe des Modells werden Schlussfolgerungen zur Optimierung der Schaltung getroffen. Das Modell ist konsistent zu bereits bekannten Effekten,

beispielsweise der Vergrößerung der Bandbreite eines Takt-Eingangssignals durch Übersteuerung eines SS [15]. Das Modell erweitert die bekannten Effekte darüber hinaus um den dynamischen Überhöhungseffekt, welcher abgesehen von der im Rahmen der vorliegenden Arbeit entstandenen Veröffentlichung [33] in dieser Form noch nicht zuvor analytisch beschrieben wurde. Der dynamische Überhöhungseffekt ermöglicht es, eine Bandbreitenbegrenzung der Ausgangsschnittstelle von SSs (teilweise) zu kompensieren und somit zu einer Erhöhung von Ausgangsamplitude, Grenzfrequenz und Flankensteilheit beizutragen. Einer der wesentlichen Vorzüge des dynamischen Überhöhungseffekts ist, dass diese Größen (in gewissen Grenzen) mit steigender Taktfrequenz und steigenden (parasitären) Kapazitäten am gemeinsamen Emitterknoten der SS-Transistoren zunehmen. Zudem ist aufgrund der unmittelbaren Abhängigkeit von der Eingangsamplitude des Taktsignals eine Justage des Effekts während des Betriebs der Schaltung möglich, was insbesondere hilfreich ist, um eine Überkompensation der Bandbreitenbegrenzung der Ausgangsschnittstelle zu verhindern. Eine solche Überkompensation könnte ansonsten zu einer erneuten Verschlechterung der Flankensteilheit beitragen.

Das zweite entwickelte Modell liefert eine analytische Beschreibung von Ursachen und Entstehungsmechanismen von Tastgradfehlern und Gleichanteilen an kaskadierten SS-Stufen in einer Taktverteilung. Modelle zur Beschreibung einzelner, bestimmter Ursachen an einzelnen SS-Stufen existieren bereits verschiedentlich in der Literatur [13, 21, 77]. Das vorgestellte Modell umfasst einen Großteil der bekannten Ursachen und Zusammenhänge in Form einer geschlossenen Darstellung bestehend aus nur zwei zentralen Modellgleichungen. Es bietet darüber hinaus eine Erweiterung des Stands der Technik, indem es den Zusammenhang zwischen dem Frequenzgang der Übertragungsfunktion und der Frequenzabhängigkeit des Tastgradfehlers von SS-Stufen analytisch abbildet. Der zugehörige Teil des Modells basiert auf einer bekannten Gleichung zur Beschreibung der Jitter-Fortpflanzung von Taktsignalen in einem passiven Übertragungskanal [78] und wird in der im Rahmen der Arbeit entstandenen Veröffentlichung [33] erstmalig auf einen aktiven SS angewendet. Damit bestätigt das Modell den bereits zuvor bei Messungen beobachteten Effekt einer vermehrten Tastgradfehler-Verstärkung bei mittleren Taktfrequenzen [13] und führt diesen auf den Frequenzgang der den SS ansteuernden EFs zurück. Hiermit ist es möglich, gezielt Gegenmaßnahmen zu ergreifen. Basierend auf den Erkenntnissen des Modells können Schlussfolgerungen zur Dimensionierung der Schaltung getroffen werden. Diese stehen teilweise im Widerspruch zu jenen des entwickelten Modells für eine hohe Ausgangsamplitude, Grenzfrequenz und Flankensteilheit, sodass bei der Schaltungsentwicklung Abwägungen im Hinblick auf diese Ziele getroffen werden müssen. Da eine Taktverteilung üblicherweise aus mehreren Stufen besteht, können die Abwägungen für jede Stufe separat getroffen werden und somit das Optimum im Hinblick auf alle betrachteten Kriterien erreicht werden. Neben Schlussfolgerungen für die Dimensionierung sind bekannte Schaltungskonzepte zur Verringerung von Tastgradfehlern und Gleichanteilen (Regelung, Koppelkondensatoren, R-C-Glieder) mit Blick auf das vorgestellte Modell eingeordnet und ihre Eignung bei verschiedenen Anwendungsszenarien diskutiert worden.

Die im Rahmen der Arbeit entwickelten Modelle sind für den Entwurf der MUX-Schaltungen im experimentellen Teil gut geeignet, da hier jede Schaltungszelle einen oder mehrere SSs enthält, von denen ein Großteil mit Taktsignalen angesteuert und somit von den vorgestellten Modellen abgedeckt wird.

Für die Ausgangsstufe der entwickelten MUX-Schaltungen wird ein PMUX-Konzept anstelle einer separaten Treiberstufe verwendet. Das PMUX-Konzept ist bekannt und zeichnet sich durch mehrere, in [32] aufgeführte Vorteile aus. Mithilfe der Erkenntnisse aus dem theoretischen Teil dieser Arbeit lässt sich erklären, dass einer der Vorteile durch Ausnutzung des dynamischen Überhöhungseffekts am TSS der Ausgangsstufe resultiert, wodurch sich eine begrenzte Bandbreite der Ausgangsschnittstelle (teilweise) kompensieren lässt und es möglich ist, die statischen Ausgangspegel dynamisch zu überschreiten.

Vor allem zeigen sich die Erkenntnisse aus dem theoretischen Teil bei der Entwicklung der Taktverteilung als hilfreich. Hier sind in erster Linie hohe Ausgangsamplituden, Grenzfrequenzen und Flankensteilheiten bei niedrigen Tastgradfehlern und Gleichanteilen gefordert, was genau den Anwendungsbereich der entwickelten Modelle abdeckt. Eine Erfüllung der genannten Kriterien ist insbesondere deshalb wichtig, weil das Taktsignal beim PMUX-Konzept einen direkten Einfluss auf das Datensignal am Ausgang des gesamten MUX hat. Eine sorgfältige Modellierung und Dimensionierung der Taktverteilung ist folglich unerlässlich.

Neben der Anwendung der analytischen Modelle ist im Rahmen des experimentellen Teils der Arbeit ein in [25] vorgestelltes, neuartiges Konzept zur breitbandigen Phasenverschiebung von Taktsignalen entwickelt worden. Mit diesem können bei den einstellbaren Verzögerungsstufen der Taktverteilung von MUX-Variante 2 gegenüber jenem nach dem Stand der Technik von MUX-Variante 1 Energie eingespart und eine höhere Grenzfrequenz erzielt werden. Das neuartige Konzept zur Phasenverschiebung ist zudem im Sinne einer Machbarkeitsuntersuchung für einen breitbandigen Frequenzverdoppler eingesetzt worden, welcher nicht nur mit Sinus- sondern auch mit näherungsweise rechteckförmigen Eingangssignalen arbeitet und eine große Ausgangsbandbreite von 40 GHz bis 100 GHz aufweist. Nur mithilfe dieses, zusammen mit der restlichen Schaltung integrierten Frequenzverdopplers, ist es mit der zur Verfügung stehenden Messtechnik möglich, bei MUX-Variante 2 höhere Datenraten als 140 Gbit/s zu erreichen.

Messungen der entwickelten und aufgebauten MUX-Schaltungen zeigen bis hin zu Datenraten von 140 Gbit/s klar geöffnete Augendiagramme bei einem differentiellen Spannungshub von  $1,2 V_{pp}$  an  $50 \Omega$ . Bei der maximal messbaren Datenrate von 180 Gbit/s tritt zwar bereits eine deutliche Degradation der beobachteten Signalqualität auf. Eine Modellierung des Einflusses der Messtechnik und ein Vergleich mit Schaltungssimulationen legen jedoch nahe, dass die Degradation im Wesentlichen durch die Messtechnik bedingt wird, wohingegen die Ausgangssignale der MUX-Schaltung selbst als mit guter Qualität angenommen werden können. Damit stellt die entwickelte MUX-Schaltung zum Zeitpunkt der Veröffentlichung in [25] die schnellste MUX-Schaltung mit derart hohem Ausgangshub in SiGe-Bipolartechnologie dar (siehe Vergleich in Tabelle 1.1).

**Teil III**  
**Herleitungen**



## Anhang A

### Herleitungen zu Kapitel 3

#### A.1 Herleitung von Gleichung 3.11

Es gilt mit Gleichung 3.1 für den Gleichtakt-Transferstrom

$$i_T^+ = \frac{1}{2}(i_{T1} + i_{T2}) = \frac{1}{2} \left( I_S e^{\frac{u_{e1} - u_E}{U_T}} + I_S e^{\frac{u_{e2} - u_E}{U_T}} \right), \quad (\text{A.1})$$

$$= \frac{1}{2} \left( I_S e^{\frac{u_e^+ + u_e^- - u_E}{U_T}} + I_S e^{\frac{u_e^+ - u_e^- - u_E}{U_T}} \right) = I_S e^{\frac{u_e^+ - u_E}{U_T}} \cosh \left( \frac{u_e^-}{U_T} \right) \quad (\text{A.2})$$

und für die zugehörige Ableitung

$$\frac{d i_T^+}{d t} = \frac{i_T^+}{U_T} \left( \frac{d u_e^+}{d t} - \frac{d u_E}{d t} \right) + \frac{i_T^+}{U_T} \tanh \left( \frac{u_e^-}{U_T} \right) \frac{d u_e^-}{d t}. \quad (\text{A.3})$$

Aus Gleichung 3.10 folgt

$$i_{\text{cap}} = C_{i0} \frac{d u_E}{d t} - \tau_F \frac{d i_{T1}}{d t} - C_{\text{BE0}} \frac{d(u_{e1} - u_E)}{d t} - \tau_F \frac{d i_{T2}}{d t} - C_{\text{BE0}} \frac{d(u_{e2} - u_E)}{d t}, \quad (\text{A.4})$$

$$= (C_{i0} + 2 C_{\text{BE0}}) \frac{d u_E}{d t} - 2 \tau_F \frac{d i_T^+}{d t} - 2 C_{\text{BE0}} \frac{d u_e^+}{d t}. \quad (\text{A.5})$$

Auflösen von Gleichung A.3 nach  $\frac{d u_E}{d t}$  und Einsetzen in Gleichung A.5 ergibt

$$i_{\text{cap}} = C_{i0} \frac{d u_E}{d t} + (C_{i0} + 2 C_{\text{BE0}}) \tanh \left( \frac{u_e^-}{U_T} \right) \frac{d u_e^-}{d t} - \left( 2 \tau_F + \frac{(C_{i0} + 2 C_{\text{BE0}}) U_T}{i_T^+} \right) \frac{d i_T^+}{d t}. \quad (\text{A.6})$$

Mit Gleichung 3.15 folgt daraus Gleichung 3.11.

## A.2 Herleitung von Gleichung 3.16

Analog zu Gleichung A.2 ergibt sich für  $i_T^-$  der Zusammenhang

$$i_T^- = \frac{1}{2}(i_{T1} - i_{T2}) = I_S e^{\frac{u_e^+ - u_E}{U_T}} \sinh\left(\frac{u_e^-}{U_T}\right). \quad (\text{A.7})$$

Bilden des Verhältnisses von Gleichung A.7 und Gleichung A.2 liefert

$$\frac{i_T^-}{i_T^+} = \frac{\sinh\left(\frac{u_e^-}{U_T}\right)}{\cosh\left(\frac{u_e^-}{U_T}\right)}, \quad (\text{A.8})$$

was unmittelbar äquivalent zu der zu zeigenden Gleichung 3.16 ist.

## A.3 Herleitung von Gleichung 3.21

Bei Eingangssignalen  $u_e^-$  mit großen Amplituden nimmt die Funktion aus Gleichung 3.19 einen näherungsweise rechteckförmigen Verlauf an, wie in Abbildung A.1 veranschaulicht. Ohne Einschränkung der Allgemeingültigkeit wird der Zeitnullpunkt hier so gewählt, dass er in der Mitte zwischen der steigenden und fallenden Flanke mit Zeitpunkten

$$-t_f = t_r = \frac{1}{2f_{\text{clk}}}\left(\frac{1}{2} + \Delta D_T\right) \quad (\text{A.9})$$

liegt. Für die Koeffizienten  ${}^n\mathcal{T}$  gilt mit Gleichung 3.19 und Gleichung 3.7

$${}^n\mathcal{T} = f_{\text{clk}} \int_{-\frac{1}{2f_{\text{clk}}}}^{\frac{1}{2f_{\text{clk}}}} \tanh\left(\frac{u_e^-(t)}{U_T}\right) e^{-jn2\pi f_{\text{clk}}t} dt, \quad (\text{A.10})$$

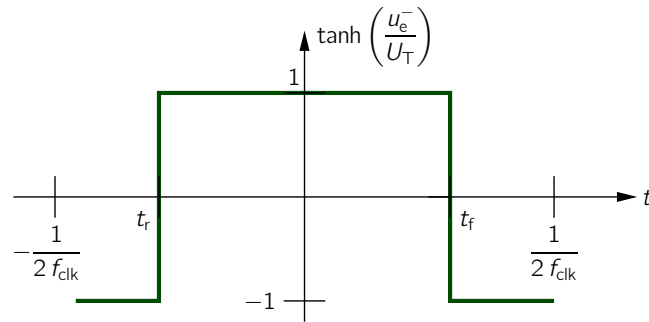
$$\approx f_{\text{clk}} \left( \int_{-\frac{1}{2f_{\text{clk}}}}^{t_r} (-1) e^{-jn2\pi f_{\text{clk}}t} dt + \int_{t_r}^{t_f} e^{-jn2\pi f_{\text{clk}}t} dt + \int_{t_f}^{\frac{1}{2f_{\text{clk}}}} (-1) e^{-jn2\pi f_{\text{clk}}t} dt \right), \quad (\text{A.11})$$

$$= \frac{j}{2\pi n} \left( -e^{-jn2\pi f_{\text{clk}}t_r} + e^{jn\pi} + e^{-jn2\pi f_{\text{clk}}t_f} - e^{-jn2\pi f_{\text{clk}}t_r} - e^{-jn\pi} + e^{-jn2\pi f_{\text{clk}}t_f} \right), \quad (\text{A.12})$$

$$= \frac{1}{n} \frac{2}{\pi} \sin(2\pi n f_{\text{clk}} t_f) = \frac{1}{n} \frac{2}{\pi} \sin\left(\pi n \left(\frac{1}{2} + \Delta D_T\right)\right), \quad (\text{A.13})$$

$$= \begin{cases} \frac{1}{n} \frac{2}{\pi} (-1)^{\frac{n-1}{2}} \cos(\pi n \Delta D_T) & \text{für } n \text{ ungerade,} \\ \frac{1}{n} \frac{2}{\pi} (-1)^{\frac{n}{2}} \sin(\pi n \Delta D_T) & \text{für } n \text{ gerade.} \end{cases} \quad (\text{A.14})$$

Für kleine Tastgradfehler  $\Delta D_T$  können die trigonometrischen Funktionen genähert werden und es resultiert Gleichung 3.21.



**Abbildung A.1:** Näherungsweise Verlauf der Funktion aus Gleichung 3.19 bei Eingangssignalen  $u_e^-$  mit großen Amplituden.

## A.4 Lösung von Gleichung 3.13 im Frequenzbereich

Einsetzen der Definition der Fourier-Koeffizienten nach Gleichung 3.6 in Gleichung 3.13 liefert

$$\begin{aligned} \sum_{n=-\infty}^{\infty} (1 + j n 2\pi f_{\text{clk}} \tau_C) {}^n I_{\text{cap}} e^{jn2\pi f_{\text{clk}} t} \\ \approx C_E \left( \sum_{k=-\infty}^{\infty} k \mathcal{T} e^{jk2\pi f_{\text{clk}} t} \right) \left( \sum_{m=-\infty}^{\infty} j 2\pi m {}^m U_e^- e^{jm2\pi f_{\text{clk}} t} \right) \\ + C_{i0} \sum_{n=-\infty}^{\infty} j 2\pi n f_{\text{clk}} \tau_C {}^n U_e^+ e^{jn2\pi f_{\text{clk}} t}. \quad (\text{A.15}) \end{aligned}$$

Änderung der Summenindizes führt auf

$$\begin{aligned} \sum_{n=-\infty}^{\infty} (1 + j n 2\pi f_{\text{clk}} \tau_C) {}^n I_{\text{cap}} e^{jn2\pi f_{\text{clk}} t} \\ = C_E \sum_{n=-\infty}^{\infty} \sum_{m=-\infty}^{\infty} j 2\pi m f_{\text{clk}} {}^{n-m} \mathcal{T} {}^m U_e^- e^{jn2\pi f_{\text{clk}} t} \\ + C_{i0} \sum_{n=-\infty}^{\infty} j 2\pi n f_{\text{clk}} {}^n U_e^+ e^{jn2\pi f_{\text{clk}} t}. \quad (\text{A.16}) \end{aligned}$$

Durch Zusammenfassen der Summen ergibt sich, dass für jede Harmonische  $n$  gelten muss

$$(1 + j n 2\pi f_{\text{clk}} \tau_C) {}^n I_{\text{cap}} = C_E \left( \sum_{m=-\infty}^{\infty} j 2\pi m f_{\text{clk}} {}^{n-m} \mathcal{T} {}^m U_e^- \right) + C_{i0} j 2\pi n f_{\text{clk}} {}^n U_e^+. \quad (\text{A.17})$$

Auflösen nach  ${}^n I_{\text{cap}}$  ergibt

$${}^n I_{\text{cap}} = \frac{j 2\pi f_{\text{clk}}}{(1 + j 2\pi f_{\text{clk}} n \tau_C)} \left( C_E \left( \sum_{m=-\infty}^{\infty} m^{n-m} \mathcal{T}^m U_e^- \right) + C_{i0} n {}^n U_e^+ \right). \quad (\text{A.18})$$

Zusammen mit Gleichung 3.15 folgen aus Gleichung A.18 die Fourier-Koeffizienten des Gleichtakt-Transferstroms in Gleichung 3.27. Der Spezialfall  $n = 0$  kann durch Integration von Gleichung 3.13 über eine Periode des Taktsignals erhalten werden. Dabei ergibt sich wegen der Periodizität der Eingangssignale  $u_e^-$  und  $u_e^+$

$$\int_{-\frac{1}{2f_{\text{clk}}}}^{\frac{1}{2f_{\text{clk}}}} i_{\text{cap}} dt = 0, \quad (\text{A.19})$$

woraus mit der Definition aus Gleichung 3.7  ${}^0 I_{\text{cap}} = 0$  folgt.

Für die Fourier-Koeffizienten des Gleichtakt-Transferstroms gilt mit Gleichung 3.16

$$\sum_{n=-\infty}^{\infty} {}^n I_{\text{T}}^- e^{jn2\pi f_{\text{clk}} t} = \left( \sum_{m=-\infty}^{\infty} m I_{\text{T}}^+ e^{jm2\pi f_{\text{clk}} t} \right) \left( \sum_{k=-\infty}^{\infty} k \mathcal{T} e^{jk2\pi f_{\text{clk}} t} \right), \quad (\text{A.20})$$

$$\Leftrightarrow {}^n I_{\text{T}}^- = \sum_{m=-\infty}^{\infty} n-m \mathcal{T} m I_{\text{T}}^+ \quad \forall n \quad (\text{A.21})$$

Einsetzen von Gleichung 3.27 liefert unmittelbar Gleichung 3.23 bis Gleichung 3.26.

## Anhang B

### Herleitungen zu Kapitel 4

#### B.1 Effektive Phase der dritten Harmonischen bei einem Tiefpass-Filter

Im Folgenden wird gezeigt, dass die effektive Phase der dritten Harmonischen von ausreichend gedämpften Tiefpassfiltern, welche sich als eine Kaskade von PT1- und PT2-Gliedern zusammensetzen lassen, stets größer oder gleich null ist und mit der Taktfrequenz zunimmt. Ein Kriterium für die dafür notwendige Dämpfung des Filters wird im Zuge dessen hergeleitet.

Betrachtet wird im Folgenden eine Übertragungsfunktion der Form

$$H(j\omega) = K \left( \prod_{n=1}^{N_1} \frac{1}{1 + \frac{j\omega}{\omega_{n,I}}} \right) \left( \prod_{m=1}^{N_2} \frac{1}{1 + 2d_m \frac{j\omega}{\omega_{m,II}} + \left( \frac{j\omega}{\omega_{m,II}} \right)^2} \right), \quad (\text{B.1})$$

$$\text{wobei } K \in \mathbb{R} \text{ eine Konstante,} \quad (\text{B.2})$$

$$d_m > 0 \text{ Dämpfungskoeffizienten und} \quad (\text{B.3})$$

$$\omega_{n,I}, \omega_{m,II} > 0 \text{ Grenz- bzw. Resonanzfrequenzen der jeweiligen Filterterme.} \quad (\text{B.4})$$

Die Terme der Übertragungsfunktion  $H(j\omega)$  lassen sich in Euler-Darstellung schreiben als

$$|H(\omega)| e^{j\varphi_H(\omega)} = K \left( \prod_{n=1}^{N_1} \frac{1}{G_{n,I} e^{j\varphi_{n,I}(\omega)}} \right) \left( \prod_{m=1}^{N_2} \frac{1}{G_{m,II} e^{j\varphi_{m,II}(\omega)}} \right) \quad \text{mit} \quad (\text{B.5})$$

$$G_{n,I}, G_{m,II}, \varphi_{n,I}, \varphi_{m,II} \in \mathbb{R}, \quad (\text{B.6})$$

woraus für die Gesamtphase folgt

$$\varphi_H(j\omega) = - \sum_{n=1}^{N_1} \varphi_{n,I}(\omega) - \sum_{m=1}^{N_2} \varphi_{m,II}(\omega) \quad (\text{B.7})$$

und für die Phase der dritten Harmonischen

$$\tilde{\varphi}_{3,H} = \varphi_H(3\omega_{\text{clk}}) - 3\varphi_H(\omega_{\text{clk}}) \quad (\text{B.8})$$

$$= -\sum_{n=1}^{N_1} (\varphi_{n,I}(3\omega_{\text{clk}}) - 3\varphi_{n,I}(\omega_{\text{clk}})) - \sum_{m=1}^{N_2} (\varphi_{m,II}(3\omega_{\text{clk}}) - 3\varphi_{m,II}(\omega_{\text{clk}})) \quad (\text{B.9})$$

mit der Takt-Winkelfrequenz  $\omega_{\text{clk}} = 2\pi f_{\text{clk}}$ . Aus Gleichung B.8 folgt unmittelbar, dass  $\tilde{\varphi}_{3,H} = 0$ , wenn  $\omega_{\text{clk}} \rightarrow 0$ . Es genügt also zu zeigen, dass die effektive Phase der dritten Harmonischen  $\tilde{\varphi}_{3,H}$  über der Taktfrequenz steigt, um gleichzeitig zu zeigen, dass  $\tilde{\varphi}_{3,H} \geq 0$ . Eine hinreichende Bedingung für einen Anstieg von  $\tilde{\varphi}_{3,H}$  über der Taktfrequenz ist, wenn  $\forall n \in [1, N_1]$  und  $\forall m \in [1, N_2]$  gilt

$$\frac{d}{d\omega_{\text{clk}}} \varphi_{n,I}(3\omega_{\text{clk}}) - 3 \frac{d}{d\omega_{\text{clk}}} \varphi_{n,I}(\omega_{\text{clk}}) < 0, \quad (\text{B.10})$$

$$\wedge \frac{d}{d\omega_{\text{clk}}} \varphi_{m,II}(3\omega_{\text{clk}}) - 3 \frac{d}{d\omega_{\text{clk}}} \varphi_{m,II}(\omega_{\text{clk}}) < 0. \quad (\text{B.11})$$

### B.1.1 Herleitung für PT1-Glied

Die Terme

$$1 + \frac{j\omega}{\omega_{n,I}} \quad (\text{B.12})$$

aus Gleichung B.1 liegen ausschließlich im ersten Quadranten der komplexen Ebene. Für die Phase gilt damit

$$\varphi_{n,I}(\omega) = \arctan\left(\frac{\omega}{\omega_{n,I}}\right). \quad (\text{B.13})$$

Aus Gleichung B.10 folgt damit

$$\frac{3\omega_{n,I}}{(3\omega_{\text{clk}})^2 + \omega_{n,I}^2} - 3 \frac{\omega_{n,I}}{\omega_{\text{clk}}^2 + \omega_{n,I}^2} = 3\omega_{n,I} \frac{-8\omega_{\text{clk}}^2}{((3\omega_{\text{clk}})^2 + \omega_{n,I}^2)(\omega_{\text{clk}}^2 + \omega_{n,I}^2)} < 0 \text{ für } \omega_{\text{clk}} > 0. \quad (\text{B.14})$$

### B.1.2 Herleitung für PT2-Glied

Die Terme

$$1 + 2d_m \frac{j\omega}{\omega_{m,II}} + \left(\frac{j\omega}{\omega_m}\right)^2 = 1 - \left(\frac{\omega}{\omega_m}\right)^2 + 2d_m \frac{j\omega}{\omega_{m,II}} \quad (\text{B.15})$$

aus Gleichung B.1 liegen im ersten oder zweiten Quadranten der komplexen Ebene. Für die Phase gilt damit

$$\varphi_{n,I}(\omega) = \arctan \left( -\frac{1 - \left(\frac{\omega}{\omega_m}\right)^2}{2d_m \frac{\omega}{\omega_{m,II}}} \right) + \frac{\pi}{2}. \quad (\text{B.16})$$

Aus Gleichung B.11 folgt

$$6d_m \frac{1}{\omega_{m,II}} \frac{1 + \left(\frac{3\omega_{\text{clk}}}{\omega_m}\right)^2}{\left(1 - \left(\frac{3\omega_{\text{clk}}}{\omega_m}\right)^2\right)^2 + \left(2d_m \frac{3\omega_{\text{clk}}}{\omega_{m,II}}\right)^2} - 6d_m \frac{1}{\omega_{m,II}} \frac{1 + \left(\frac{\omega_{\text{clk}}}{\omega_m}\right)^2}{\left(1 - \left(\frac{\omega_{\text{clk}}}{\omega_m}\right)^2\right)^2 + \left(2d_m \frac{\omega_{\text{clk}}}{\omega_{m,II}}\right)^2} < 0. \quad (\text{B.17})$$

Durch äquivalente Umformung und Lösen einer kubischen Gleichung lässt sich zeigen, dass Gleichung B.17 erfüllt ist, wenn gilt

$$d_m > \sqrt{\frac{3}{4}} \approx 0,87. \quad (\text{B.18})$$

Gleichung B.18 stellt dabei eine hinreichende Bedingung an die Dämpfung des PT2-Gliedes dar, mit der die effektive Phase der dritten Harmonischen über der Frequenz steigt.

## B.2 Herleitungen zum dynamischen Überhöhungseffekt

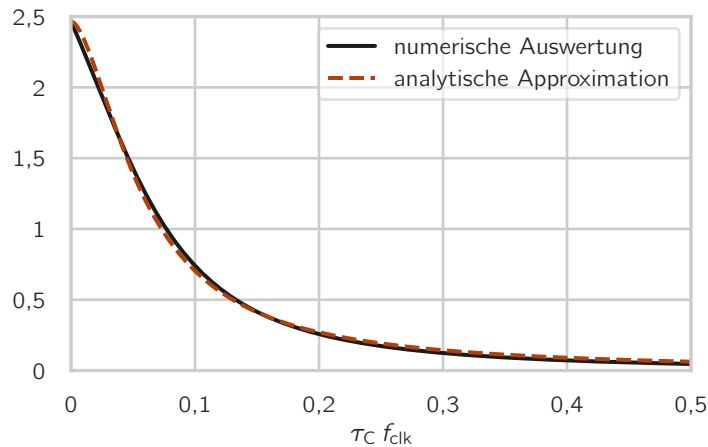
### B.2.1 Herleitung von Gleichung 4.3

Mit dem monofrequenten Eingangssignal aus Gleichung 4.2 ist  ${}^k U_e^-$  nur für  $k = \pm 1$  ungleich null mit  ${}^{-1}U_e^- = {}^1U_e^- = \hat{U}_e^-/2 \in \mathbb{R}$  und  ${}^n\mathcal{T}$  hat gemäß Gleichung 3.20 und Gleichung 3.21 nur Beiträge bei ungeraden Harmonischen  $n$  mit  ${}^{-n}\mathcal{T} = {}^n\mathcal{T} \in \mathbb{R}$ . Damit vereinfacht sich Gleichung 3.25 zu

$${}^1I_{T,B}^- := \pi C_E f_{\text{clk}} \frac{1}{2} \hat{U}_e^- \sum_{m=-\infty}^{\infty} \frac{{}^{1-m}\mathcal{T} ({}^{m-1}\mathcal{T} - {}^{m+1}\mathcal{T})}{2\pi m \tau_C f_{\text{clk}} - j}. \quad (\text{B.19})$$

Für  $\hat{U}_e^- \ll U_T$  folgt aus Gleichung B.19 mit Gleichung 3.20

$${}^1I_{T,B}^- \approx \frac{\pi}{2} \hat{U}_e^- C_E f_{\text{clk}} \frac{{}^{-1}\mathcal{T} {}^1\mathcal{T}}{2\pi 2 \tau_C f_{\text{clk}} - j} = \frac{\pi}{2} \hat{U}_e^- C_E f_{\text{clk}} \left( \frac{\hat{U}_e^-}{U_T} \right)^2 \frac{1}{4\pi \tau_C f_{\text{clk}} - j}. \quad (\text{B.20})$$



**Abbildung B.1:** Vergleich der numerischen Auswertung der Reihe aus Gleichung B.25 mit der zugehörigen analytischen Approximation.

Daraus folgt unmittelbar die erste der beiden Lösungen aus Gleichung 4.3.

Für  $\hat{U}_e^- \gg U_T$  folgt aus Gleichung B.19 mit Gleichung 3.21 und  $m = 2l$

$${}^1I_{T,B}^- \approx \frac{\pi}{2} \hat{U}_e^- C_E f_{\text{clk}} \sum_{l=-\infty}^{\infty} \frac{1}{4\pi l \tau_C f_{\text{clk}} - j} \frac{4}{\pi^2} \frac{1}{2l-1} \left( \frac{1}{2l-1} + \frac{1}{2l+1} \right) \quad (\text{B.21})$$

$$= \frac{2}{\pi} \hat{U}_e^- C_E f_{\text{clk}} \sum_{n=1}^{\infty} \frac{4}{4n^2-1} \left( \frac{1}{4\pi n \tau_C f_{\text{clk}} - j} \frac{n}{2n-1} + \frac{1}{-4\pi n \tau_C f_{\text{clk}} - j} \frac{-n}{-2n-1} \right) \quad (\text{B.22})$$

$$= \frac{2}{\pi} \hat{U}_e^- C_E f_{\text{clk}} (2\pi \tau_C f_{\text{clk}} + j) \sum_{n=1}^{\infty} \left( \frac{4n}{4n^2-1} \right)^2 \frac{1}{(4\pi n \tau_C f_{\text{clk}})^2 + 1}. \quad (\text{B.23})$$

Durch numerische Auswertung lässt sich die Reihe an den Struktur-erhaltenden Ansatz

$$k_1 \frac{1}{k_2 (4\pi n \tau_C f_{\text{clk}})^{k_3} + 1} \quad \text{mit} \quad k_1, k_2, k_3 \in \mathbb{R} \quad (\text{B.24})$$

approximieren zu

$$\sum_{n=1}^{\infty} \left( \frac{4n}{4n^2-1} \right)^2 \frac{1}{(4\pi n \tau_C f_{\text{clk}})^2 + 1} \approx \frac{\pi^2}{4} \frac{1}{1,7 (4\pi \tau_C f_{\text{clk}})^{1,7} + 1}. \quad (\text{B.25})$$

In Abbildung B.1 ist ein Vergleich der numerischen Auswertung der Reihe mit der Approximation in Gleichung B.25 für den Wertebereich  $\tau_C f_{\text{clk}} \in [0; 0,5]$  gezeigt. Damit ist der Taktfrequenzbereich bis nahe der Transitfrequenz der Transistoren abgedeckt, was sämtliche realistischen Anwendungsfälle berücksichtigt. Mit Gleichung B.25 folgt aus Gleichung B.23 die zweite der beiden Lösungen von Gleichung 4.3.



### B.2.2 Monotonie der Amplitude

Es ist zu zeigen, dass für  ${}^1I_{T,C} = 0$  gilt

$$\frac{d|{}^1I_T|}{dx} \geq 0, \quad (\text{B.26})$$

wobei  $x$  entweder die Taktfrequenz  $f_{\text{clk}}$  oder die Kapazität  $C_E$  bezeichnet. Um den Beweis im Folgenden für beide Fälle gemeinsam führen zu können, wird definiert

$$k_C := \frac{d(C_E f_{\text{clk}})}{dx} \quad \text{und} \quad k_\tau := \frac{d(\tau_C f_{\text{clk}})}{dx}. \quad (\text{B.27})$$

Es gilt für  $x = f_{\text{clk}}$

$$k_C = C_E \quad \text{und} \quad k_\tau := \tau_C \quad (\text{B.28})$$

sowie für  $x = C_E$  mit Gleichung 3.14

$$k_C := f_{\text{clk}} \geq 0 \quad \text{und} \quad k_\tau := f_{\text{clk}} \frac{U_T}{I_0} \geq 0. \quad (\text{B.29})$$

Beiden Fällen ist gemeinsam, dass mit Gleichung 3.14 gilt

$$k_C \tau_C \geq k_\tau C_E. \quad (\text{B.30})$$

Um Gleichung B.26 zu zeigen, kann wegen der Monotonie der Quadratfunktion für positive Argumente und wegen  ${}^1I_{T,A} \in \mathbb{R}$  alternativ gezeigt werden, dass

$$\frac{d|{}^1I_T|^2}{dx} = \frac{d}{dx} \left( ({}^1I_{T,A})^2 + 2 {}^1I_{T,A} \operatorname{Re} \{ {}^1I_{T,B} \} + |{}^1I_{T,B}|^2 \right) \geq 0. \quad (\text{B.31})$$

Es wird im Folgenden gezeigt, dass die Ableitung jeder der drei Terme in Gleichung B.31 größer oder gleich null ist.

Der Term  ${}^1I_{T,A}$  ist konstant in Bezug auf  $x$  und verschwindet daher beim Ableiten.

Mit  ${}^1I_{T,A} \geq 0$  (siehe Gleichung 3.20 bzw. Gleichung 3.21) folgt für den zweiten Term aus Gleichung B.31 die Bedingung

$$\frac{d}{dx} \operatorname{Re} \{ {}^1I_{T,B} \} \geq 0, \quad (\text{B.32})$$

welche mit Gleichung 4.3 und Gleichung B.30 äquivalent zu

$$\begin{aligned} & (k_C \tau_C + k_\tau C_E) \left( 1,7 (4\pi \tau_C f_{\text{clk}})^{1,7} + 1 \right) - k_\tau C_E (1,7)^2 (4\pi \tau_C f_{\text{clk}})^{1,7} \\ & \geq 2 k_\tau C_E \left( 1,7 (4\pi \tau_C f_{\text{clk}})^{1,7} + 1 \right) - k_\tau C_E (1,7)^2 (4\pi \tau_C f_{\text{clk}})^{1,7} \\ & = 0,3 k_\tau C_E 1,7 (4\pi \tau_C f_{\text{clk}})^{1,7} + 2 k_\tau C_E \\ & \geq 0 \end{aligned} \quad (\text{B.33})$$

und folglich stets erfüllt ist.

Die Bedingung

$$\frac{d}{dx} |{}^1I_{T,B}|^2 \geq 0 \quad (\text{B.34})$$

ist mit Gleichung 4.3 und der abkürzenden Schreibweise  $x_f := 2\pi \tau_C f_{\text{clk}}$  äquivalent zu

$$\left( k_C \tau_C (x_f^2 + 1) + k_\tau C_E x_f^2 \right) (1,7 (2x_f)^{1,7} + 1) - 1,7^2 k_\tau C_E (2x_f)^{1,7} (x_f^2 + 1) \geq 0. \quad (\text{B.35})$$

Mit Gleichung B.30 folgt

$$(2x_f^2 + 1) (1,7 (2x_f)^{1,7} + 1) - 1,7^2 (2x_f)^{1,7} (x_f^2 + 1) \geq 0, \quad (\text{B.36})$$

wofür sich numerisch zeigen lässt, dass dies für alle  $x_f \geq 0$  erfüllt ist. Somit ist die Bedingung Gleichung B.26 stets erfüllt.

### B.2.3 Monotonie der Phase bei der Grundfrequenz

Es ist eine Bedingung herzuleiten, für welche die Phase des Zeigers  ${}^1I_T$  monoton mit der Taktfrequenz  $f_{\text{clk}}$  steigt. Gemäß Abbildung 4.9a liegt  ${}^1I_T$  stets im ersten Quadranten, sodass für seine Phase gilt

$$\varphi_1 = \arctan \left( \frac{\text{Im} \{ {}^1I_{T,B} \}}{{}^1I_{T,A} + \text{Re} \{ {}^1I_{T,B} \}} \right) \approx \arctan \left( \frac{\text{Im} \{ {}^1I_{T,B} \}}{{}^1I_{T,A}} \right), \quad (\text{B.37})$$

wobei die Näherung getroffen werden kann, da sich für typische Schaltungsparameter die Amplitude und damit die Länge des Zeigers  ${}^1I_T$  nur um 10 bis 20% von jener des statischen Anteils  ${}^1I_{T,A}$  unterscheidet.

Damit  $\varphi_1$  monoton mit der Taktfrequenz steigt, muss wegen  ${}^1I_{T,A} = \text{const}(f_{\text{clk}}) \geq 0$  folglich gelten

$$\frac{d}{df_{\text{clk}}} \text{Im} \{ {}^1I_{T,B} \} \geq 0. \quad (\text{B.38})$$

Dies ist mit Gleichung 4.3 äquivalent zu

$$1 - 0,7 \cdot 1,7 (4\pi \tau_C f_{\text{clk}})^{1,7} \geq 0, \quad (\text{B.39})$$

woraus die Bedingung in Gleichung 4.4 folgt.

### B.2.4 Herleitung von Gleichung 4.5

Mit dem monofrequenten Eingangssignal aus Gleichung 4.2 ist  ${}^k U_e^-$  nur für  $k = \pm 1$  ungleich null mit  ${}^{-1}U_e^- = {}^1U_e^- = \hat{U}_e^-/2 \in \mathbb{R}$  und  ${}^n\mathcal{T}$  hat gemäß Gleichung 3.20 und Gleichung 3.21 nur Beiträge bei ungeraden Harmonischen  $n$  mit  ${}^{-n}\mathcal{T} = {}^n\mathcal{T} \in \mathbb{R}$ . Damit vereinfacht sich Gleichung 3.25 zu

$${}^3I_{T,B}^- := \pi C_E f_{\text{clk}} \frac{1}{2} \hat{U}_e^- \sum_{m=-\infty}^{\infty} \frac{{}^{3-m}\mathcal{T} ({}^{m-1}\mathcal{T} - {}^{m+1}\mathcal{T})}{2\pi m \tau_C f_{\text{clk}} - j}. \quad (\text{B.40})$$

Für  $\hat{U}_e^- \gg U_T$  folgt aus Gleichung B.40 mit Gleichung 3.21 und  $m = 2l$

$${}^3I_{T,B}^- \approx \frac{\pi}{2} \hat{U}_e^- C_E f_{\text{clk}} \sum_{l=-\infty}^{\infty} \frac{1}{4\pi l \tau_C f_{\text{clk}} - j} \frac{4}{\pi^2} \frac{-1}{2l-3} \left( \frac{1}{2l-1} + \frac{1}{2l+1} \right) \quad (\text{B.41})$$

$$= \frac{2}{\pi} \hat{U}_e^- C_E f_{\text{clk}} \sum_{n=1}^{\infty} \frac{4}{4n^2-1} \left( \frac{1}{4\pi n \tau_C f_{\text{clk}} - j} \frac{-n}{2n-3} + \frac{1}{-4\pi n \tau_C f_{\text{clk}} - j} \frac{n}{-2n-3} \right) \quad (\text{B.42})$$

$$= -\frac{2}{\pi} \hat{U}_e^- C_E f_{\text{clk}} (6\pi \tau_C f_{\text{clk}} + j) \sum_{n=1}^{\infty} \frac{(4n)^2}{(4n^2-1)(4n^2-9)} \frac{1}{(4\pi n \tau_C f_{\text{clk}})^2 + 1}. \quad (\text{B.43})$$

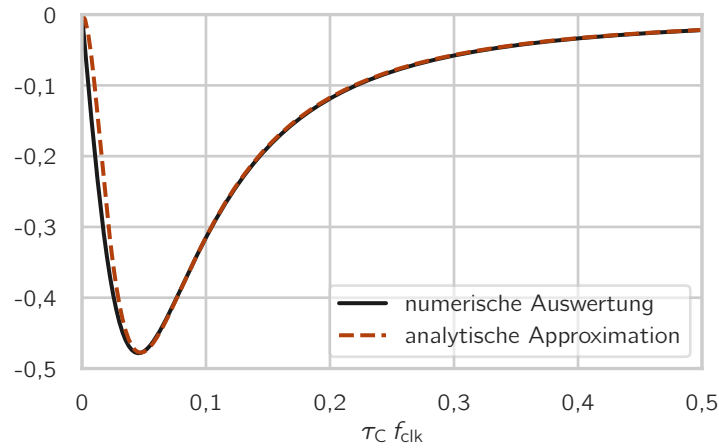
Die Reihe in Gleichung B.43 wird wie in Anhang B.2.1 mithilfe einer numerischen Auswertung an einen analytischen, Struktur-erhaltenden Ansatz angenähert. Hierzu wird die Approximation für die positiven Reihenterme ab  $n \geq 2$  durchgeführt und der erste, negative Reihenterm separat betrachtet. Es folgt damit

$$\sum_{n=1}^{\infty} \frac{(4n)^2}{(4n^2-1)(4n^2-9)} \frac{1}{(4\pi n \tau_C f_{\text{clk}})^2 + 1} \quad (\text{B.44})$$

$$\approx -\frac{16}{15} \frac{1}{(4\pi \tau_C f_{\text{clk}})^2 + 1} + \frac{16}{15} \frac{1}{8(4\pi \tau_C f_{\text{clk}})^2 + 1} \quad (\text{B.45})$$

$$\approx -\frac{7(4\pi \tau_C f_{\text{clk}})^2}{(8(4\pi \tau_C f_{\text{clk}})^2 + 1)((4\pi \tau_C f_{\text{clk}})^2 + 1)}. \quad (\text{B.46})$$

In Abbildung B.2 ist ein Vergleich der numerischen Auswertung der Reihe aus Gleichung B.44 mit der Approximation in Gleichung B.46 für den Wertebereich  $\tau_C f_{\text{clk}} \in [0; 0,5]$  gezeigt. Damit ist der Taktfrequenzbereich bis nahe der Transitfrequenz der Transistoren abgedeckt, was sämtliche realistischen Anwendungsfälle berücksichtigt. Mit Gleichung B.46 folgt aus Gleichung B.43 die zu zeigende Gleichung 4.5.



**Abbildung B.2:** Vergleich der numerischen Auswertung der Reihe aus Gleichung B.44 mit der zugehörigen analytischen Approximation aus Gleichung B.46.

### B.2.5 Monotonie der Phase bei der dritten Harmonischen

Der Zeiger  ${}^3I_T$  liegt für  ${}^3I_{T,C} = 0$  gemäß Abbildung 4.9b im ersten oder zweiten Quadranten, sodass für seine Phase gilt

$$\varphi_3 = \frac{\pi}{2} - \arctan\left(\frac{\operatorname{Re}\{{}^3I_T\}}{\operatorname{Im}\{{}^3I_T\}}\right). \quad (\text{B.47})$$

Damit die Phase  $\varphi_3$  mit steigender Taktfrequenz fällt, muss darauf basierend gelten

$$\operatorname{Im}\{{}^3I_T\} \frac{d \operatorname{Re}\{{}^3I_T\}}{d f_{\text{clk}}} - \operatorname{Re}\{{}^3I_T\} \frac{d \operatorname{Im}\{{}^3I_T\}}{d f_{\text{clk}}} \geq 0. \quad (\text{B.48})$$

Mit Gleichung 3.24 und Gleichung 4.5 gilt für  ${}^3I_{T,C} = 0$

$$\operatorname{Re}\{{}^3I_T\} = \frac{1}{2} I_0 {}^3\mathcal{T} + 6\pi \tau_C f_{\text{clk}} \operatorname{Im}\{{}^3I_T\}, \quad (\text{B.49})$$

womit aus Gleichung B.48 folgt

$$6\pi \tau_C \left(\operatorname{Im}\{{}^3I_T\}\right)^2 - \frac{1}{2} I_0 {}^3\mathcal{T} \frac{d \operatorname{Im}\{{}^3I_T\}}{d f_{\text{clk}}} \geq 0. \quad (\text{B.50})$$

Einsetzen von Gleichung 4.5 führt zu der dazu äquivalenten Bedingung

$$\begin{aligned} & \left(84 \hat{U}_e^- \tau_C C_E - 4 I_0 (4\pi \tau_C)^4 (-{}^3\mathcal{T})\right) f_{\text{clk}}^4 \\ & + \frac{9}{2} I_0 (4\pi \tau_C)^2 (-{}^3\mathcal{T}) f_{\text{clk}}^2 + \frac{3}{2} I_0 (-{}^3\mathcal{T}) \geq 0, \end{aligned} \quad (\text{B.51})$$

wobei zu beachten ist, dass  ${}^3\mathcal{T}$  nach Gleichung 3.21 negativ ist. In der Bedingung nach Gleichung B.51 kann nur der zu  $f_{\text{clk}}^4$  proportionale Term negativ werden. Da die Bedingung für alle Taktfrequenzen gelten soll, muss der zu  $f_{\text{clk}}^4$  proportionale Term größer oder gleich null sein, damit die Monotonie der Phase  $\varphi_3$  gewährleistet ist. Es folgt daraus für die Gegentakt-Eingangsamplitude

$$\hat{U}_e^- \geq -{}^3\mathcal{T} \frac{16}{21} \pi^2 \frac{I_0 \tau_C}{C_E} = -{}^3\mathcal{T} \frac{16}{21} \pi^2 \left( U_T + \tau_F \frac{I_0}{C_E} \right). \quad (\text{B.52})$$

Die größte Schranke ergibt sich, wenn  ${}^3\mathcal{T}$  seinen betragsmäßig maximalen Wert aus Gleichung 3.21 annimmt. Dann muss gelten

$$\hat{U}_e^- \geq \frac{32}{63} \pi \left( U_T + \tau_F \frac{I_0}{C_E} \right) \approx \frac{1}{2} \pi \left( U_T + \tau_F \frac{I_0}{C_E} \right), \quad (\text{B.53})$$

was Gleichung 4.6 entspricht.

### B.2.6 Herleitung von Gleichung 4.7

Im Folgenden wird eine Bedingung für die Vernachlässigbarkeit von  $|{}^n I_{T,C}^-|$  im Vergleich zu  $|{}^n I_{T,B}^-|$  für  $n = 1$  und  $n = 3$  hergeleitet, wenn der betrachtete SS von einem vorgeschalteten SS angesteuert wird. Zu beachten ist, dass die resultierende Bedingung nicht als harter Grenzwert, sondern als Faustformel für eine Abschätzung der Größenordnung der Bauteilparameter betrachtet werden sollte, da die folgende Herleitung auf mehreren Näherungen beruht. Die Übertragungsfunktion zwischen den beiden SSs für den Gleichtakt sei

$${}^m U_e^+ = R_q \frac{1}{1 + \frac{j 2\pi m f_{\text{clk}}}{f_q}} {}^m I_{T,q}^+, \quad (\text{B.54})$$

wobei  $R_q$  ein reeller Widerstand,  ${}^m I_{T,q}^+$  die Koeffizienten des Gleichtakt-Transferstroms des vorgeschalteten SS,  ${}^m U_e^+$  jene der Gleichtakt-Eingangsspannung des betrachteten SS und  $f_q$  die Grenzfrequenz der Übertragungsfunktion zwischen den beiden SS seien. Für die Grenzfrequenz  $f_q$  wird im Folgenden angenommen, dass

$$\tau_C f_q \leq 0,075. \quad (\text{B.55})$$

Mit den typischen Parameterwerten aus Tabelle 4.1 entspricht dies einer Grenzfrequenz im Bereich von 0 bis 170 GHz, womit sämtliche realitätsnahen Anwendungsfälle abgedeckt sein dürften, sodass es sich bei der Bedingung aus Gleichung B.55 um keine nennenswerte Einschränkung der Allgemeingültigkeit handelt. Im Falle einer schnelleren Transistortechnologie vergrößert sich aufgrund des verringerten Parameters  $\tau_C$  der Wertebereich der Grenzfrequenz entsprechend.

Mit dem monofrequenten Gegentakt-Eingangssignal aus Gleichung 4.2 des betrachteten SS ist  ${}^k U_e^-$  nur für  $k = \pm 1$  ungleich null mit  ${}^{-1} U_e^- = {}^1 U_e^- = \hat{U}_e^- / 2 \in \mathbb{R}$  und  ${}^n \mathcal{T}$  hat

gemäß Gleichung 3.20 und Gleichung 3.21 nur Beiträge bei ungeraden Harmonischen  $n$  mit  $^{-n}\mathcal{T} = {}^n\mathcal{T} \in \mathbb{R}$ . Damit vereinfacht sich Gleichung 3.25 zu

$${}^n I_{T,B}^- := \pi C_E f_{\text{clk}} \frac{1}{2} \hat{U}_e^- \sum_{m=-\infty}^{\infty} \frac{{}^{n-m}\mathcal{T} ({}^{m-1}\mathcal{T} - {}^{m+1}\mathcal{T})}{2\pi m \tau_C f_{\text{clk}} - j}. \quad (\text{B.56})$$

Gleichung 3.26 zur Bestimmung von  ${}^n I_{T,C}^-$  bleibt unverändert.

Unter der Annahme, dass der vorgeschaltete SS mit einem sinusförmigen Gegentakt-Eingangssignal mit Amplitude  $\hat{U}_{e,q}^-$  und mit verschwindendem Gleichtakt-Eingangssignal angesteuert wird, gilt mit Gleichung 3.27 für den Gegentakt-Transferstrom am Ausgang für Harmonische  $m \neq 0$

$${}^m I_{T,q}^+ = \frac{\pi f_{\text{clk}}}{2\pi m \tau_{C,q} f_{\text{clk}} - j} C_{E,q} \frac{1}{2} \hat{U}_{e,q}^- ({}^{m-1}\mathcal{T}_q - {}^{m+1}\mathcal{T}_q). \quad (\text{B.57})$$

Hierbei bezeichnen  ${}^n\mathcal{T}_q$  die Koeffizienten  ${}^n\mathcal{T}$  des vorgeschalteten SS und  $\tau_{C,q}$  ist dessen modifizierte Transitzeit. Im Folgenden wird der Fall betrachtet, dass sowohl vorgeschalteter als auch betrachteter SS mit Eingangsamplituden betrieben werden, welche deutlich größer als  $U_T$  sind. Somit gilt sowohl für  ${}^n\mathcal{T}_q$  als auch für  ${}^n\mathcal{T}$  jeweils Gleichung 3.21. Im Falle, dass der vorgeschaltete SS mit niedrigeren Amplituden angesteuert wird, gilt für  ${}^n\mathcal{T}_q$  Gleichung 3.20, aus der folgt, dass keine Beiträge bei geraden Harmonischen  $n$  auftreten und damit  ${}^n I_{T,C}^-$  für  $n = 1$  und  $n = 3$  zu null wird. Der Fall kleiner Eingangsamplituden am betrachteten SS wiederum ist nicht relevant, da der dynamische Überhöhungseffekt dabei ohnehin nicht nennenswert auftritt (siehe Abschnitt 4.2).

Als Näherung wird im Folgenden angenommen, dass die modifizierte Transitzeit  $\tau_{C,q}$  des vorgeschalteten SS in etwa der des betrachteten SS entspricht, da die modifizierte Transitzeit typischerweise im Wesentlichen durch die Transitzeit  $\tau_F$  dominiert wird, welche bei allen Transistoren innerhalb derselben Technologie vergleichbar ist.

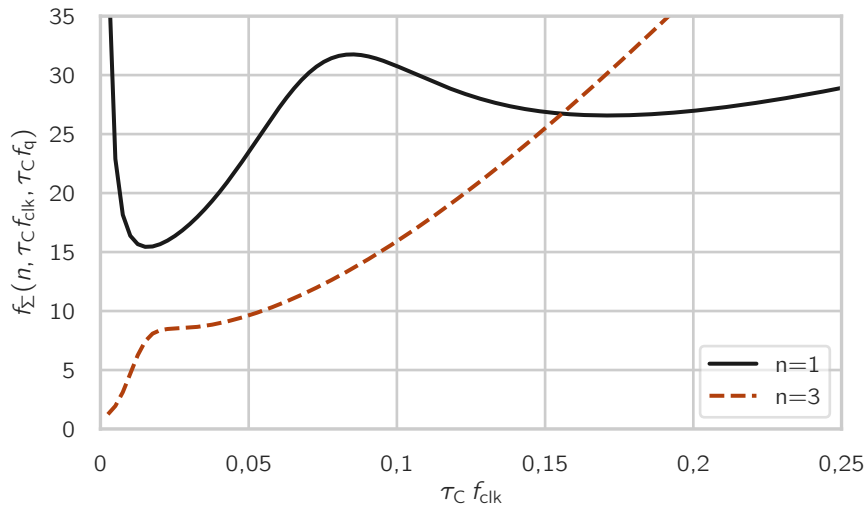
Mit Gleichung B.57, Gleichung B.54, Gleichung 3.26 und Gleichung B.56 folgt für das Verhältnis der Beträge von  $|{}^n I_{T,B}^-|$  und  $|{}^n I_{T,C}^-|$

$$\frac{|{}^n I_{T,B}^-|}{|{}^n I_{T,C}^-|} = \frac{2\tau_C}{C_{i0} R_q} \frac{C_E \hat{U}_e^-}{C_{E,q} \hat{U}_{e,q}^-} \frac{\left| \sum_{m=-\infty}^{\infty} \frac{{}^{n-m}\mathcal{T} ({}^{m-1}\mathcal{T} - {}^{m+1}\mathcal{T})}{2\pi m \tau_C f_{\text{clk}} - j} \right|}{\left| \sum_{m=-\infty}^{\infty} \frac{{}^{n-m}\mathcal{T} ({}^{m-1}\mathcal{T} - {}^{m+1}\mathcal{T})}{(2\pi m \tau_C f_{\text{clk}} - j)^2} \frac{1}{\frac{1}{2\pi m \tau_C f_{\text{clk}}} + \frac{j}{\tau_C f_q}} \right|} \quad (\text{B.58})$$

$$=: \frac{2\tau_C}{C_{i0} R_q} \frac{C_E \hat{U}_e^-}{C_{E,q} \hat{U}_{e,q}^-} f_{\Sigma}(n, \tau_C f_{\text{clk}}, \tau_C f_q). \quad (\text{B.59})$$

Da für ein Tastgradfehler-freies Taktsignal nur ungerade Koeffizienten  ${}^n\mathcal{T}$  nach Gleichung 3.21 existieren, folgt mit der Verschiebung der Summationsindizes  $m = 2k$

$${}^{n-m}\mathcal{T} ({}^{m-1}\mathcal{T} - {}^{m+1}\mathcal{T}) = (-1)^{\frac{n+1}{2}} \frac{4}{\pi^2} \frac{1}{n-2k} \frac{4k}{4k^2-1}. \quad (\text{B.60})$$



**Abbildung B.3:** Numerische Auswertung von Gleichung B.61 für  $\tau_C f_q = 0,075$ .

Damit folgt aus Gleichung B.59

$$f_{\Sigma}(n, \tau_C f_{\text{clk}}, \tau_C f_q) = \frac{\left| \sum_{k=-\infty}^{\infty} \frac{1}{n-2k} \frac{4k}{4k^2-1} \frac{1}{4\pi k \tau_C f_{\text{clk}} - j} \right|}{\left| \sum_{k=-\infty}^{\infty} \frac{1}{n-2k} \frac{4k}{4k^2-1} \frac{1}{(4\pi k \tau_C f_{\text{clk}} - j)^2} \frac{1}{\frac{1}{4\pi k \tau_C f_{\text{clk}}} + \frac{j}{\tau_C f_q}} \right|}. \quad (\text{B.61})$$

Relevant für Amplitude, Grenzfrequenz und Flankensteilheit sind die Komponenten bei  $n = 1$  und  $n = 3$ . Je größer  $f_{\Sigma}(n, \tau_C f_{\text{clk}}, \tau_C f_q)$  ist, desto besser ist  $|{}^n I_{T,C}^-|$  gemäß Gleichung B.58 gegenüber  $|{}^n I_{T,B}^-|$  vernachlässigbar. Im Sinne einer worst-case-Betrachtung ist folglich der Minimalwert von  $f_{\Sigma}(n, \tau_C f_{\text{clk}}, \tau_C f_q)$  über alle relevanten Taktfrequenzen  $f_{\text{clk}}$  und Grenzfrequenzen  $f_q$  interessant. Da  $f_{\Sigma}(n, \tau_C f_{\text{clk}}, \tau_C f_q)$  gemäß Gleichung B.61 für  $f_q \rightarrow 0$  gegen unendlich geht, wird für die worst-case-Betrachtung der Grenzwert  $\tau_C f_q = 0,075$  aus Gleichung B.55 gewählt. Abbildung B.3 zeigt das Ergebnis einer numerischen Auswertung von  $f_{\Sigma}(n, \tau_C f_{\text{clk}}, \tau_C f_q)$  im Bereich  $0 \leq \tau_C f_{\text{clk}} \leq 0,25$ , was bei typischen Werten von  $\tau_C \approx 450$  fs Taktfrequenzen bis über 500 GHz entspricht. Für  $n = 1$  liegt der Graph stets oberhalb einer unteren Schranke von 16. Für  $n = 3$  beginnt der Graph für niedrige Taktfrequenzen bei 1. Bei solch niedrigen Taktfrequenzen ist jedoch noch nicht mit einem nennenswerten Effekt der Anteile  $|{}^n I_{T,B}^-|$  und  $|{}^n I_{T,C}^-|$  zu rechnen. Es wird daher erst der Kurvenverlauf ab  $\tau_C f_{\text{clk}} \geq 0,01$ , entsprechend Taktfrequenzen ab circa 25 GHz betrachtet. In diesem Bereich gilt  $f_{\Sigma}(n, \tau_C f_{\text{clk}}, \tau_C f_q) \geq 5$ . Damit und der Forderung  $|{}^n I_{T,B}^-| \gg |{}^n I_{T,C}^-|$  folgt aus Gleichung B.59 die zu zeigende Gleichung 4.7.

# Anhang C

## Herleitungen zu Kapitel 5

### C.1 Herleitung von Gleichung 5.9

In [78] wird der Tastgradfehler eines mit einer linearen Übertragungsfunktion gefilterten Rechtecksignals hergeleitet. Im Folgenden findet sich eine im Rahmen dieser Arbeit entwickelte Erweiterung der Herleitung, welche einen zusätzlichen Gleichanteil des Rechtecksignals berücksichtigt.

In Abbildung C.1 ist ein Ausschnitt aus einem Rechtecksignal mit Spitze-Tal-Wert  $\pi |^1 I_q^-|$ , Tastgradfehler  $\Delta D_q$ , Gleichanteil  ${}^0 I_q^-$  und Taktfrequenz  $f_{\text{clk}}$  abgebildet. Das Rechtecksignal durchläuft eine Filterfunktion  $H(j\omega)$  mit zugehöriger Sprungantwort  $R(t)$  und Impulsantwort

$$h(t) = \frac{dR}{dt}. \quad (\text{C.1})$$

Die Zeitverzögerung der Filterfunktion wird mit  $t_H$  bezeichnet.

Ein ideales Rechteck-Stromsignal ohne Tastgradfehler und ohne Gleichanteil hat nach der Filterung mit  $H(j\omega)$  bei seinen Nulldurchgängen die Werte

$$i_H \left( \frac{n}{2f_{\text{clk}}} + t_H \right) = \pi |^1 I_q^-| \left( \sum_{l=\text{gerade}} R \left( \frac{n-l}{2f_{\text{clk}}} + t_H \right) - \sum_{m=\text{ungerade}} R \left( \frac{n-m}{2f_{\text{clk}}} + t_H \right) \right). \quad (\text{C.2})$$

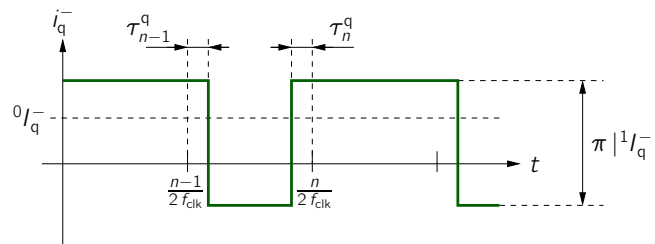


Abbildung C.1: Definition der Größen des unfilterten Rechtecksignals.



Bei dem Signal mit Tastgradfehler aus Abbildung C.1 weichen die Zeitpunkte der Nulldurchgänge um

$$\tau_n^q = (-1)^{n+1} \frac{\Delta D_q}{2 f_{\text{clk}}} \quad (\text{C.3})$$

von den Idealpositionen ohne Tastgradfehler ab. Der Gleichanteil des Signals aus Abbildung C.1

$${}^0I_q^- = {}^0I_{q,\Delta}^- + {}^0I_{q,Z}^- \quad (\text{C.4})$$

setzt sich zusammen aus einem Teil

$${}^0I_{q,\Delta}^- = \Delta D_q \pi |{}^1I_q^-|, \quad (\text{C.5})$$

welcher gemäß Gleichung 5.7 dem Gleichanteil eines Rechtecksignals mit symmetrischen Endwerten entspricht und einer eventuell vorhandenen zusätzlichen Verschiebung  ${}^0I_{q,Z}^-$ . Für die Nulldurchgänge des zugehörigen Signals nach Filterung durch  $H(j\omega)$  folgt damit

$$\begin{aligned} \tilde{i}_H \left( \frac{n}{2 f_{\text{clk}}} + t_H + \tau_n^T \right) &= \pi |{}^1I_q^-| \left( \sum_{l=\text{gerade}} R \left( \frac{n-l}{2 f_{\text{clk}}} + t_H + \tau_n^T - \tau_l^q \right) \right. \\ &\quad \left. - \sum_{m=\text{ungerade}} R \left( \frac{n-m}{2 f_{\text{clk}}} + t_H + \tau_n^T - \tau_m^q \right) \right) + H(0) {}^0I_{q,Z}^-. \end{aligned} \quad (\text{C.6})$$

Hierbei bezeichnet  $\tau_n^T$  die Abweichung der Nulldurchgänge des gefilterten Signals von den Idealwerten. Da beide Gleichungen C.2 und C.6 jeweils die Signale zum Zeitpunkt ihrer Nulldurchgänge beschreiben, welche dann konsequenterweise null sind, können die Gleichungen gleichgesetzt werden. Es folgt durch Sortieren der Terme und Linearisieren von  $R(t)$  mit

$$R(t_0 + t_\Delta) - R(t_0) =: t_\Delta \left. \frac{dR}{dt} \right|_{t=t_0} = t_\Delta h(t_0) \quad (\text{C.7})$$

aus Gleichung C.2 und Gleichung C.6

$$\begin{aligned} \pi |{}^1I_q^-| \left( \sum_{l=\text{gerade}} h \left( \frac{n-l}{2 f_{\text{clk}}} + t_H \right) (\tau_n^T - \tau_l^q) - \sum_{m=\text{ungerade}} h \left( \frac{n-m}{2 f_{\text{clk}}} + t_H \right) (\tau_n^T - \tau_m^q) \right) \\ = -H(0) {}^0I_{q,Z}^- \end{aligned} \quad (\text{C.8})$$

und mit Gleichung C.3

$$\tau_n^T = - \frac{H(0) {}^0I_{q,Z}^- + \pi |{}^1I_q^-| \frac{\Delta D_q}{2 f_{\text{clk}}} \sum_{k=-\infty}^{\infty} h \left( \frac{n-k}{2 f_{\text{clk}}} + t_H \right)}{\pi |{}^1I_q^-| \sum_{k=-\infty}^{\infty} (-1)^k h \left( \frac{n-k}{2 f_{\text{clk}}} + t_H \right)}. \quad (\text{C.9})$$

Mithilfe der Poissonschen Summenformel [106]

$$\sum_{k=-\infty}^{\infty} h(t - nT) = \frac{1}{T} \sum_{k=-\infty}^{\infty} H\left(j2\pi \frac{k}{T}\right) e^{j2\pi \frac{k}{T} t} \quad (\text{C.10})$$

und dem Zusammenhang  $\tau_n^T = (-1)^{n+1} \frac{\Delta D_T}{2f_{\text{clk}}}$  folgt aus Gleichung C.9

$$\Delta D_T = \frac{\frac{1}{\pi} \frac{H(0) {}^0I_{q,Z}^-}{|{}^1I_q^-|} + \Delta D_q \left( \sum_{n=-\infty}^{\infty} H(j2\pi 2n f_{\text{clk}}) e^{j4\pi n f_{\text{clk}} t_H} \right)}{\sum_{n=-\infty}^{\infty} H(j2\pi(2n+1) f_{\text{clk}}) e^{j2\pi(2n+1) f_{\text{clk}} t_H}}. \quad (\text{C.11})$$

Der Beitrag der Summe im Zähler für  $n = 0$  kann zusammen mit dem Beitrag durch  ${}^0I_{q,Z}^-$  gemäß Gleichung C.4 und Gleichung C.5 in einen Beitrag durch  ${}^0I_q^-$  zusammengefasst werden, womit Gleichung 5.9 resultiert.

## C.2 Herleitung von Gleichung 5.11

Zur Herleitung der den Anteil  ${}^0I_{T,A}^-$  beschreibenden Gleichung 5.11 wird das zu den Fourier-Koeffizienten  ${}^nI_{T,A}^-$  gehörende Zeitsignal  $i_{T,A}^-(t)$  betrachtet.

*Fall 1:* Sinusförmiges Signal. In diesem Fall ist das Signal vollständig durch seine Komponente bei der Grundfrequenz  ${}^1I_{T,A}^-$  und seinen Gleichanteil  ${}^0I_{T,A}^-$  beschrieben. Die Phase des Signals spielt für den Tastgrad keine Rolle, sodass ohne Beschränkung der Allgemeinheit

$$i_{T,A}^-(t) = 2 |{}^1I_{T,A}^-| \cos(2\pi f_{\text{clk}} t) + {}^0I_{T,A}^- \quad (\text{C.12})$$

angenommen werden kann. Für die Nulldurchgänge des Signals gilt

$$0 = i_{T,A}^- \left( \frac{1}{f_{\text{clk}}} \left( \frac{1}{4} + \frac{\Delta D_T}{2} \right) \right) = 2 |{}^1I_{T,A}^-| \cos \left( \frac{\pi}{2} + \pi \Delta D_T \right) + {}^0I_{T,A}^-, \quad (\text{C.13})$$

$$\Leftrightarrow {}^0I_{T,A}^- = 2 |{}^1I_{T,A}^-| \sin(\pi \Delta D_T). \quad (\text{C.14})$$

Für kleine Tastgradfehler  $\Delta D_T$  ergibt sich näherungsweise

$${}^0I_{T,A}^- \approx 2\pi |{}^1I_{T,A}^-| \Delta D_T. \quad (\text{C.15})$$

*Fall 2:* Rechteckförmiges Signal. Aus Gleichung 3.24 und Gleichung 3.19 folgt, dass das Signal  $i_{T,A}^-(t)$  in diesem Fall symmetrische Endwerte  $\pm I_0/2$  aufweist. Für die zugehörige Amplitude bei der Grundfrequenz gilt mit Abbildung 4.7

$$|{}^1I_{T,A}^-| = \frac{2}{\pi} \frac{I_0}{2}. \quad (\text{C.16})$$

Für den Gleichanteil gilt nach Gleichung 5.4

$${}^0I_{T,A}^- = f_{\text{clk}} \left( \int_0^{\frac{1}{2f_{\text{clk}}}(1+\Delta D_T)} \frac{I_0}{2} dt + \int_{\frac{1}{2f_{\text{clk}}}(1+\Delta D_T)}^{\frac{1}{f_{\text{clk}}}} -\frac{I_0}{2} dt \right), \quad (\text{C.17})$$

$$= \frac{I_0}{2} \Delta D_T = \pi |{}^1I_{T,A}^-| \Delta D_T. \quad (\text{C.18})$$

Zusammen ergibt sich die zu zeigende Gleichung 5.11.

### C.3 Herleitung von Gleichung 5.13

Mit  $n = 0$  folgt aus Gleichung 3.25

$${}^0I_{T,B}^- := \pi C_E f_{\text{clk}} \sum_{k=-\infty}^{\infty} k {}^kU_e^- \underbrace{\sum_{m=-\infty}^{\infty} \frac{-m\mathcal{T}^{m-k}\mathcal{T}}{2\pi m \tau_C f_{\text{clk}} - j}}_{:=\Sigma_{T,B}}. \quad (\text{C.19})$$

Aufspalten der Terme der Reihe  $\Sigma_{T,B}$  in gerade und ungerade Anteile liefert

$$\Sigma_{T,B} = \sum_{m=-\infty}^{\infty} \frac{-(2m-1)\mathcal{T}^{2m-1-k}\mathcal{T}}{2\pi(2m-1)\tau_C f_{\text{clk}} - j} + \frac{-2m\mathcal{T}^{2m-k}\mathcal{T}}{4\pi m \tau_C f_{\text{clk}} - j}. \quad (\text{C.20})$$

Durch Einsetzen der Koeffizienten  ${}^n\mathcal{T}$  aus Gleichung 3.21 für Taktsignale mit großer Amplitude am Eingang des SS im Sinne einer worst-case-Abschätzung folgt für ungerade  $k$

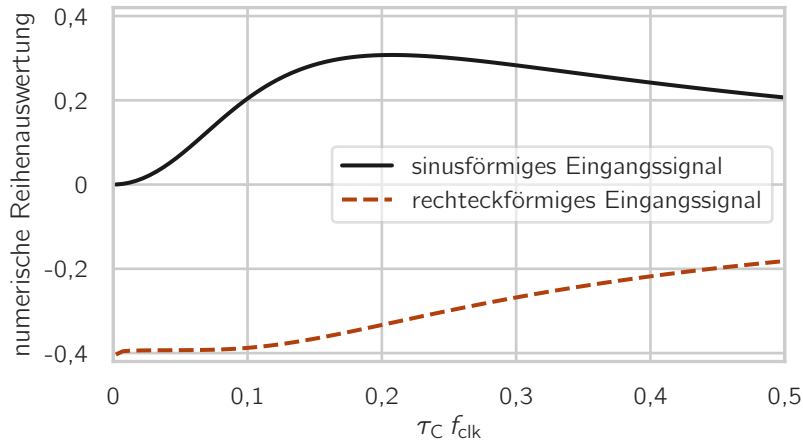
$$\Sigma_{T,B} = \frac{4}{\pi} \Delta D_T (-1)^{\frac{k-1}{2}} \sum_{m=-\infty}^{\infty} \left( \frac{1}{2\pi(2m-1)\tau_C f_{\text{clk}} - j} - \frac{1}{4\pi m \tau_C f_{\text{clk}} - j} \right) \quad (\text{C.21})$$

und für gerade  $k$

$$\Sigma_{T,B} = 4(-1)^{\frac{k}{2}} \sum_{m=-\infty}^{\infty} \left( \frac{1}{\pi^2} \frac{1}{2m-1} \frac{1}{2m-1-k} + (\Delta D_T)^2 \frac{1}{4\pi m \tau_C f_{\text{clk}} - j} \right). \quad (\text{C.22})$$

Da  $\Sigma_{T,B}$  für ungerade  $k$  proportional zu  $\Delta D_T$  ist und für gerade  $k$  der Koeffizient  ${}^kU_e^-$  bei typischen Eingangssignalen proportional zu  $\Delta D_T$  ist, ist auch die gesamte Summe in Gleichung C.19 proportional zu  $\Delta D_T$ . Im Folgenden wird  ${}^0I_{T,B}^-$  für den Fall eines sinusförmigen und den eines rechteckförmigen Eingangssignals  ${}^kU_e^-$  abgeschätzt.

*Fall 1.* Das Eingangssignal ist sinusförmig mit Amplitude  $\hat{U}_e^-$ . Ohne Einschränkung der Allgemeingültigkeit wird seine Phase zu null gewählt. Dadurch treten nur Frequenzkomponenten  ${}^kU_e^-$  für  $k = 0$  und  $k = \pm 1$  mit  ${}^kU_e^- = \frac{1}{2} \hat{U}_e^-$  für  $k = \pm 1$  auf. Durch Einsetzen



**Abbildung C.2:** Numerische Auswertung der in Gleichung C.23 und C.26 definierten Reihen  $\Sigma_{T,B,sine}$  und  $\Sigma_{T,B,rect}$ .

der Frequenzkomponenten  ${}^k U_e^-$  des Eingangssignals in Gleichung C.19 und Ändern der Laufindizes der Reihe folgt

$${}^0 I_{T,B}^- = 8 C_E f_{clk} \hat{U}_e^- \Delta D_T \underbrace{\sum_{l=1}^{\infty} \left( \frac{2\pi\tau_C f_{clk}}{(2\pi(2l-1)\tau_C f_{clk})^2 + 1} - \frac{(2l)^2}{(2l)^2 - 1} \frac{2\pi\tau_C f_{clk}}{(4\pi l \tau_C f_{clk})^2 + 1} \right)}_{:=\Sigma_{T,B,sine}}. \quad (C.23)$$

Die Reihe  $\Sigma_{T,B,sine}$  ist nur von der Variablen  $\tau_C f_{clk}$  abhängig und kann daher numerisch ausgewertet werden. Das Ergebnis der numerischen Auswertung für  $\tau_C f_{clk} \leq 0,5$ , was bei typischen Technologieparametern Taktfrequenzen bis in den Terahertzbereich entspricht, ist in Abbildung C.2 gezeigt. Es folgt daraus, dass  $|\Sigma_{T,B,sine}| \leq 0,3$ .

*Fall 2.* Das Eingangssignal ist rechteckförmig mit Amplitude  $\hat{U}_e^-$  und Tastgradfehler  $\Delta D_e$ . Für seine Frequenzkomponenten gilt analog zu Gleichung 3.21

$${}^k U_e^- = \frac{\pi}{4} \hat{U}_e^- \begin{cases} \frac{1}{k} \frac{2}{\pi} (-1)^{\frac{k-1}{2}} & \text{für } k \text{ ungerade,} \\ 2 \Delta D_e (-1)^{\frac{k}{2}} & \text{für } k \text{ gerade.} \end{cases} \quad (C.24)$$

Wegen der Identität der Tastgradfehler an Ein- und Ausgang von mit Taktsignalen angesteuerten SSs (vgl. Gleichung 5.8) ergibt sich mit Einsetzen des Eingangssignals in Gleichung C.19 und Ändern der Laufindizes

$${}^0 I_{T,B}^- = 8 C_E f_{clk} \hat{U}_e^- \Delta D_T \Sigma_{T,B,rect} \quad (C.25)$$

mit

$$\Sigma_{T,B,\text{rect}} := \sum_{n=1}^{\infty} \sum_{l=1}^{\infty} \left( \frac{(2l-1)^2}{(2l-1)^2 - (2n)^2} \frac{2\pi\tau_C f_{\text{clk}}}{(2\pi(2l-1)\tau_C f_{\text{clk}})^2 + 1} - \frac{(2l)^2}{(2l)^2 - (2n-1)^2} \frac{2\pi\tau_C f_{\text{clk}}}{(4\pi l \tau_C f_{\text{clk}})^2 + 1} \right). \quad (\text{C.26})$$

Die Reihe  $\Sigma_{T,B,\text{rect}}$  ist nur von der Variablen  $\tau_C f_{\text{clk}}$  abhängig und kann daher numerisch ausgewertet werden. Das Ergebnis der numerischen Auswertung für  $\tau_C f_{\text{clk}} \leq 0,5$  ist ebenfalls in Abbildung C.2 gezeigt. Es folgt daraus, dass  $|\Sigma_{T,B,\text{rect}}| \leq 0,4$ .

Die beiden Kurven in Abbildung C.2 begrenzen den möglichen Wertebereich von

$$\frac{{}^0I_{T,B}^-}{8C_E f_{\text{clk}} \hat{U}_e^- \Delta D_T} \quad (\text{C.27})$$

für den sinus- und den rechteckförmigen Fall des Eingangssignals des SS. Die Bedingung  $|{}^0I_{T,B}^-| \ll |{}^0I_{T,A}^-|$  der Vernachlässigbarkeit von  ${}^0I_{T,B}^-$  führt mit Gleichung 5.11 und der für große Eingangssignale des SS aus Gleichung 3.24 folgenden Gesetzmäßigkeit

$$|{}^1I_{T,A}^-| \approx \frac{I_0}{\pi} \quad (\text{C.28})$$

sowie  $\alpha_T \approx 1$  zu der zu zeigenden Gleichung 5.13.

## C.4 Herleitung von Gleichung 5.19

Betrachtet wird ein Signal  $u_e^-(t)$  mit den Frequenzkomponenten

$${}^nU_e^- := |{}^nU_e^-| e^{j\varphi_{e,n}^-}. \quad (\text{C.29})$$

Es wird davon ausgegangen, dass das Signal näherungsweise sinusförmig ist, d. h. dass die Komponente bei der Grundfrequenz ( $n = 1$ ) dominiert. Das Signal wird im Folgenden an den Stellen ausgewertet, an denen idealerweise die Nulldurchgänge wären, wenn keine Harmonischen und kein Gleichanteil vorhanden wären.

$$u_e \left( \frac{1}{4f_{\text{clk}}} - \frac{\varphi_{e,1}^-}{2\pi f_{\text{clk}}} \right) = \sum_{n=-\infty}^{\infty} {}^nU_e^- e^{j2\pi n f_{\text{clk}} \left( \frac{1}{4f_{\text{clk}}} - \frac{\varphi_{e,1}^-}{2\pi f_{\text{clk}}} \right)} = \sum_{n=-\infty}^{\infty} {}^nU_e^- j^n e^{-jn\varphi_{e,1}^-}, \quad (\text{C.30})$$

$$\begin{aligned} u_e \left( -\frac{1}{4f_{\text{clk}}} - \frac{\varphi_{e,1}^-}{2\pi f_{\text{clk}}} \right) &= \sum_{n=-\infty}^{\infty} {}^nU_e^- e^{j2\pi n f_{\text{clk}} \left( -\frac{1}{4f_{\text{clk}}} - \frac{\varphi_{e,1}^-}{2\pi f_{\text{clk}}} \right)}, \\ &= \sum_{n=-\infty}^{\infty} {}^nU_e^- (-j)^n e^{-jn\varphi_{e,1}^-}. \end{aligned} \quad (\text{C.31})$$

Bei einer nur leichten Abweichung von der Sinusform ist die Abweichung der Resultate aus Gleichung C.30 und Gleichung C.31 nur klein und damit näherungsweise im linearen Teil der Flanke. Die Nulldurchgänge verschieben sich somit entsprechend der Steigung des Taktsignals, womit für den Tastgradfehler unter der Annahme, dass die Steigung im Wesentlichen durch den Beitrag bei der Grundfrequenz dominiert wird, gilt

$$\begin{aligned}\Delta D_e &= \frac{u_e \left( \frac{1}{4f_{\text{clk}}} - \frac{\varphi_{e,1}^-}{2\pi f_{\text{clk}}} \right) + u_e \left( -\frac{1}{4f_{\text{clk}}} - \frac{\varphi_{e,1}^-}{2\pi f_{\text{clk}}} \right)}{2 |{}^1U_e^-| 2\pi f_{\text{clk}}} f_{\text{clk}}, \\ &= \frac{\sum_{n=-\infty}^{\infty} {}^2nU_e^- (-1)^n e^{-j 2n \varphi_{e,1}^-}}{2\pi |{}^1U_e^-|}.\end{aligned}\tag{C.32}$$

Durch Zerlegen von  ${}^2nU_e^-$  in Betrag und Phase folgt unmittelbar Gleichung 5.19.

## Anhang D

### Herleitung zu Kapitel 7

In Abschnitt 7.1 ist eine Methode beschrieben, um mithilfe von Gleichanteil-Messungen die sinusförmige Eingangsamplitude an einem Takt-Eingangsverstärker abschätzen zu können. Im Folgenden wird die hierbei zugrunde liegende Gleichung 7.1 aus dem in Kapitel 5 vorgestellten Modell hergeleitet.

Die Methode beruht darauf, dass wie in Abbildung 7.3 gezeigt Gleichspannungen  ${}^0U_{\text{ext}}^-$  am Eingang des Eingangsverstärkers eingespeist und die resultierenden Gleichanteile  ${}^0U_{\text{mess}}^-$  an seinem Ausgang gemessen werden. Ist der Eingangsverstärker durch die Folgestufe mit einer Impedanz belastet, welche bei dc einem Widerstand  $R_L$  entspricht, ist der gemessene Gleichanteil gemäß

$${}^0U_{\text{mess}}^- = R_L {}^0I_{\text{T}}^- \quad (\text{D.1})$$

proportional zum Gleichanteil des Gegentakt-Transferstroms  ${}^0I_{\text{T}}^-$  des SS. Gemäß Gleichung 5.10 setzt sich letzterer aus drei Anteilen zusammen, wobei wie in Abschnitt 5.2.2 erläutert der Anteil  ${}^0I_{\text{T},\text{B}}^-$  gegenüber dem Anteil  ${}^0I_{\text{T},\text{A}}^-$  vernachlässigt bzw. durch ihn mit ausgedrückt werden kann. Im Falle von sinusförmigen Eingangssignalen  ${}^nU_{\text{e}}^+$ ,  ${}^nU_{\text{e}}^-$ , bei welchen die Beiträge bei der Grundfrequenz ( $n = 1$ ) dominieren, ergibt sich der Gleichanteil des Gegentakt-Transferstroms mit Gleichung 5.11 und Gleichung 5.14 zu

$${}^0I_{\text{T}}^- \approx \alpha_{\text{T}} \pi |{}^1I_{\text{T},\text{A}}^-| \Delta D_{\text{T}} + 2\pi C_{\text{i}0} f_{\text{clk}} \sum_{n=1}^{\infty} \text{Re} \left\{ \frac{{}^1\mathcal{T}^* {}^1U_{\text{e}}^+}{2\pi \tau_{\text{C}} f_{\text{clk}} - j} \right\}, \quad (\text{D.2})$$

wobei nach Gleichung 5.19 und Gleichung 5.17 mit dem externen Gleichanteil  ${}^0U_{\text{ext}}^-$  gilt

$$\Delta D_{\text{T}} = \frac{H_{\text{e}}^-(0) {}^0U_{\text{ext}}^- + \sum_{n=-\infty, n \neq 0}^{\infty} |{}^{2n}U_{\text{e}}^-| (-1)^n e^{j(\varphi_{\text{e},2n}^- - 2n\varphi_{\text{e},1}^-)}}{2\pi |{}^1U_{\text{e}}^-|}. \quad (\text{D.3})$$

Werden bei ansonsten unveränderten Randbedingungen zwei Messungen mit verschiedenen Spannungen  ${}^0U_{\text{ext},1}^-$  und  ${}^0U_{\text{ext},2}^-$  für  ${}^0U_{\text{ext}}^-$  durchgeführt, unterscheidet sich lediglich der zu  ${}^0U_{\text{ext}}^-$  proportionale Anteil von  $\Delta D_{\text{T}}$ , sodass für die Differenz der resultierenden gemessenen Gleichanteile  ${}^0U_{\text{mess}}^-$  gilt

$${}^0U_{\text{mess},1}^- - {}^0U_{\text{mess},2}^- \approx R_L \alpha_T \pi |{}^1I_{T,A}^-| \frac{H_e^-(0) {}^0U_{\text{ext},1}^- - H_e^-(0) {}^0U_{\text{ext},2}^-}{2 \pi |{}^1U_e^-|}. \quad (\text{D.4})$$

Zusammen mit der aus Gleichung 5.17 resultierenden Beziehung

$$2 |{}^1U_e^-| := |H_e^-(j\omega_{\text{clk}})| \hat{U}_q^- \quad (\text{D.5})$$

folgt die zu zeigende Gleichung 7.1.



## Literatur

- [1] Shahriar Shahramian, Sorin P. Voinigescu und Anthony Chan Carusone, „A 35-GS/s, 4-Bit Flash ADC With Active Data and Clock Distribution Trees“, *IEEE Journal of Solid-State Circuits* 44.6 (2009), S. 1709–1720.
- [2] Ryan Clarke, Mitchell R. LeRoy, Srikumar Raman u. a., „140 Gb/s Serializer Using Clock Doublers in 90 nm SiGe Technology“, *IEEE Journal of Solid-State Circuits* 50.11 (2015), S. 2703–2713.
- [3] Saverio Trotta, Herbert Knapp, Thomas F. Meister u. a., „110-GHz Static Frequency Divider in SiGe Bipolar Technology“, in: *IEEE Compound Semiconductor Integrated Circuit Symposium, 2005. CSIC'05.*, IEEE, 2005, S. 291–294.
- [4] Hsin-Chang Lin und Gabriel M. Rebeiz, „A 200-245 GHz Balanced Frequency Doubler with Peak Output Power of +2 dBm“, in: *2013 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, IEEE, 2013, S. 1–4.
- [5] Wei-Min Lance Kuo, Xiangtao Li, Ramkumar Krithivasan u. a., „A 32 Gsample/sec SiGe HBT Comparator for Ultra-High-Speed Analog-to-Digital Conversion“, in: *2005 Asia-Pacific Microwave Conference Proceedings*, Bd. 1, IEEE, 2005.
- [6] Michael Chu, Philip Jacob, Jin-Woo Kim u. a., „A 40 Gs/s Time Interleaved ADC Using SiGe BiCMOS Technology“, *IEEE Journal of Solid-State Circuits* 45.2 (2010), S. 380–390.
- [7] Dalius Baranauskas und Denis Zelenin, „A 0.36 W 6b up to 20GS/s DAC for UWB Wave Formation“, in: *2006 IEEE International Solid State Circuits Conference-Digest of Technical Papers*, IEEE, 2006, S. 2380–2389.
- [8] Leonardo Vera und John R. Long, „A DC-100 GHz Active Frequency Doubler With a Low-Voltage Multiplier Core“, *IEEE Journal of Solid-State Circuits* 50.9 (2015), S. 1963–1973.
- [9] Zach Griffith, Yingda Dong, Dennis Scott u. a., „Transistor and Circuit Design for 100-200-GHz ICs“, *IEEE Journal of Solid-State Circuits* 40.10 (2005), S. 2061–2069.
- [10] Tobias Ellermeyer, Rolf Schmid, Anna Bielik, Jörg Rupeter und Michael Möller, „DA and AD Converters in SiGe Technology: Speed and Resolution for Ultra High Data Rate Applications“, in: *36th European Conference and Exhibition on Optical Communication*, IEEE, 2010, S. 1–6.
- [11] Colin C. McAndrew, Jerold A. Seitchik, Derek F. Bowers u. a., „VBIC95, The Vertical Bipolar Inter-Company Model“, *IEEE Journal of Solid-State Circuits* 31.10 (1996), S. 1476–1483.

- [12] Michael Schröter und Anjan Chakravorty, *Compact Hierarchical Bipolar Transistor Modeling With HiCUM*, World Scientific, 2010.
- [13] M. Möller, „Challenges in the Cell-Based Design of Very-High-Speed SiGe-Bipolar ICs at 100 Gb/s“, *IEEE Journal of Solid-State Circuits* 43.9 (Sep. 2008), S. 1877–1888.
- [14] Saverio Trotta, Herbert Knapp, Klaus Aufinger u. a., „An 84 GHz Bandwidth and 20 dB Gain Broadband Amplifier in SiGe Bipolar Technology“, *IEEE Journal of Solid-State Circuits* 42.10 (2007), S. 2099–2106.
- [15] Michael Möller, „Entwurf und Optimierung monolithisch integrierter Breitbandverstärker in Si-Bipolartechnologie für optische Übertragungssysteme“, Dissertation, Ruhr-Universität Bochum, 1999.
- [16] J. Choma, „Output inductance of an emitter follower“, *IEE Journal on Electronic Circuits and Systems* 3.4 (1979), S. 162–164.
- [17] J. Choma, „Simplified Design Guidelines for Dominant Pole Amplifiers Peaked Actively by Emitter or Source Followers“, *IEEE Transactions on Circuits and Systems* 36.7 (1989), S. 1005–1010.
- [18] Rainer Götzfried, Frank Beißwanger, Stephan Gerlach u. a., „RFIC’s for Mobile Communication Systems Using SiGe Bipolar Technology“, *IEEE Transactions on Microwave Theory and Techniques* 46.5 (1998), S. 661–668.
- [19] John Choma, „Actively peaked broadbanded monolithic amplifier“, in: *IEE Proceedings G (Electronic Circuits and Systems)*, Bd. 127, 2, IET, 1980, S. 61–66.
- [20] Michael Neuhauser, H.-M. Rein und Horst Wernz, „Low-Noise, High-Gain Si-Bipolar Preamplifiers for 10 Gb/s Optical-Fiber Links – Design and Realization“, *IEEE Journal of Solid-State Circuits* 31.1 (1996), S. 24–29.
- [21] Jens Müllrich, „Entwurf von Transimpedanzverstärkern für eine Datenrate von 40 Gbit/s unter besonderer Berücksichtigung von Kopplungseffekten“, Dissertation, Ruhr-Universität Bochum, 2002.
- [22] Ansheng Liu, Ling Liao, Yoel Chetrit u. a., „200 Gbps Photonic Integrated Chip on Silicon Platform“, in: *2008 5th IEEE International Conference on Group IV Photonics*, IEEE, 2008, S. 368–370.
- [23] Ueli Koch, Christopher Uhl, Horst Hettrich u. a., „Monolithic high-speed transmitter enabled by BiCMOS-plasmonic platform“, in: *2019 European Conference on Optical Communication (ECOC)*, PD1.4, Dublin, 2019.
- [24] C. Uhl, H. Hettrich und M. Möller, „A 100 Gbit/s  $2 V_{pp}$  Power Multiplexer in SiGe BiCMOS Technology for Directly Driving a Monolithically Integrated Plasmonic MZM in a Silicon Photonics Transmitter“, in: *2017 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, Okt. 2017, S. 106–109.

- [25] Christopher Uhl, Horst Hettrich und Michael Möller, „180 Gbit/s 4:1 power multiplexer for NRZ-OOK signals with high output voltage swing in SiGe Bi-CMOS technology“, *Electronic Letters* (2019), akzeptiert zur Veröffentlichung, DOI: 10.1049/e1.2019.2557.
- [26] A. Konczykowska, F. Jorge, M. Riet u. a., „212-Gbit/s 2:1 multiplexing selector realised in InP DHBT“, *Electronics Letters* 55.5 (2019), S. 242–244.
- [27] Joakim Hallin, Torgil Kjellberg und Thomas Swahn, „A 165-Gb/s 4:1 Multiplexer in InP DHBT Technology“, *IEEE Journal of Solid-State Circuits* 41.10 (2006), S. 2209–2214.
- [28] T. Suzuki, Y. Nakasha, T. Takahashi u. a., „144-Gbit/s Selector and 100-Gbit/s 4:1 Multiplexer using InP HEMTs“, in: *2004 IEEE MTT-S International Microwave Symposium Digest (IEEE Cat. No. 04CH37535)*, Bd. 1, IEEE, 2004, S. 117–120.
- [29] Yasuyuki Suzuki, Zin Yamazaki, Yasushi Amamiya u. a., „120-Gb/s Multiplexing and 110-Gb/s Demultiplexing ICs“, *IEEE Journal of Solid-State Circuits* 39.12 (2004), S. 2397–2402.
- [30] Jean-Yves Dupuy, Agnieszka Konczykowska, Filipe Jorge u. a., „A Large-Swing 112-Gb/s Selector-Driver Based on a Differential Distributed Amplifier in InP DHBT Technology“, *IEEE Transactions on Microwave Theory and Techniques* 61.1 (2013), S. 517–524.
- [31] R. Driad, R. E. Makon und D. Ritter, „High-Speed Selector-Driver Using Abrupt Delta-Doped InP/InGaAs/InP DHBTs“, *IEEE Electron Device Letters* 32.8 (2011), S. 1059–1061.
- [32] M. Möller, T. F. Meister, R. Schmid u. a., „SiGe retiming high-gain power MUX for directly driving an EAM up to 50 Gbit/s“, *Electronics Letters* 34.18 (Sep. 1998), S. 1782–1784.
- [33] C. Uhl, H. Hettrich und M. Möller, „Design Considerations for a 100 Gbit/s SiGe-BiCMOS Power Multiplexer With  $2V_{pp}$  Differential Voltage Swing“, *IEEE Journal of Solid-State Circuits* 53.9 (Sep. 2018), S. 2479–2487.
- [34] J. Hauenschild, H.-M. Rein, W. McFarland, J. Doernberg und D. Pettengill, „Demonstration of retiming capability of silicon bipolar time-division multiplexer operating to 24 Gbit/s“, *Electronics Letters* 27.11 (1991), S. 978–979.
- [35] Alfred Felder, Michael Möller, Josef Popp, Josef Bock und Hans-Martin Rein, „46 Gb/s DEMUX, 50 Gb/s MUX, and 30 GHz static frequency divider in silicon bipolar technology“, *IEICE Transactions On Electronics* 79.7 (1996), S. 892–897.
- [36] H.-M. Rein und M. Möller, „Design Considerations for Very-High-Speed Si-Bipolar IC’s Operating up to 50 Gb/s“, *IEEE Journal of Solid-State Circuits* 31.8 (1996), S. 1076–1090.
- [37] S. M. Sze, *Physics of Semiconductor Devices*, Second Edition, John Wiley & Sons, 1981, ISBN: 0-471-05661-8.

- [38] Rolf Schmid, „Monolithisch integrierte Treiberschaltungen in Si-Bipolartechnologie zur Modulation der Lichtleistung in Glasfaserübertragungssystemen höchster Datenraten“, Dissertation, Ruhr-Universität Bochum, 2000.
- [39] H.-M. Rein, „Design Aspects of 10 to 40 Gb/s Digital and Analog Si-Bipolar ICs“, in: *Digest of Technical Papers., Symposium on VLSI Circuits.*, IEEE, 1995, S. 49–54.
- [40] Albert E. Ruehli, „Equivalent Circuit Models for Three-Dimensional Multiconductor Systems“, *IEEE Transactions on Microwave Theory and Techniques* 22.3 (1974), S. 216–221.
- [41] Mattan Kamon, „Nonuniformly Discretized Reference Planes in FastHenry 3.0“, *Techn. Ber. Cambridge, MA* 2139 (1996), letzter Zugriff 2019-10-15, URL: [https://www.fastfieldsolvers.com/Download/FastHenry\\_nonuniform\\_gndplane\\_manual.pdf](https://www.fastfieldsolvers.com/Download/FastHenry_nonuniform_gndplane_manual.pdf).
- [42] Horst Hettrich, „Entwicklung integrierter Treiber-Verstärker für optische Übertragungssysteme in SiGe-Bipolar-Technologie“, Dissertation, Universität des Saarlandes, 2019.
- [43] Jörg Berkner, *Kompaktmodelle für Bipolartransistoren.*, Expert-Verlag, 2002, ISBN: 978-3-8169-2085-4.
- [44] H. K. Gummel und H. C. Poon, „An Integral Charge Control Model of Bipolar Transistors“, *Bell System Technical Journal* 49.5 (1970), S. 827–852.
- [45] A. Fox, B. Heinemann, H. Rucker u. a., „Advanced Heterojunction Bipolar Transistor for Half-THz SiGe BiCMOS Technology“, *IEEE Electron Device Letters* 36 (Juli 2015), S. 642–644.
- [46] P. Chevalier, G. Avenier, G. Ribes u. a., „A 55 nm triple gate oxide 9 metal layers SiGe BiCMOS technology featuring 320 GHz  $f_T$  / 370 GHz  $f_{MAX}$  HBT and high-Q millimeter-wave passives“, in: *2014 IEEE International Electron Devices Meeting*, Dez. 2014, S. 3.9.1–3.9.3.
- [47] P. Chevalier, T. F. Meister, B. Heinemann u. a., „Towards THz SiGe HBTs“, in: *2011 IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, Okt. 2011, S. 57–65.
- [48] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis und Robert G. Meyer, *Analysis and Design of Analog Integrated Circuits*, Fourth Edition, Wiley, 2001, ISBN: 0-471-32168-0.
- [49] J. A. Archer, J. F. Gibbons und G. M. Purnaiya, „Use of Transistor-Simulated Inductance as an Interstate Element in Broadband Amplifiers“, *IEEE Journal of Solid-State Circuits* 3 (März 1968), S. 12–21.
- [50] J. Kozikowski, „Analysis and Design of Emitter Followers at High Frequencies“, *IEEE Transactions on Circuit Theory* 11.1 (1964), S. 129–136.

- [51] John M. Miller, „Dependence of the input impedance of a three-electrode vacuum tube upon the load in the plate circuit“, *Scientific Papers of the Bureau of Standards* 15.351 (1920), S. 367–385.
- [52] John Choma, „Simplified Design Guidelines for Dominant Pole Amplifiers Peaked Actively by Emitter or Source Followers“, *IEEE Transactions on Circuits and Systems* 36.7 (1989), S. 1005–1010.
- [53] Piet Wambacq und Willy M. C. Sansen, *Distortion Analysis of Analog Integrated Circuits*, hrsg. von Mohammed Ismail, Kluwer Academic Publishers, 1998.
- [54] Hans Wilhelm Schüßler, *Netzwerke, Signale und Systeme 1*, Springer-Verlag, 1990.
- [55] Dietmar Achilles, *Die Fourier-Transformation in der Signalverarbeitung: Kontinuierliche und diskrete Verfahren der Praxis (Hochschultext)*, Springer, 1985, ISBN: 3-540-15721-2.
- [56] Gernot Zimmer, *Hochfrequenztechnik: Lineare Modelle*, Springer, 2000, ISBN: 3-540-66716-4.
- [57] Karl-Dirk Kammeyer, *Nachrichtenübertragung*, Teubner, 2004, ISBN: 3-519-26142-1.
- [58] Mounir Meghelli, „A 132-Gb/s 4:1 Multiplexer in 0.13- $\mu$ m SiGe-Bipolar Technology“, *IEEE Journal of Solid-State Circuits* 39.12 (2004), S. 2403–2407.
- [59] Leonhard Stiny, *Grundwissen Elektrotechnik und Elektronik: Eine leicht verständliche Einführung*, Springer Vieweg, 2018, ISBN: 978-3-658-18319-6.
- [60] Massimo Alioto und Gaetano Palumbo, *Model and Design of Bipolar and MOS Current-Mode Logic*, Springer, 2005.
- [61] Khaled M. Sharaf und Mohamed I. Elmasry, „An Accurate Analytical Propagation Delay Model for High-Speed CML Bipolar Circuits“, *IEEE Journal of Solid-State Circuits* 29.1 (1994), S. 31–45.
- [62] Keng Leong Fong und Robert G. Meyer, „High-Frequency Nonlinearity Analysis of Common-Emitter and Differential-Pair Transconductance Stages“, *IEEE Journal of Solid-State Circuits* 33.4 (1998), S. 548–555.
- [63] Willy M. C. Sansen und Robert G. Meyer, „Distortion in Bipolar Transistor Variable-Gain Amplifiers“, *IEEE Journal of Solid-State Circuits* 8.4 (1973), S. 275–282.
- [64] John A. Houldsworth und Duncan A. Grant, „The Use of Harmonic Distortion to Increase the Output Voltage of a Three-Phase PWM Inverter“, *IEEE Transactions on Industry Applications* 5 (1984), S. 1224–1228.
- [65] Ulrich Tietze und Christoph Schenk, *Halbleiter-Schaltungstechnik*, Springer, 1993.
- [66] H. E. Kallmann, R. E. Spencer und C. P. Singer, „Transient response“, *Proceedings of the IRE* 33.3 (1945), S. 169–195.

- [67] Uwe Meier und Wolfgang Nerreter, *Analoge Schaltungen. Entwurf, Berechnung und Simulation.*, Fachbuchverlag Leipzig, 1997, ISBN: 3-446-18882-7.
- [68] M. Nagatani, H. Wakita, H. Yamazaki u. a., „An Over-110-GHz-Bandwidth 2:1 Analog Multiplexer in 0.25- $\mu\text{m}$  InP DHBT Technology“, in: *2018 IEEE/MTT-S International Microwave Symposium-IMS*, IEEE, 2018, S. 655–658.
- [69] Anantha P. Chandrakasan, Samuel Sheng und Robert W. Brodersen, „Low-Power CMOS Digital Design“, *IEICE Transactions on Electronics* 75.4 (1992), S. 371–382.
- [70] Georgios K. Konstadinidis und Horst H. Berger, „Optimization of Buffer Stages in Bipolar VLSI Systems“, *IEEE Journal of Solid-State Circuits* 27.7 (1992), S. 1002–1013.
- [71] Roland Ranfft und H.-M. Rein, „High-Speed Bipolar Logic Circuits with Low Power Consumption for LSI – A Comparison“, *IEEE Journal of Solid-State Circuits* 17.4 (1982), S. 703–712.
- [72] Stefanos Sidiropoulos, Nikhil Acharya, Pak Chau u. a., „An 800 mW 10 Gb Ethernet Transceiver in 0.13  $\mu\text{m}$  CMOS“, in: *Solid-State Circuits Conference. Digest of Technical Papers. ISSCC. 2004 IEEE International*, IEEE, 2004, S. 168–520.
- [73] Martin Hansson, Behzad Mesgarzadeh und Atila Alvandpour, „1.56 GHz On-chip Resonant Clocking in 130 nm CMOS“, in: *Custom Integrated Circuits Conference. CICC'06. IEEE*, IEEE, 2006, S. 241–244.
- [74] Mounir Meghelli, „A 108 Gb/s 4:1 Multiplexer in 0.13  $\mu\text{m}$  SiGe-Bipolar Technology“, in: *2004 IEEE International Solid-State Circuits Conference (IEEE Cat. No. 04CH37519)*, IEEE, 2004, S. 236–237.
- [75] Lothar Schmidt, „Breitbandige Phasenschieber in Silizium-Bipolar-Technologie zur stufenlos einstellbaren Verzögerung von GHz-Taktsignalen“, Dissertation, Ruhr-Universität Bochum, 1993.
- [76] Mitsuru Shinagawa, Yukio Akazawa und Tsutomu Wakimoto, „Jitter Analysis of High-Speed Sampling Systems“, *IEEE Journal of Solid-State Circuits* 25.1 (1990), S. 220–224.
- [77] W. T. Duffy, J. B. McCormick, D. J. Hamilton und W. J. Kerwin, „Distortion and Noise-Induced DC Offset in Operational Amplifiers“, *IEEE Journal of Solid-State Circuits* 10.3 (1975), S. 161–167.
- [78] Fangyi Rao und Sammy Hindi, „Mechanism of Jitter Amplification in Clock Channels“, *DesignCon2014* (2014).
- [79] *E8257D PSG Microwave Analog Signal Generator Data Sheet*, Datenblatt-Version von 2017-12-01, letzter Zugriff 2019-10-15, Keysight Technologies, URL: <https://literature.cdn.keysight.com/litweb/pdf/5989-0698EN.pdf>.
- [80] Adrian Ong, Saied Benyamin, Jason Cancio u. a., „A 40-43-Gb/s clock and data recovery IC with integrated SFI-5 1:16 demultiplexer in SiGe technology“, *IEEE Journal of Solid-State Circuits* 38.12 (2003), S. 2155–2168.

- [81] Yuhua Cheng, „The influence and modeling of process variation and device mismatch for analog/RF circuit design“, in: *Proceedings of the Fourth IEEE International Caracas Conference on Devices, Circuits and Systems (Cat. No. 02TH8611)*, IEEE, 2002, S. D046–D046.
- [82] Tom K. Johansen, Jens Vidkjær und Viktor Krozer, „Analysis and design of wide-band SiGe HBT active mixers“, *IEEE Transactions on Microwave Theory and Techniques* 53.7 (2005), S. 2389–2397.
- [83] Claudia Hoessbacher, Arne Josten, Benedikt Baeuerle u. a., „Plasmonic modulator with > 170 GHz bandwidth demonstrated at 100 Gbd NRZ“, *Optics Express* 25.3 (2017), S. 1762–1768.
- [84] Wolfgang Heni, C. Haffner, Benedikt Baeuerle u. a., „108 Gbit/s plasmonic Mach-Zehnder modulator with > 70 GHz electrical bandwidth“, *Journal of Lightwave Technology* 34.2 (2016), S. 393–400.
- [85] Benedikt Baeuerle, Claudia Hoessbacher, Wolfgang Heni u. a., „Driver-Less Sub 1  $V_{pp}$  Operation of a Plasmonic-Organic Hybrid Modulator at 100 Gbd NRZ“, in: *2018 Optical Fiber Communications Conference and Exposition (OFC)*, IEEE, 2018, S. 1–3.
- [86] Christian Haffner, Wolfgang Heni, Yuriy Fedoryshyn u. a., „All-plasmonic Mach-Zehnder modulator enabling optical high-speed communication at the microscale“, *Nature Photonics* 9.8 (2015), S. 525.
- [87] IHP, *SiGe:C BiCMOS technologies*, Internetseite, letzter Zugriff 2019-10-15, URL: <https://www.ihp-microelectronics.com/en/services/mpw-prototyping/sigec-bicmos-technologies.html>.
- [88] H.-M. Rein, R. Schmid, P. Weger u. a., „A Versatile Si-Bipolar Driver Circuit with High Output Voltage Swing for External and Direct Laser Modulation in 10 Gb/s Optical-Fiber Links“, *IEEE Journal of Solid-State Circuits* 29.9 (1994), S. 1014–1021.
- [89] Mounir Meghelli, „A 43-Gb/s Full-Rate Clock Transmitter in 0.18- $\mu\text{m}$  SiGe BiCMOS Technology“, *IEEE Journal of Solid-State Circuits* 40 (Okt. 2005), S. 2046–2050.
- [90] Paul A. Dawson und S. Paul Rogerson, „An Undersea Fiber-Optic Regenerator Using an Integral-Substrate Package and Flip-Chip SAW Mounting“, *IEEE Journal on Selected Areas in Communications* 2.6 (1984), S. 966–972.
- [91] Horst Hettrich und Michael Möller, „Linear low-power 13 GHz SiGe-Bipolar Modulator Driver with 7  $V_{pp}$  differential Output Voltage Swing and on-Chip Bias Tee“, in: *2014 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, IEEE, 2014, S. 80–83.
- [92] Enrico Monaco, Massimo Pozzoni, Francesco Svelto und Andrea Mazzanti, „Injection-Locked CMOS Frequency Doublers for  $\mu$ -Wave and mm-Wave Applications“, *IEEE Journal of Solid-State Circuits* 45.8 (2010), S. 1565–1574.

- [93] Nai-Chung Kuo, Zuo-Min Tsai, Klaus Schmalz, Johann Christoph Scheytt und Huei Wang, „A 52–75 GHz Frequency Quadrupler in 0.25- $\mu\text{m}$  SiGe BiCMOS Process“, in: *The 5th European Microwave Integrated Circuits Conference*, IEEE, 2010, S. 365–368.
- [94] Christian Bredendiek, Nils Pohl, Klaus Aufinger und Attila Bilgic, „An Ultra-Wideband D-Band Signal Source Chip Using a Fundamental VCO with Frequency Doubler in a SiGe Bipolar Technology“, in: *2012 IEEE Radio Frequency Integrated Circuits Symposium*, IEEE, 2012, S. 83–86.
- [95] Christopher Coen, Saeed Zeinolabedinzadeh, Mehmet Kaynak, Bernd Tillack und John D. Cressler, „A Highly-Efficient 138–170 GHz SiGe HBT Frequency Doubler for Power-Constrained Applications“, in: *2016 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, IEEE, 2016, S. 23–26.
- [96] Chuying Mao, Chakravartula Shashank Nallani, Swaminathan Sankaran, Eunyong Seok u. a., „125-GHz Diode Frequency Doubler in 0.13- $\mu\text{m}$  CMOS“, *IEEE Journal of Solid-State Circuits* 44.5 (2009), S. 1531–1538.
- [97] Simon Kueppers, Klaus Aufinger und Nils Pohl, „A Fully Differential 100–140 GHz Frequency Quadrupler in a 130 nm SiGe:C Technology for MIMO Radar Applications using the Bootstrapped Gilbert-Cell Doubler Topology“, in: *2017 IEEE 17th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF)*, IEEE, 2017, S. 37–39.
- [98] Shuai Yuan und Hermann Schumacher, „Compact V band frequency doubler with true balanced differential output“, in: *2013 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, IEEE, 2013, S. 191–194.
- [99] Vincent Puyal, Agnieszka Konczykowska, Pascal Nouet u. a., „A DC-100 GHz Frequency Doubler in InP DHBT Technology“, in: *2004 IEEE MTT-S International Microwave Symposium Digest (IEEE Cat. No. 04CH37535)*, Bd. 1, IEEE, 2004, S. 167–170.
- [100] M. Flüge, P. T. Frederiksen, B. Enning u. a., „Wideband bipolar multiplier IC with high dynamic range for use in coherent optical receivers“, *Electronics Letters* 25.1 (1989), S. 44–45.
- [101] Arzu Ergintav, Frank Herzel, Johannes Borngräber, Dietmar Kissinger und Herman Jalli Ng, „An Integrated 122 GHz Differential Frequency Doubler with 37 GHz Bandwidth in 130 nm SiGe BiCMOS Technology“, in: *2017 IEEE MTT-S International Conference on Microwaves for Intelligent Mobility (ICMIM)*, IEEE, 2017, S. 53–56.
- [102] Austin Ying-Kuang Chen, Yves Baeyens, Young-Kai Chen und Jenshan Lin, „A 36–80 GHz High Gain Millimeter-Wave Double-Balanced Active Frequency Doubler in SiGe BiCMOS“, *IEEE Microwave and Wireless Components Letters* 19.9 (2009), S. 572–574.



- 
- [103] Curtis Leifso und John Nisbet, „A Monolithic 6 GHz Quadrature Frequency Doubler With Adjustable Phase Offset“, *IEEE Journal of Solid-State Circuits* 41.2 (2006), S. 405–412.
- [104] Hans Peter Forstner, Florian Starzer, Gunter Haider, Christoph Wagner und Martin Jahn, „Frequency Quadruplers for a 77 GHz Subharmonically Pumped Automotive Radar Transceiver in SiGe“, in: *2009 European Microwave Integrated Circuits Conference (EuMIC)*, IEEE, 2009, S. 188–191.
- [105] Imtinan Elahi und Khurram Muhammad, „IIP2 Calibration by Injecting DC Offset at the Mixer in a Wireless Receiver“, *IEEE Transactions on Circuits and Systems II: Express Briefs* 54.12 (2007), S. 1135–1139.
- [106] Herbert Sager, *Fourier-Transformation: Beispiele, Aufgaben, Anwendungen*, vdf Lehrbuch, Hochsch.-Verlag an der ETH, 2012, ISBN: 978-3-7281-3393-9.