

Entwicklung integrierter Treiber-Verstärker für optische Übertragungssysteme in SiGe-Bipolar-Technologie

Dissertation

zur Erlangung des akademischen Grades
des Doktors der Ingenieurwissenschaften
der Naturwissenschaftlich-Technischen Fakultät
der Universität des Saarlandes

von

Horst Hettrich

Tag des Kolloquiums:	17. Juli 2019
Dekan:	Univ.-Prof. Dr. rer. nat. Guido Kickelbick
Vorsitzender des Prüfungsausschusses:	Univ.-Prof. Dr. rer. nat. Andreas Schütze
Berichterstatter:	Univ.-Prof. Dr.-Ing. Michael Möller Univ.-Prof. Dr. techn. Romanus Dyczij-Edlinger
Akademischer Mitarbeiter:	Dr.-Ing. Paul Motzki

Kurzfassung

Die vorliegende Arbeit beschäftigt sich mit der Entwicklung von Treiberverstärkern in SiGe-Bipolar-Technologie für optische Übertragungsstrecken.

Die Zielspezifikationen solcher Treiber fordern nicht nur hohe Bandbreiten bzw. Datenraten, sondern auch große Ausgangsspannungshübe im Vergleich zur Durchbruchsspannung der Transistoren. Darüber hinaus wird je nach Anwendung eine hohe Linearität angestrebt. Das Ziel der Arbeit ist die Entwicklung neuer Methoden zur Entwicklung von Treiberverstärkern, die das Erreichen dieser Anforderungen ermöglichen.

Treiberschaltungen zeichnen sich besonders durch die großen Spannungshübe aus, die wiederum große Ströme bedingen. Die dadurch entstehenden, großen Verlustleistungsdichten erfordern eine genaue thermische Analyse der Schaltungen. Außerdem werden Schaltungskonzepte vorgestellt, um die Leistungsaufnahme der Treiberschaltungen zu reduzieren. Bedingt durch die großen Ströme in Verbindung mit parasitären Induktivitäten sind Treiberschaltungen besonders anfällig für Instabilitäten. Daher wird die Analyse und Dimensionierung der Schaltungen im Hinblick auf ihre Stabilität ausführlich behandelt.

Die Anwendung der neuen Methoden und Konzepte wird am Beispiel der Entwicklung von drei grundlegend unterschiedlichen Treiberschaltungen demonstriert, die jeweils den Stand der Technik erweitern.

Abstract

The subject of this thesis is the development of driver amplifiers in SiGe bipolar technology for optical communication links.

The target specifications of such drivers require not only high bandwidths and data rates, but also high output voltage swings compared with the breakdown voltage of the transistors. Furthermore, depending on the application, a high linearity is aimed at. The goal of this work is the development of new methods for the development of driver amplifiers to facilitate the achievement of these objectives.

Driver circuits feature in particular high voltage swings and consequently require high currents. The corresponding high power densities require a precise thermal analysis of the circuits. Furthermore, circuit concepts to reduce the power consumption of driver circuits are presented. Because of the high currents in conjunction with parasitic inductances driver circuits are prone for instabilities. Hence, the analysis of the circuits with regard to their stability is elaborately examined.

The application of the new methods and concepts is demonstrated at the example of the development of three fundamentally different driver circuits which in each case expand the state of the art.

Inhaltsverzeichnis

1	Einleitung und Ziel der Arbeit	1
1.1	Motivation und Thema der Arbeit	1
1.2	Gliederung der Arbeit	3
1.3	Vergleich mit dem Stand der Technik	5
2	Entwurfsprinzipien	9
2.1	Grundlegender Aufbau von HF-Treiberverstärkern in SiGe-Bipolar Technologie	9
2.2	Dimensionierungsmethoden	12
2.2.1	Reduktion der kapazitiven Belastung des Ausgangsknotens	13
2.2.1.1	Minimierung der parasitären Kapazitäten der Basisstufentransistoren	14
2.2.1.2	Minimierung der parasitären Kapazitäten der Abschlusswiderstände	16
2.2.2	Anhebung der Bandbreite durch Verstärkungsüberhöhung von Emitterfolgerkaskaden	18
2.2.2.1	Impedanztransformation des Emitterfolgers	18
2.2.2.2	Verstärkungsüberhöhung der Emitterfolgerkaskade	21
2.2.3	Dimensionierung von Verstärkern bezüglich ihrer Linearität mit Hilfe von Volterra-Reihen	33
2.2.3.1	Analyse der Linearität mit Hilfe von Volterra-Reihen	34
2.2.3.2	Berechnung der Volterra-Kerne	38
2.2.3.3	Verifikation und Folgerungen	44
2.2.3.4	Ausblick: Gesamtlinearität der Treiberschaltung	49
2.2.3.5	Fazit	50
3	Lösungskonzepte zu spez. Problemstellungen der Treiberschaltungsentwicklung	51
3.1	Die Temperaturproblematik in Treiberschaltungen	51
3.1.1	Thermische Modellierung des Transistors und seiner Umgebung	52
3.1.1.1	Modellierung des <i>Selfheating Effects</i> und der thermischen Kopplung	53
3.1.1.2	Simulationen des dreidimensionalen Aufbaus auf Basis finiter Elemente	55
3.1.1.3	Herleitung eines vereinfachten thermischen Netzwerks	56
3.1.1.4	Transistormodell mit Temperaturanschluss	61

3.1.1.5	Messtechnische Ermittlung der thermischen Impedanz	62
3.1.1.6	Vergleich der Ergebnisse der Simulationen und Messungen	65
3.1.1.7	Zusammenfassung und Fazit	68
3.1.2	Vermeidung des <i>Current Hogging Effects</i>	68
3.1.2.1	Dimensionierung von Emittergegenkopplung zur Verringerung des <i>Current Hogging Effects</i>	69
3.1.2.2	Ein spezielles Konzept zur Unterdrückung des <i>Current Hogging Effects</i> in Treiberausgangskaskoden	75
3.2	Transistorbetrieb außerhalb des spezifizierten Kollektor-Basis-Spannungsbereiches (Vermeidung des Transistordurchbruchs)	78
3.2.1	Grundlagen des Lawinendurchbruchs	78
3.2.2	Risikobewertung in Abhängigkeit der Schaltungstopologie	79
3.2.3	Stromeinschnürung infolge des Lawinendurchbruchs	80
3.2.4	Maßnahmen zur Vermeidung des Transistordurchbruchs	85
4	Minimierung der Leistungsaufnahme von Treiber-Schaltungen	91
4.1	Verlustleistungsoptimierte Arbeitspunkteinstellung der Last	91
4.1.1	Auftrennung des Bezugspotentials von Treiber und Modulator	93
4.1.2	Integration eines <i>Bias-Tees</i> auf den Treiber-Chip	95
4.2	Abhängigkeit der Leistungsaufnahme des Treibers von Performancekriterien	98
4.2.1	Abhängigkeit der Leistungsaufnahme vom Ausgangsspannungshub	99
4.2.2	Abhängigkeit der Leistungsaufnahme von der Grenzfrequenz	104
4.2.3	Fazit	106
5	Stabilitätsbetrachtungen	109
5.1	Untersuchung und Bewertung von Methoden zur Stabilitätsanalyse	110
5.1.1	Stabilitätsbegriff	110
5.1.2	Unbedingte Stabilität von Zweitoren nach Rollett	111
5.1.3	Weitere immittanzbasierte Stabilitätsanalysen	113
5.1.4	Schleifenbasierte Stabilitätsanalyse	119
5.1.5	Pol-/Nullstellenanalyse	121
5.1.6	Transiente Simulationen	123
5.1.7	Fazit	124
5.2	Stabilität häufig verwendeter Schaltungstopologien	125
5.2.1	Emitterfolgerkette	125
5.2.2	Kaskode	137
5.3	Besonderheiten hinsichtlich der Stabilität eines Treiber-Arrays mit von der Last getrenntem Bezugspotential	141
5.4	Fazit	147
6	Realisierte Treiberschaltungen	149
6.1	Linearer 13 GHz Treiber mit on-Chip Bias-Tee	149
6.2	$5 \times 11,3 \text{ Gbit s}^{-1}$ Treiber-Array	156

6.3	Linearer Addierer zur Realisierung eines 200 GS s^{-1} Digital-Analog-Wandlers	166
6.3.1	<i>Interleaving</i> von Digital-Analog-Wandlern	167
6.3.2	Schaltungsentwicklung des linearen Addierers	168
6.3.3	Messergebnisse	170
7	Zusammenfassung	179
A	Verwendete Transistorersatzschaltbilder	183
B	Überführung von im Signalpfad liegenden Dioden in die Zweitor-Darstellung	185
C	Volterra-Reihenentwicklung im Frequenzbereich	187
D	Beeinflussung der Sprungantwort am Ausgang eines begrenzenden Treibers durch frequenzabhängige Verluste der Messfassung	189
	Lebenslauf	193
	Literatur	197

Verzeichnis häufig verwendeter Abkürzungen und Symbole

Grundsätzliche Konventionen

- Gleichgrößen werden durch Großbuchstaben gekennzeichnet.
- Komplexe Größen werden durch unterstrichene Großbuchstaben gekennzeichnet \underline{X} . Real- und Imaginärteil werden mit $\Re(\underline{X})$ und $\Im(\underline{X})$ referenziert.
- Zeitabhängige Größen werden in Kleinbuchstaben dargestellt.
- Gleich- und Gegentaktgrößen werden durch ein hochgestelltes + bzw. – markiert.
- Einige Indizes werden, wenn allgemein üblich, aus dem Englischen übernommen. Dies betrifft insbesondere Eingangs- und Ausgangsgrößen (i, in bzw. o, out).
- Fachbegriffe, die aus dem Englischen übernommen werden, sind *kursiv* dargestellt.

Liste häufig verwendeter Abkürzungen und Formelzeichen

A	Fläche (eines Widerstands)
A_{eff}	effektive Fläche des Transistors
A_{min}	minimale Fläche des Transistors
$\underline{a}(s)$	Zählerpolynom einer komplexwertigen Übertragungsfunktion
$\underline{A}_{\text{tot}}$	Gesamtverstärkung
AC	Wechselstrom (<i>alternating current</i>)
AMUX	analoger Multiplexer
$\underline{b}(s)$	Nennerpolynom einer komplexwertigen Übertragungsfunktion
BMBF	Bundesministerium für Bildung und Forschung
BJT	<i>bipolar junction transistor</i>
$\underline{\beta}$	komplexwertige Kleinsignal-Wechselstromverstärkung eines Transistors
$\underline{\beta}_0$	Kleinsignal-Stromverstärkung eines Transistors niedrige Frequenzen
CBS	Basisstufe (<i>common base stage</i>)
C_{CB}	gesamte Basis-Emitter-Kapazität des Transistors
C_{CBx}	externe Kollektor-Basis-Kapazität des Transistors
C_{CS}	Kollektor-Substrat-Kapazität des Transistors

C_{DE}	Diffusionskapazität der Basis-Emitter-Diode des Transistors
$C_{\mu,x}$	äußere Kollektor-Basis-Kapazität des inneren Transistors
C_{μ}	innere Kollektor-Basis-Kapazität des inneren Transistors
C_k	Koppelkapazität
C_{je}	Sperrschichtkapazität der Basis-Emitter-Diode eines Transistors
C_L	Lastkapazität
C_{met}	parasitäre Kapazität der Metallisierung
C_{pad}	parasitäre Kapazität eines Bondpads
$C_{p,res}$	parasitäre Kapazität eines Widerstands
C_{out}	gesamte am Ausgangsknoten angreifende Kapazität
c_p	spezifische thermische Kapazität
γ_{ij}	Einträge einer beliebigen Immittanz-Matrix
D_i	Dioden
d	Abstand (eines Widerstands über dem Halbleitersubstrat)
DC	Gleichstrom (<i>direct current</i>)
DAC	Digital-Analog-Wandler
DPSK	<i>differential phase shift keying</i> (Modulationsverfahren)
δ_J	Stromeinschnürungsquotient
$\Delta\varphi(\omega)$	Phasenabweichung
EF	Emitterfolger
ENOB	<i>effective number of bits</i> (effektive Auflösung eines DACs)
ϵ_0	Permittivität des Vakuums
ϵ_r	relative Permittivität
$\epsilon_{r,eff.}$	effektive relative Permittivität
g_{BE}	Kleinsignal-Leitwert der Basis-Emitter-Diode des Transistors
g_m	Steilheit des Transistors
f	Frequenz
f_g	Grenzfrequenz
f_{max}	maximale Schwingfrequenz eines Transistors
f_S	Samplingrate eines Digital-Analog-Wandlers
f_T	Transitfrequenz des Transistors
\underline{F}_o	Verstärkung der offenen Schleife
FEM	Finite-Elemente-Methode
FPGA	<i>field programmable gate array</i>
GaAs	Galliumarsenid
GSSG	<i>ground-signal-signal-ground</i> , Reihenfolge der Signale eines Tastkopfs zur Messung von HF-Signalen
g_{TAS}	Transkonduktanz der Transadmittanzstufe
HBT	<i>heterojunction bipolar Transistor</i> , Bipolartransistor mit Heteroübergang
HD2	harmonische Verzerrung 2. Ordnung
HD3	harmonische Verzerrung 3. Ordnung
$h_n(\tau_1, \dots, \tau_n)$	Voltterrakern n -ter Ordnung (im Zeitbereich)
$\underline{H}_n(s_1, \dots, s_n)$	Voltterrakern n -ter Ordnung (im Frequenzbereich)

$\mathcal{H}_n[x(t)]$	Volterra-Operator n -ter Ordnung
I_{aus}	Reststrom des ausgeschalteten Transistors bei Vollaussteuerung der TAS
I_B	Basisstrom eines Transistors (im Arbeitspunkt)
I_C	Kollektorstrom eines Transistors (im Arbeitspunkt)
I_{CBS}	Ausgangsstrom der Basisstufe (CBS)
I_E	Emitterstrom eines Transistors (im Arbeitspunkt)
IMPACT	<i>Integrated multi-wavelength passive optical access system</i> , öffentliches gefördertes Forschungsprojekt
InP	Indiumphosphid
I_S	Sperrsättigungsstrom eines Transistors
I_{tot}	Gesamtarbeitspunktstrom der Schaltung
I_T	Transferstrom des Transistors
I_{TAS}	Arbeitspunktstrom der Transadmittanzstufe
J	Stromdichte
$j_{C,\text{krit.}}$	kritische Stromdichte des Transistors
k	Stabilitätsfaktor
κ	thermische Leitfähigkeit
$l_{\text{eff.}}$	effektive Länge des inneren Transistors
l_E	Breite des Emitterstreifens
λ	Wärmeleitfähigkeit
M	Multiplikationsfaktor
MZM	Mach-Zehnder-Modulator
μ	Stabilitätsfaktor
NDF	normalisierte Determinantenfunktion
NGOA	<i>Next Generation Optical Access</i> (Forschungsprojekt)
NRZ-OOK	<i>non-return-to-zero on-off-keying</i> (Modulationsverfahren)
OLT	<i>optical line terminal</i> , Gerät in einer opt. Übertragungsstrecke
ω_β	Grenzfrequenz der Stromverstärkung des Transistors
ω_d	Imaginärteil der dominanten Polstelle
ω_T	Transitfrequenz des Transistors
PAM	Puls-Amplituden-Modulation
p_d	dominante Polstelle
PEEC	<i>partial elements equivalent circuit</i> , Modellierungsmethode für Induktivitäten
PIC	<i>photonic integrated circuit</i> , photonischer Mikrochip
P_{res}	im Widerstand umgesetzte Leistung
$P_{\text{diss.}}$	dissipierte Leistung (im Transistor)
PNoB	<i>physical number of bits</i> , physikalische Auflösung eines DACs
PRBS	<i>pseudo random bit sequence</i> , Pseudo-Zufalls-Folge
PTFE	Polytetrafluorethylen, Handelsname: Teflon
P_{tot}	gesamte dissipierte Leistung der Schaltung
$q_{\text{CDE}}(t)$	Ladung der Basis-Emitter-Diffusionskapazität

Q_{BT}	Bootstrap-Transistor des <i>on-Chip-Bias-Tees</i>
Q_C	Transistor der Basisstufe (CBS)
Q_{EF}	Emitterfolger-Transistor
Q_T	Transistor der Transadmittanzstufe
r_B	Basisbahnwiderstand des Transistors
R_B	innerer Basisbahnwiderstand des Transistors
R_{Bx}	äußerer Basisbahnwiderstand des Transistors
R_E	Gegenkopplungswiderstand einer TAS
R_E	Widerstand zur Arbeitspunkteinstellung eines Emitterfolgers
R_{load}	Lastwiderstand
R_{th}	thermischer Widerstand
R_{Ti}, R_{term}	Abschlusswiderstände
RR	<i>return ratio</i>
RHE	rechte offene Halbebene (der komplexen Ebene)
RLC-Netzwerk	Netzwerk bestehend aus Widerständen (R) Induktivitäten (L) und Kapazitäten (C)
ρ	Dichte
s	komplexe Frequenz
S_{ij}	Streuparameter
SMA	<i>SubMiniature version A</i> , koaxialer Steckverbinder für HF-Signale
SINAD	<i>signal-to-interference ratio including noise and distortion</i> , Verhältnis aus Signalleistung zu Rauschen und Verzerrungen
SiGe	Silizium-Germanium
σ_d	Realteil der dominanten Polstelle
t	Zeit
τ_F	Transitzeit eines Transistors
T	Temperatur
\underline{T}	T-Operator
TAS	Transadmittanzstufe
TIDAC	<i>time interleaved DAC</i>
TML	<i>transmission line</i> , Übertragungsleitung
T_j	Sperrschicht(<i>junction</i>)-Temperatur
U_{bias}	Arbeitspunktspannung des Modulators
U_{CBO}	Durchbruchsspannung bei offenem Emitter
U_{CEO}	Durchbruchsspannung bei offener Basis
U_{CE}	Kollektor-Emitter-Spannung
U_{EE}	negative Versorgungsspannung
U_{Hub}	Spannungshub am Treiberausgang
U_T	Temperaturspannung
\underline{U}_{out}	Ausgangsspannung
UDWDM	<i>Ultra Dense Wavelength Division Multiplex</i> (Übertragungsverfahren)
VNA	vektorieller Netzwerk-Analysator

w_{eff}	effektive Breite des inneren Transistors
w_E	Breite des Emitterstreifens
ϕ	Phasendrehung
$x(t)$	Eingangsgröße eines Systems
$y(t)$	Ausgangsgröße eines Systems
\underline{Y}_k	Kernadmittanz
\underline{Y}_T	Transadmittanz
\mathbf{Y}	Knotenadmittanzmatrix
\underline{Z}_{CS}	Impedanz einer nicht-idealen Stromquelle
\underline{Z}_e	Gegenkopplungsimpedanz der TAS
\underline{Z}_L	Lastimpedanz
$\underline{Z}_{\text{out}}$	am Ausgangsknoten angreifende Impedanz
\underline{Z}_p	Impedanz am Tor p
$\underline{Z}_{\text{sub}}$	das Substratnetzwerk repräsentierende Impedanz
$\underline{Z}_{\text{th}}$	thermische Impedanz
ZOH	<i>zero order hold</i> Halteglied nullter Ordnung

Kapitel 1

Einleitung und Ziel der Arbeit

1.1 Motivation und Thema der Arbeit

Weltweit nimmt der Datenverkehr im Internet stetig zu. Mit kostengünstig erreichbaren hohen Datenraten für Endkunden werden in gleichem Maße neue, bandbreitenintensive Anwendungsfelder (z.B. *Video on Demand*) erschlossen, sodass ein Ende dieses Wachstums nicht absehbar ist [1]. Von einem technischen Standpunkt aus gesehen, erfordert dieses Wachstum die ständige Weiterentwicklung der eingesetzten Hardware, um bei konstant bleibenden Kosten steigende Datenraten zu ermöglichen. Getrieben von dieser Entwicklung setzt sich die sogenannte *Ultra Dense Wavelength Division Multiplexing* (UDWDM) Technologie in optischen Metro-Netzwerken durch, bei der auf einer einzelnen Glasfaser eine Vielzahl von Datenkanälen übertragen werden, von denen jeder in einem bestimmten Wellenlängenbereich liegt [2, 3]. Dadurch können steigende Datenraten auf bereits vorhandenen Glasfaserstrecken übertragen werden. Allerdings werden hierzu neue Sender (*Transmitter*) und Empfänger (*Receiver*) benötigt.

Vorrangiges Ziel der vorliegenden Arbeit ist die Entwicklung von Entwicklungsmethoden für schnelle Treiberverstärker in Silizium-Germanium (SiGe)-Technologie zur Ansteuerung optischer Modulatoren, die eine essentielle Komponente der Transmitter solcher optischer Übertragungsstrecken darstellen. Je nach Systemarchitektur werden lineare oder begrenzte Treiberverstärker benötigt. Für beide Fälle wurden im Rahmen der Arbeit Methoden entwickelt und deren Leistungsfähigkeit anhand von Demonstrator-Schaltungen erfolgreich nachgewiesen.

Durch die Weiterentwicklung der Mach-Zehnder-Modulatoren (MZMs), die in optischen Übertragungsstrecken eingesetzt werden, sind inzwischen Spannungshübe von wenigen Volt für die Ansteuerung ausreichend, sodass als Treiber nicht mehr ausschließlich Schaltungen in III-V-Halbleiter-Technologien (meist Indiumphosphid) in Betracht kommen, sondern auch, wie mit dieser Arbeit gezeigt, in SiGe-Technologien die notwendigen Spannungen erreicht werden können. Die Realisierung solcher Treiber in SiGe-Technologie stellt dennoch eine besondere Herausforderung dar, da bei der Entwicklung aktueller SiGe-Technologien eine geringere Durchbruchsspannung der Transistoren in Kauf genommen wurde, um höhere Transitfrequenzen und somit höhere Datenraten zu ermöglichen. Daher

besteht die Schwierigkeit bei der Treiberentwicklung weniger im Erreichen der notwendigen Geschwindigkeit, d.h. Bandbreite bzw. maximalen Datenrate, sondern vielmehr in der Realisierung der benötigten Ausgangsspannungshübe unter Vermeidung des Durchbruchs der Transistoren. Trotz dieser Herausforderungen ist die Realisierung der Treiberschaltungen in einer aktuellen SiGe-Technologie erstrebenswert. Diese Technologien ermöglichen nämlich nicht nur die kostengünstige Massenproduktion der Schaltung, sondern eignen sich auch hervorragend zur Realisierung schneller sogenannter *Mixed-Signal* Schaltungen, wie z. B. Digital-Analog-Wandler (DACs) [4, 5]. Die Fertigung mehrerer Schaltungen in derselben Technologie ermöglicht beispielsweise eine monolithische Integration von DAC und Treiber auf einem einzigen Chip, was sowohl mit signifikanten Kosteneinsparungen als auch mit einem deutlich verbesserten Signalpfad (bessere Reproduzierbarkeit, geringere Verluste) zwischen beiden Komponenten einhergeht, wodurch letztendlich der Leistungsbedarf des Gesamtsystems reduziert werden kann.

Neben den bereits genannten Kriterien, also Geschwindigkeit und Ausgangsspannungshub, ist die Minimierung der Leistungsaufnahme des Treiberverstärkers ein zentrales Kriterium. Zum einen sind die Verstärker nämlich als Komponenten von Hochleistungs-Datenübertragungssystemen dauerhaft im Einsatz, zum anderen führt die kompakte Bauform der in solchen Systemen eingesetzten *Transceiver* dazu, dass die Ableitung von in Wärme umgesetzter Verlustleistung sehr aufwendig und kostenintensiv ist. Je nach in der Anwendung eingesetztem Modulationsverfahren kommt die Linearität als weiteres Kriterium hinzu.

Zwischen diesen zentralen Kriterien der Entwicklung von Treiberverstärkern existiert ein wechselseitiges Abhängigkeitsgeflecht. Die Forderung nach einem hohen Ausgangsspannungshub und einer hohen Bandbreite ist naturgemäß konträr zur Forderung einer geringen Leistungsaufnahme. Daher müssen, um eine minimale Leistungsaufnahme zu erzielen, alle zur Verfügung stehenden Freiheitsgrade bei der Schaltungsentwicklung optimal genutzt werden, wodurch die einzelnen Elemente der Schaltung, insbesondere die Transistoren, im Grenzbereich ihrer Spezifikation betrieben werden, was ein besonders gewissenhaftes Vorgehen erfordert.

Bei allen im Rahmen der Arbeit vorgenommenen Untersuchungen und neu entwickelten Methoden steht das Verständnis des Zusammenhangs zwischen den zu dimensionierenden Schaltungsparametern und den daraus resultierenden Eigenschaften der Schaltung im Vordergrund. Dabei wird an einigen Stellen die Problemstellung vereinfacht ohne diese Abhängigkeiten und Zusammenhänge grundlegend zu verändern, beispielsweise durch Nutzung eines vereinfachten Transistormodells, um ein analytisches Verständnis dieses Zusammenhangs zu ermöglichen. Zur präzisen Auslegung der Schaltung sind selbstverständlich Simulationen mit komplexeren Modellen notwendig, die eine genaue quantitative Beschreibung liefern. Aber das Verständnis, für das die vereinfachte, qualitative Beschreibung ausreicht, ist essentiell, um die gewonnen Erkenntnisse auf ähnliche Problemstellungen zu übertragen und um kreativ nach neuartigen Lösungen zu suchen, mit denen der Stand der Technik erweitert werden kann.

1.2 Gliederung der Arbeit

Die vorliegende Arbeit gliedert sich in sechs Kapitel, die sich mit verschiedenen Aspekten der Treiberentwicklung, insbesondere neuen Methoden zum Erreichen der Kriterien Bandbreite, Linearität, Ausgangsspannungshub und geringe Leistungsaufnahme, befassen.

In Kap. 2.1 wird die typische Topologie eines Treiberverstärkers erläutert, die die Grundlage für die im Rahmen der Arbeit untersuchten Konzepte und realisierten Treiberschaltungen bildet. Darauf aufbauend, werden in Kap. 2.2.1 und Kap. 2.2.2 Maßnahmen und Konzepte zur Reduktion der am Ausgangsknoten angreifenden parasitären Kapazität und zur Optimierung der Übertragungsfunktionen von Verstärkerzellen vorgestellt, mit dem Ziel die Bandbreite der Verstärker zu verbessern. Die vorgestellten Konzepte bauen auf dem Stand der Technik auf und erweitern diesen. In Kap. 2.2.2 wird ein in [6] vorgestelltes Konzept zur Optimierung der Übertragungsfunktion einer Verstärkerzelle aufgegriffen und verallgemeinert, sodass es sich einfach auf nahezu beliebige Verstärkerzellen, u. a. auch die im Rahmen der Arbeit realisierten Treiberverstärker anwenden lässt. Um im Fall linearer Treiberverstärker die Linearität optimieren zu können, ist die in Kap. 2.2.3 vorgestellte, symbolische Beschreibung mit Hilfe von Volterra-Reihen zielführend. Der Mehrwert der vorliegenden Arbeit im Verhältnis zum in der Literatur dokumentierten Stand der Technik besteht in erster Linie darin, die unterschiedlichen Herangehensweisen verschiedener Quellen zu vereinheitlichen und dann an für Treiberverstärker typischen Schaltungstypen zu demonstrieren. Sowohl die Maßnahmen zur Optimierung der Bandbreite als auch die dargestellten Verfahren zur Analyse und Dimensionierung des Verstärkers hinsichtlich einer guten Linearität sind nicht auf Treiberverstärker beschränkt, sondern können ebenso zur Entwicklung von Verstärkern mit geringeren Ausgangsspannungshüben genutzt werden.

Kap. 3 beschäftigt sich mit spezifischen Problemstellungen, die insbesondere bei der Entwicklung von Treiberschaltungen eine Rolle spielen. Aufgrund der großen Ströme im Fall von Treiberschaltungen entstehen sehr hohe Verlustleistungsdichten und es müssen eine Vielzahl von Transistoren parallel geschaltet werden. Dies erfordert geeignete Maßnahmen, die sicherstellen, dass sich die zu schaltenden Ströme gleichmäßig auf diese Transistoren aufteilen. Zu diesem Zweck wird in Kap. 3.1 das in [7] beschriebene, thermische Modell zur Beschreibung der Eigenerwärmung eines Transistors auf mehrere Transistoren, die thermisch gekoppelt sind, erweitert und nicht nur basierend auf Simulationen sondern erstmals auch mit Hilfe von Messungen an Teststrukturen verifiziert. Darauf aufbauend wird erstmalig eine Dimensionierungsvorschrift für Emittergegenkopplungswiderstände hergeleitet, die eine gleichmäßige Stromaufteilung sicher stellen. Außerdem wird ein neues Konzept vorgestellt, mit dem sich mit geringfügigen Modifikationen in Treiberausgangsstufen die ungleichmäßige Aufteilung des Stroms ohne die Nachteile der dem Stand der Technik entsprechenden Emittergegenkopplungswiderstände realisieren lässt.

Darüber hinaus treten bei Treiberverstärkern Ausgangsspannungshübe auf, die ein Überschreiten der in SiGe-Technologien spezifizierten Durchbruchspannungen der Transis-

toren erfordern, was dazu führen kann, dass sich der den Transistor durchfließende Strom nicht gleichförmig auf die Transistorfläche verteilt, sondern sich auf einen sehr kleinen Bereich im Zentrum konzentriert, was zu irreversiblen Schäden führt. In Kap. 3.2 werden neue Kriterien hergeleitet, mit denen sich beurteilen lässt, ob es zu einer solchen Stromeinschnürung kommt, und schaltungstechnische Gegenmaßnahmen präsentiert.

Kap. 4 beschäftigt sich mit der Verlustleistungsoptimierung von Treiberschaltungen. In Kap. 4.1 werden zwei im Rahmen der Arbeit entwickelte Konzepte zur Arbeitspunkteinstellung der an den Treiber angeschlossenen Modulatoren vorgestellt. Gegenüber dem Stand der Technik wird durch diese Konzepte die zur flexiblen Arbeitspunkteinstellung der Modulatoren notwendige, zusätzliche Leistungsaufnahme verringert. In Kap. 4.2 wird der Zusammenhang zwischen der Leistungsaufnahme und den übrigen Kriterien der Treiberschaltung genauer untersucht, mit dem Ziel einer möglichst allgemeinen und zugleich einfachen Beschreibung.

Besonders kritisch bei der Entwicklung von Treibern ist die Stabilität der Schaltung. Aufgrund der hohen zu schaltenden Ströme wird diese insbesondere auch durch parasitäre Elemente stark beeinflusst. Durch die Anordnung mehrerer Treiber auf einem Chip in Form eines Arrays, die ebenfalls im Rahmen dieser Arbeit realisiert wurde, wird diese Problematik sogar noch verschärft. Daher befasst sich Kap. 5 im Detail mit verschiedenen Methoden zur Untersuchung der Stabilität einer Schaltung und deren Anwendung auf Treiberschaltungen. Hierbei liegt ein besonderes Augenmerk auf Methoden, deren Ergebnis nicht nur eine Aussage darüber ist, ob die Schaltung stabil ist, sondern die auch Informationen darüber liefern, wie sensitiv die Stabilität bzgl. der Schaltungsparameter ist. Solche Informationen sind essentiell zur zielgerichteten Weiterentwicklung der Schaltungen. Die vorgestellten Methoden werden in Kap. 5.2 an Schaltungstopologien demonstriert, die die Stabilität von Treiberschaltungen bestimmen.

In Kap. 6 werden schließlich die im Rahmen der Arbeit realisierten Demonstratorschaltungen vorgestellt, mit denen gezeigt werden konnte, dass die neu entwickelten Methoden und Vorgehensweisen nicht nur in der Simulation, sondern auch bei der Realisierung der Schaltungen erfolgreich angewendet werden können. Neben einem linearen Treiber und einem nichtlinearen Treiber-Array wurde eine weitere hochlineare Verstärkerschaltung mit zwei Kanälen realisiert, die dazu dient, die Ausgangssignale von zwei Digital-Analog-Wandlern zu überlagern. Diese weist zwar einen deutlich geringeren Ausgangsspannungshub auf als die beiden anderen Treiberschaltungen, eignet sich jedoch hervorragend, um die erfolgreiche Anwendung der Optimierung der Linearität zu demonstrieren.

Kap. 7 fasst die Ergebnisse der Arbeit zusammen.

1.3 Vergleich mit dem Stand der Technik

In Tabelle 1.1 sind alle im Zeitraum der Entstehung der Arbeit publizierten Modulator-treiber in SiGe-Technologie, sowie einige bereits zuvor publizierte Treiber aufgeführt, um einen Überblick über den Stand der Technik zu ermöglichen. Im oberen Teil der Tabelle befinden sich lineare, im unteren Teil begrenzende Treiberschaltungen. Die Geschwindigkeit linearer Treiberschaltungen wird üblicherweise über die Bandbreite charakterisiert, die der begrenzenden über die maximale Datenrate. Falls bekannt, wurden in Tabelle 1.1 zusätzlich die maximale Datenrate für die linearen und die Bandbreite für die begrenzenden Treiber angegeben. Die im Rahmen der vorliegenden Arbeit realisierten Schaltungen sind fett gedruckt.

Die Maßgabe bei der Entwicklung der in der vorliegenden Arbeit realisierten Treiberschaltungen [15, 37, 38] bestand vornehmlich darin, die für das jeweilige Gesamtsystem spezifizierte Datenrate bzw. Bandbreite, sowie den geforderten Ausgangsspannungshub unter der Randbedingung einer möglichst geringen Leistungsaufnahme zu realisieren. Dieses Ziel wurde erreicht, da keine weiteren Treiberverstärker bekannt sind, die die jeweilige Zielspezifikation erfüllen und mit geringerer Leistungsaufnahme betrieben werden können. Zudem stellen die erreichten Ausgangsspannungshübe im Bereich von $6 V_{pp}$ bis $7 V_{pp}$ im Vergleich zu weiteren, in Technologien mit ähnlichen Transitfrequenzen realisierten Treiberschaltungen Rekordwerte dar, die nur erreicht werden konnten, weil die im Rahmen der Arbeit erläuterten, neu entwickelten Konzepte angewendet wurden. Ältere Technologien mit geringen Transitfrequenzen weisen höhere Durchbruchsspannungen auf, wodurch Treiberschaltungen mit hohen Ausgangsspannungshüben in diesen Technologien einfacher realisiert werden können. Dennoch ist die Realisierung ähnlicher Treiberschaltungen in neueren und schnelleren Technologien erstrebenswert, da beispielsweise die monolithische Integration mit weiteren Schaltungsteilen angestrebt wird, für die eine entsprechend hohe Transitfrequenz essentiell ist.

Es fällt auf, dass die im Rahmen dieser Arbeit realisierten Treiberschaltungen [15, 37, 38] keine neuen Rekordwerte bzgl. der Geschwindigkeit, also der Bandbreite bzw. Datenraten im Vergleich zum Stand der Technik definieren. Die Anforderungen an diese Treiberschaltungen, die sich jeweils aus den Systemspezifikationen der optischen Datenübertragungssysteme, in denen die Treiber zum Einsatz gebracht werden, ergaben, favorisierten jeweils einen höheren Ausgangsspannungshub. Da zum Erreichen solch hoher Hübe auch deutlich größere Ströme geschaltet werden müssen, was größere Transistoren und entsprechend größere parasitäre Kapazitäten bedingt, wird die erreichbare Datenrate notwendigerweise geringer. Selbst im Vergleich mit in langsameren Technologien realisierten Treiberverstärkern [27] wird eine geringere Geschwindigkeit in Kauf genommen, um Einsparpotenziale bei der Leistungsaufnahme vollständig ausnutzen zu können. Nur [36] weist im Bereich der begrenzenden Verstärker mit differentiellen Ausgangshüben größer $6 V_{pp}$ eine geringere Leistungsaufnahme auf, was erreicht wird, indem der on-Chip Abschlusswiderstand am Treiberausgang auf 250Ω angehoben wird, wodurch sich eine

Ref.	Jahr	f_T /GHz	BW/GHz	DR/Gbit s ⁻¹	V./dB	$U_{out,diff}$ /V _{pp}	Topologie	R_{out}/Ω	Linearität	P/W
[8]	2017	330	57,5	64,0	18,8	4,8	konzentriert	niederohmig	linear	0,82
[9]	2017	330	>70	64,0	20,0	4,8	verteilt	50 Ω	linear	1,10
[10], [11]	2017	250	90,0	64,0	12,5	4,0	verteilt	50 Ω	linear	0,55
[12]	2015	250	32,0	-	8,0	2,5	verteilt	-	linear	1,65
[13], [14]	2016	300	80,0	-	15,5	6,0	verteilt	50 Ω	linear	0,87
[15]	2014 200	13,0	13,0	-	19,0	7,0	konzentriert	50 Ω	linear	1,50
[16]	2017 200	50,0	50,0	-	0,0	3,2	konzentriert	50 Ω	linear	1,80
[17]	2016	330	-	56,0	-	3,2	konzentriert	niederohmig	begrenzend	0,30
[18], [19]	2016	250	33,4	40,0	16,0	1,0	konzentriert	50 Ω	begrenzend	0,09
[20]	2015	250	24,0	40,0	12,5	4,0	konzentriert	25 Ω	begrenzend	1,10
[21]	2016	190	24,0	28,0	14,5	4,0	verteilt	70 Ω	begrenzend	2,00
[22]	2011	180	33,7	40,0	13,0	6,0	konzentriert	50 Ω	begrenzend	1,35
[23], [24]	2007	155	22,0	40,0	36,0	7,2	verteilt	75 Ω	begrenzend	3,60
[25]	2009	80	32,0	40,0	13,6	2,5	verteilt	50 Ω	begrenzend	1,12
[26]	2012	110	-	20,0	-	5,0	konzentriert	50 Ω	begrenzend	0,75
[27]	1999	72	-	23,0	-	7,0	konzentriert	50 Ω	begrenzend	2,50
[28]	2014	120	-	10,0	40,0	5,6	konzentriert	niederohmig	begrenzend	0,87
[29]	2007	120	-	10,0	-	8,0	konzentriert	50 Ω	begrenzend	3,65
[30]	2013	120	7,1	10,0	37,0	5,0	konzentriert	50 Ω	begrenzend	0,68
[31], [32]	2005	120	-	10,0	-	9,0	konzentriert	50 Ω	begrenzend	1,00
[33]	2013	60	-	10,0	-	6,2	verteilt	50 Ω	begrenzend	2,13
[34]	1994	25	-	10,0	-	7,2	konzentriert	50 Ω	begrenzend	2,20
[35]	2013	230	-	11,3	-	3,0	konzentriert	250 Ω	begrenzend	0,30
[36]	2014	230	-	28,0	-	6,0	konzentriert	250 Ω	begrenzend	0,65
[37], [38]	2015 200	-	-	11,3	-	6,0	konzentriert	50 Ω	begrenzend	0,88

Abkürzungen: f_T : Transitfrequenz; BW: Bandbreite; DR: Datennrate; V.: Verstärkung; $U_{out,diff}$: differentieller Ausgangsspannungshub; R_{out} : integrierter Ausgangswiderstand; P: Leistungsaufnahme

Tabelle 1.1: Vergleich verschiedener Treiberschaltungen.

deutliche Verschlechterung der Anpassung ergibt. Der im Rahmen der Arbeit realisierte lineare Treiber [15] wurde für kapazitiv gekoppelte Lasten entwickelt, wodurch eine deutlich größere Versorgungsspannung und somit auch eine höhere Leistungsaufnahme bedingt werden (vgl. Kap. 4.1).

Vor allem im Bereich linearer Treiber lassen sich mit verteilten Konzepten deutlich größere Bandbreiten erreichen, indem die parasitären Kapazitäten zusammen mit entsprechend dimensionierten on-Chip Induktivitäten künstliche Übertragungsleitungen bilden. Durch die effektiv geringer wirkenden parasitären Kapazitäten steigt dabei nicht nur die Bandbreite, auch die Leistungsaufnahme lässt sich senken, da keine Vorverstärker benötigt werden und die Emitterfolger zum Ansteuern der Ausgangskaskoden eine geringere Stromaufnahme aufweisen. Begleitend zur vorliegenden Arbeit wurden sowohl diese verteilten Konzepte [39] als auch Möglichkeiten zur Realisierung von on-Chip Induktivitäten untersucht [40, 41]. Die Herausforderung bei der Realisierung verteilter Verstärker besteht im Wesentlichen in der geeigneten Modellierung der on-Chip Induktivitäten, um mit diesen künstliche Übertragungsleitungen am Eingang und am Ausgang des Verstärkers zu realisieren, die nicht nur eine definierte Wellenimpedanz (meist $50\ \Omega$) aufweisen, sondern auch identische Laufzeiten zwischen den einzelnen Verstärkerstufen. Da die angestrebten Datenraten auch mit konzentrierten Treiberkonzepten realisiert werden konnten, wurden, zur Minimierung des Entwicklungsrisikos und aufgrund der geringeren benötigten Chipfläche, bei den im Rahmen der vorliegenden Arbeit realisierten Treibern konzentrierte Konzepte bevorzugt.

Der in [16] publizierte Verstärker bildet im Vergleich zu den übrigen Entwicklungen im Rahmen der Arbeit eine Ausnahme. Er hat zwei identische Verstärkerkanäle, die am Ausgang verbunden sind, um die Signale zweier Digital-Analog-Wandler linear zu überlagern. Für diese Anwendung sind insbesondere eine sehr hohe Linearität und Bandbreite ausschlaggebend, auf die die Schaltung optimiert wurde. Sie weist aber auch einen deutlich geringeren Ausgangsspannungshub auf. Die Leistungsaufnahme war in diesem Fall kein wesentliches Kriterium. Insofern komplementiert diese Schaltung die in der vorliegenden Arbeit dargestellten Treiberverstärker. Sie demonstriert, dass mit SiGe-Technologien mit einer Transitfrequenz von 200 GHz eine Bandbreite von 50 GHz erreicht werden kann, was für Treiberschaltungen einen Rekordwert darstellt. Dabei sei betont, dass die Bandbreite im aufgebauten Zustand ermittelt wurde, also inklusive der parasitären Effekte von Bonddrähten und Messsubstrat (vgl. Kap. 6).

Tabelle 1.1 beschränkt sich auf Treiberschaltungen in SiGe-Technologie. Aber auch andere Technologien eignen sich hervorragend zur Realisierung dieser Schaltungs-kategorie. Aufgrund der höheren Durchbruchsspannungen der Transistoren werden viele Treiberverstärker in III-V-Technologien wie Indiumphosphid (InP) (z.B. [42–44]) und Galliumarsenid (GaAs) (z.B. [45–47]) realisiert. Auch bzgl. der Transitfrequenz bieten diese Technologien gegenüber SiGe Vorteile. Nachteilig ist allerdings, dass die Produktionskosten in diesen Technologien sehr hoch sind. Außerdem sind die in diesen Prozessen gefertigten ICs meist aufgrund der geringeren Ausbeute auf eine Komplexität von einigen 100 Transistoren

begrenzt. Dies stellt zwar für Treiberschaltungen kein ernst zu nehmendes Problem dar, für komplexere Schaltungen, wie Digital-Analog-Wandler, sind sie aber ungeeignet. Daher entfällt dann der Vorteil einer möglichen monolithischen Integration des Treiberverstärkers mit weiteren elektronischen Schaltungsteilen.

Auch in CMOS-Technologien lassen sich Treiberverstärker realisieren [48–51], wobei diese eine völlig andere Topologie aufweisen als entsprechende Schaltungen in SiGe-Technologie. Aufgrund der deutlich geringeren Steilheit von CMOS-Transistoren gegenüber Bipolartransistoren, werden in diesen Schaltungen relativ große on-Chip Induktivitäten benötigt, um durch Ausnutzen von Resonanzen genügend große Bandbreiten realisieren zu können. Zudem werden fast immer Gegentakt-Ausgangsstufen verwendet, die zwar eine hohe Energieeffizienz aufweisen, aber nicht für eine Anpassung an die $50\ \Omega$ -Wellenimpedanz der Ausgangsleitung geeignet sind. Der Einsatz beschränkt sich daher auf Konzepte, bei denen die Last, also meist der Modulator, monolithisch integriert wird, oder zumindest durch eine geeignete Aufbautechnik so nah am Treiberausgang platziert werden kann, dass sich ein im Vergleich zur minimalen Wellenlänge kleines Gesamtsystem ergibt. Eine Ausnahme bildet der in [52, 53] publizierte verteilte Verstärker, bei dem mit einer zu Bipolar-Verstärkern ähnlichen Topologie mit CMOS-Transistoren und on-Chip Induktivitäten eine Datenrate von $60\ \text{Gbit s}^{-1}$ mit einem differentiellen Ausgangsspannungshub von $2,4\ \text{V}_{\text{pp}}$ erreicht wird.

Die im Folgenden vorgestellten Konzepte sind weder auf Schaltungen in SiGe-Technologie noch auf Treiberschaltungen beschränkt. Ihre Anwendung kommt aber häufig erst bei Schaltungen mit großen Strömen und Spannungen zum Tragen, sodass die grundlegenden Effekte beispielsweise in Transimpedanzverstärkern häufig vernachlässigt werden können. Sie können ebenso für Schaltungen in III-V-Technologien angewendet werden, vorausgesetzt die eingesetzten Transistormodelle enthalten eine ausreichend detaillierte Beschreibung der wesentlichen Effekte. Auch auf Schaltungen mit CMOS-Transistoren lassen sich aufgrund des ähnlichen Kleinsignalersatzschaltbilds (vgl. [54, 55]) einige der Konzepte und Optimierungen anwenden, sofern eine vergleichbare Topologie gewählt wird.

Kapitel 2

Entwurfsprinzipien

2.1 Grundlegender Aufbau von Hochfrequenz-Treiberverstärkern in SiGe-Bipolar Technologie

Die prinzipielle Topologie, die nahezu allen in Tabelle 1.1 aufgeführten SiGe-Treiberverstärkern zugrunde liegt, ist in Abb. 2.1 dargestellt. Die an diese Verstärker gestellten Randbedingungen des Betriebs bei so hohen Frequenzen, dass die räumliche Ausdehnung der Verstärker inklusive Aufbautechnik nicht mehr vernachlässigbar ist [56], sowie die Tatsache, dass zum Erreichen derart hoher Geschwindigkeiten die Grenzen der SiGe-Technologien ausgeschöpft werden müssen [57], führen zu diesem grundlegend ähnlichen Aufbau. Die Schaltungen sind differentiell aufgebaut, da dies mit einer Reihe von Vorteilen einhergeht [58]. Eine einzelne Verstärkerzelle besteht aus Abschlusswiderständen des differentiellen Eingangs, einer Emitterfolgerkaskade mit $\mu, \nu = 1 \dots 3$ Emitterfolgern, einem Stromschalter bzw. einer Transadmittanzstufe (TAS) und einer optionalen Basisstufe (CBS). Je nach Zielspezifikation kann bereits eine solche Verstärkerzelle ausreichen, oft werden jedoch zwei oder mehr kaskadierte Verstärkerzellen benötigt, wodurch einerseits mehr Freiheitsgrade zur Optimierung zur Verfügung stehen, andererseits aber auch die Leistungsaufnahme der Schaltung erhöht wird.

Innerhalb einer einzelnen Treiberzelle erfüllen die Komponenten folgende Aufgaben:

Abschlusswiderstände Die Abschlusswiderstände R_{T_i} dienen als Abschluss für die Lei-

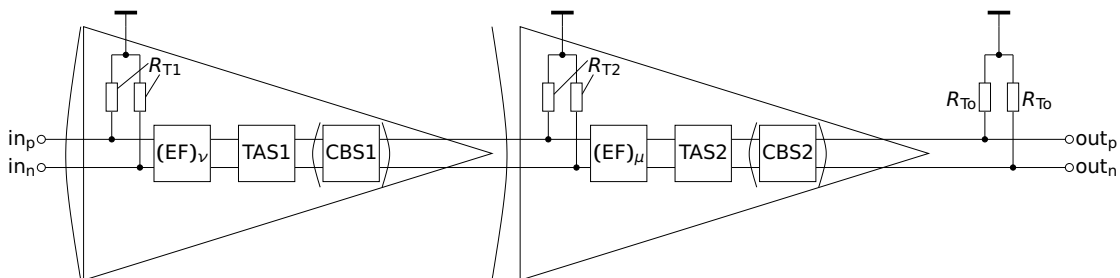


Abb. 2.1: Allgemeine Topologie der im Rahmen der vorliegenden Arbeit untersuchten Treiberverstärker.

tung, über die das Eingangssignal zur jeweiligen Verstärkerzelle geführt wird. Außerdem spielen sie eine wichtige Rolle hinsichtlich der Stabilität der Emitterfolgerkaskade [59]. Die Abschlusswiderstände R_{T_0} am Ausgang der Schaltung dienen analog zur Anpassung an die am Ausgang angeschlossene Übertragungsleitung.

Emitterfolgerkaskade Kaskadierte Emitterfolger (meist 2 bis 3 Stück) dienen zur Impedanztransformation und somit zur besseren Entkopplung von Aus- und Eingang der Treiberzelle. Wegen ihrer großen Stromverstärkung sind sie essentiell zur Ansteuerung der nachfolgenden TAS, die im Regelfall eine große Eingangskapazität aufweist. Darüber hinaus dienen sie zur Verschiebung des Gleichspannungspegels des Signals, um einen geeigneten Arbeitspunkt an der Basis der TAS-Transistoren einzustellen.

Transadmittanzstufe (TAS) Die TAS setzt die differentielle Eingangsspannung in einen Strom um, der an den Lastwiderständen R_{T_0} wieder in eine Spannung gewandelt wird. Sie ist maßgeblich für die Spannungsverstärkung der gesamten Verstärkerzelle und bestimmt deren Linearität.

Basisstufe (CBS) Die CBS dient zur Verbesserung der Entkopplung des Ausgangs der Treiberschaltung von der Emitterfolgerkaskade. Sie hält den Spannungshub am Kollektorknoten der Transadmittanzstufe näherungsweise konstant, verringert somit den Miller-Effekt an den TAS-Transistoren und führt folglich zu einer Erhöhung der Bandbreite. Darüber hinaus spielt sie eine wesentliche Rolle zur Vermeidung des Transistordurchbruchs der TAS-Transistoren.

Diese Funktionen werden im Folgenden am Beispiel eines Kanals des im Rahmen der vorliegenden Arbeit entwickelten Treiber-Arrays [38] konkretisiert. Zu diesem Zweck wird das Schaltbild eines einzelnen Treiber-Kanals in Abb. 2.2 vereinfacht dargestellt, die detaillierte Darstellung und Diskussion der Schaltung erfolgt in Kap. 6.2. Die dargestellte, begrenzende Treiberschaltung lässt sich gemäß dem Partitionierungskonzept aus [6, 60] an der Stromschnittstelle am Ausgang der ersten Kaskode in zwei Verstärkerzellen aufteilen. An dieser Stromschnittstelle sind die beiden Zellen so gut entkoppelt, dass jede der beiden Zellen einzeln betrachtet und optimiert werden kann. Am Eingang der ersten Zelle schließen zwei Abschlusswiderstände R_1 die beiden externen Eingangs-Leitungen mit $50\ \Omega$ ab. Zwischen den beiden differentiellen Emitterfolgern Q_{EF1} und Q_{EF2} befinden sich je drei Dioden D_1, D_2, D_3 , die zur Absenkung des DC-Potentials¹ der Basen der nachfolgenden TAS-Transistoren Q_{T1} dienen. Die TAS steuert die Basisstufe Q_{C1} an, die den Ausgang der ersten Verstärkerzelle bildet. Die zweite Verstärkerzelle ist sehr ähnlich aufgebaut: Sie besteht ebenfalls aus zwei Abschlusswiderständen R_4 , zwei Emitterfolgern Q_{EF3}, Q_{EF4} , sowie einer Kaskode aus TAS, Q_{T2} , und CBS, Q_{C2} . Am Ausgang der Kaskode befinden sich zwei Widerstände R_5 , die die am Schaltungsausgang angeschlossene Leitung abschließen.

¹Mit der Bezeichnung *direct current* (DC) wird im folgenden Gleichstrom bezeichnet, im Gegensatz zu *alternating current* (AC, Wechselstrom).

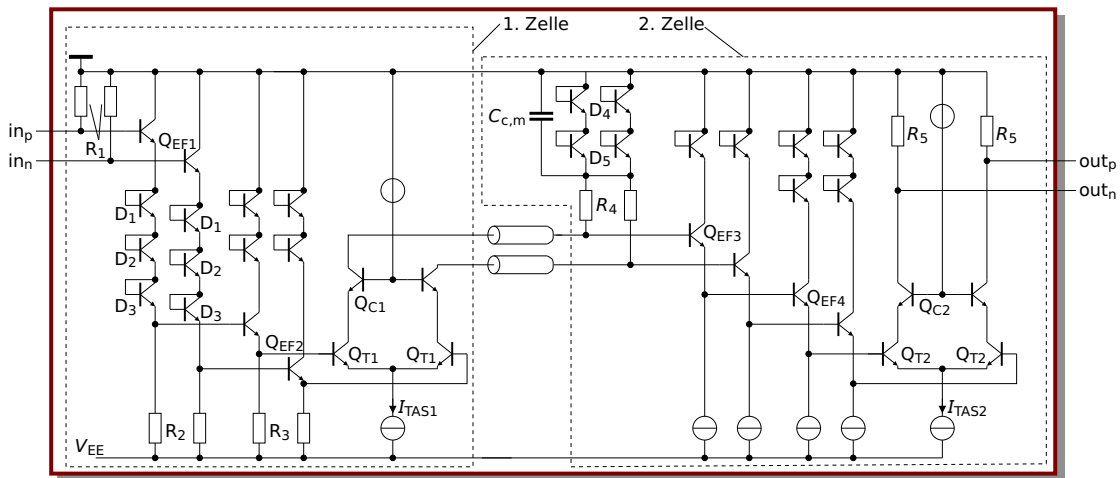


Abb. 2.2: Schaltbild eines Kanals des im Rahmen der Arbeit entwickelten Treiber-Arrays (vereinfacht).

Es fallen einige Besonderheiten auf, die über die reine Funktion der einzelnen Transistorstufen hinaus erklärt werden müssen: Die Kollektorpotentiale der Emitterfolger Q_{EF2} , Q_{EF3} und Q_{EF4} werden durch Dioden abgesenkt, um den Durchbruch der Kollektor-Basis-Diode der Transistoren zu vermeiden. Die beiden Abschlusswiderstände am Eingang der zweiten Verstärkerzelle sind nicht direkt mit der Masse verbunden, sondern über zwei Dioden D_4 und D_5 . Diese dienen ebenfalls zum Absenken des DC-Arbeitspunktes der Emitterfolger und der TAS in der zweiten Verstärkerzelle. Die Dioden stellen im Signalfrequenzbereich keine idealen Kurzschlüsse dar. Sie sollten vielmehr, wie in Anhang B dargestellt, als Serienschaltung aus Widerstand und Induktivität modelliert werden. Daher wird die Kapazität $C_{c,m}$ parallel geschaltet, um die Eigenschaften des Leitungsabschlusses für hohe Frequenzen zu verbessern. Dies ist auch für die Stabilität der Emitterfolgerkaskade der zweiten Verstärkerzelle wichtig (vgl. Kap. 5). Durch die Absenkung des Arbeitspunktspotentials am Eingang der zweiten Verstärkerzelle sind keine Dioden im Signalpfad, also beispielsweise zwischen Q_{EF3} und Q_{EF4} , notwendig. Dies erleichtert die Auslegung der Emitterfolgerkaskade hinsichtlich einer erwünschten Verstärkungsüberhöhung (vgl. Kap. 2.2.2).

Die erste Zelle dient dazu, bereits den DC-Arbeitspunkt des Eingangssignals abzusenken. Sie ermöglicht außerdem die Verstärkung des Eingangssignals auf einen definierten Hub, der über die Größe des Arbeitspunktstromes I_{TAS1} eingestellt werden kann, und verbessert die Entkopplung zwischen Ein- und Ausgang des Treibers. Die zweite Zelle muss das Signal auf den gewünschten, über I_{TAS2} einstellbaren, Ausgangshub verstärken. Die Entwicklung der zweiten Zelle stellt aufgrund der deutlich höheren Ströme ($I_{TAS2} = 120\text{ mA}$, $I_{TAS1} = 4\text{ mA}$) die größere Herausforderung dar. Daher ist es hilfreich einzelne Problemstellungen, wie in diesem Fall die Arbeitspunkteinstellung der Ausgangskaskode, in die erste Treiberzelle zu verlagern. Auf diese Weise lassen sich vorteilhafte Lösungen

bezüglich Performance, Verlustleistung, usw. erzielen.

Wie in [59] beschrieben, werden Treiberverstärker sinnvollerweise vom Ausgang zum Eingang dimensioniert. Das bedeutet, dass zunächst die Ausgangskaskode einschließlich der Ausgangswiderstände dimensioniert werden muss, um den geforderten Ausgangsspannungshub und den geforderten Ausgangsreflexionsfaktor zu erreichen. Ausgehend von der Kaskode kann dann die ansteuernde Emitterfolgerkaskade ausgelegt werden, wobei dem Entwickler diverse Freiheitsgrade zur Verfügung stehen: Häufig werden zwei oder drei Emitterfolger zur Ansteuerung der TAS verwendet. Denkbar ist zwar auch eine größere Anzahl (vgl. [61]), dann nimmt aber die Neigung der Schaltung zu unerwünschten Oszillationen deutlich zu [59]. Neben der reinen Anzahl müssen auch Arbeitspunktströme und Flächen der Emitterfolger-Transistoren festgelegt werden. Darüber hinaus kann, je nach verwendeter Technologie, auch die Breite des Emitterstreifens der Transistoren variiert werden, wobei eine größere Breite zu geringeren parasitären Kapazitäten, aber einem höheren Basisbahnwiderstand r_B führt. Ziele der Dimensionierung der Emitterfolgerkaskade bestehen in der Minimierung des Risikos von Oszillationen, sowie in der Optimierung der Schaltung bezüglich Bandbreite, Verlustleistung, Linearität, etc. Die Zusammenhänge zwischen den Freiheitsgraden, die dem Entwickler bei der Optimierung zur Verfügung stehen, und den angegebenen Zielen werden in den einzelnen Kapiteln der vorliegenden Arbeit behandelt. Bei der Dimensionierung der Emitterfolgerkaskade zeigt sich darüber hinaus, ob eine einzelne Verstärkerzelle ausreicht, um die Zielspezifikation der Treiberschaltung zu erfüllen. Wird beispielsweise erkennbar, dass die Impedanztransformation der Emitterfolgerkaskade nicht ausreicht, um eine im gesamten Betriebsfrequenzbereich ausreichend große Eingangsimpedanz der Zelle zu erzielen, so muss eine weitere Verstärkerzelle vorgeschaltet werden, deren zusätzliche Freiheitsgrade zum Erreichen der Zielspezifikation genutzt werden können.

2.2 Dimensionierungsmethoden

Ausgehend vom in Kap. 2.1 beschriebenen grundlegenden Aufbau von Treiberschaltungen, werden im Folgenden Dimensionierungsmethoden vorgestellt und weiterentwickelt, denen insbesondere im Fall von Treiberschaltungen besondere Bedeutung zukommt. Die zu erzielenden großen Ausgangsspannungshübe erfordern entsprechend große Betriebsströme in der Ausgangskaskode der Treiberverstärker und führen somit zu einer großen kapazitiven Belastung des Ausgangsknotens. Um dennoch hohe Bandbreiten erreichen zu können, werden in Kap. 2.2.1 Methoden vorgestellt, mit denen diese kapazitive Belastung unter Ausnutzen der verwendeten Halbleitertechnologie soweit wie möglich reduziert werden kann. Eine weitere Anhebung der Bandbreite kann durch die gezielte Überhöhung der Verstärkung von Emitterfolgerkaskaden erreicht werden (vgl. Kap. 2.2.2). Infolge der großen Spannungs- und Stromhübe kommt in vielen Anwendungen auch der Linearität der Treiberverstärker besondere Bedeutung zu. Daher wird die Auslegung der einzelnen

Schaltungsstufen hinsichtlich ihrer Linearität in Kap. 2.2.3 detailliert analysiert und beschrieben.

2.2.1 Reduktion der kapazitiven Belastung des Ausgangsknotens

Wie in der in Abb. 2.2 dargestellten Schaltung, besteht der Ausgang einer HF-Treiberschaltung in SiGe-Bipolar-Technologie meistens aus einer Basisstufe (CBS) mit on-Chip Abschlusswiderstand². Da die Ausgangsimpedanz der CBS von der parasitären Substrat- und Basis-Kollektor-Kapazität der zugehörigen Transistoren dominiert wird (vgl. [57]), ergibt sich unter Vernachlässigung des Einflusses des Substratnetzwerks³ das in Abb. 2.3b dargestellte, vereinfachte Ersatzschaltbild. Darin repräsentiert I_{CBS} den von der CBS in den Ausgangsknoten eingespeisten Strom, R_{term} den on-Chip Abschlusswiderstand und R_{load} die externe Last, die beispielsweise durch einen mit $50\ \Omega$ abgeschlossenen Mach-Zehnder-Modulator (MZM) verursacht wird. Die Ersatzkapazität C_{out} ergibt sich als Summe der parasitären Basis-Kollektor-Kapazität C_{CB} und der Substrat-Kapazität C_{CS} des CBS-Transistors, der parasitären Kapazitäten des on-Chip Abschlusswiderstands $C_{p,res}$, der Metallisierung C_{met} sowie des Bondpads am Ausgang C_{pad} . Unter Vernachlässigung der Spannungsabhängigkeit von C_{CB} und C_{CS} , also im Kleinsignalfall, ergibt sich die am Ausgangsknoten angreifende Transimpedanz zu $Z_{out} = U_{out}/I_{CBS} = R_{eff} \cdot (1 + j\omega R_{eff} C_{out})^{-1}$ mit $R_{eff}^{-1} = R_{term}^{-1} + R_{load}^{-1}$. Da der Lastwiderstand R_{load} in den meisten Fällen vorgegeben ist und der interne Abschlusswiderstand zur Anpassung des Ausgangs auf einen dem Lastwiderstand entsprechenden Wert festgelegt wird (beide meistens ca. $50\ \Omega$), muss die kapazitive Belastung des Ausgangsknotens minimiert werden, um eine möglichst hohe Bandbreite zu erreichen. Darüber hinaus führt die kapazitive Belastung des Ausgangsknotens zu einer Verschlechterung der Anpassung, also des treiberseitigen Abschlusses der Ausgangsleitung mit R_{term} . Die parasitäre Kapazität der Ausgangsbondpads kann nur durch die Wahl der kleinstmöglichen in der Technologie verfügbaren Bondpads gewährleistet werden. Um die parasitäre Kapazität der Metallisierung gering zu halten, werden die Basisstufentransistoren und die Abschlusswiderstände möglichst nahe zu diesen Ausgangspads angeordnet, sodass sich kurze Metallverbindungen ergeben. Dominiert

²In Einzelfällen kann die CBS am Ausgang des Treibers vermieden werden, sodass die Lastwiderstände direkt mit dem Ausgang der TAS verbunden sind. Dadurch kann die Versorgungsspannung der Treiberstufe verringert und somit die Leistungsaufnahme reduziert werden. Allerdings wird auch die Bandbreite des Verstärkers verringert, da der Miller-Effekt an den TAS-Transistoren voll zum Tragen kommt. Die folgenden Überlegungen hinsichtlich der Reduktion der kapazitiven Belastung des Ausgangsknoten gelten aber auch in diesem Fall.

³Der Einfluss des Substratnetzwerks auf die Ausgangsimpedanz der CBS kann vernachlässigt werden, wenn für die Impedanz Z_{sub} , die die Substratknoten der einzelnen Transistoren mit dem entsprechenden Bezugsknoten (virtuelle Masse auf der Symmetrieachse, vgl. Abb. 2.3a) verbindet, gilt: $|Z_{sub}| \ll (j\omega C_{CS})^{-1}$. Diese Näherung ist insbesondere im Gegentakt meist erfüllt, da die Basisstufentransistoren aus Stabilitätsgründen sehr nah an der Symmetrielinie der Schaltung angeordnet werden. Ist die Näherung nicht erfüllt, so wird eine aufwendige Substratmodellierung notwendig. Diese führt für alle im Rahmen der Arbeit untersuchten Topologien zum Ergebnis, dass die Substratkapazität in ihrer Wirkung abgeschwächt wird. Die hier diskutierten, qualitativen Erkenntnisse ändern sich jedoch hierdurch nicht.

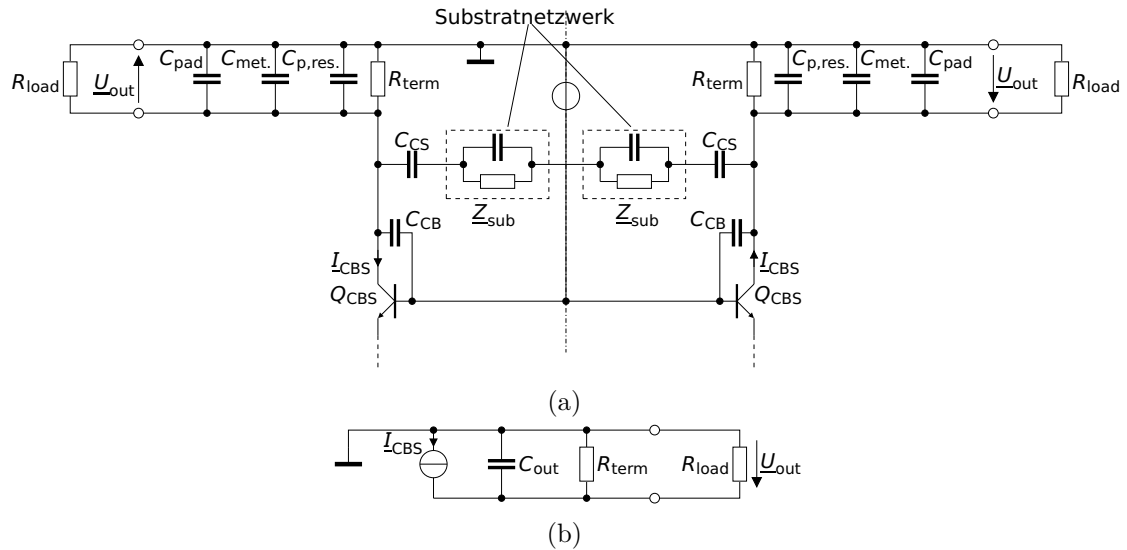


Abb. 2.3: a) Schaltbild des Ausgangsknotens des Treiberverstärkers mit Basisstufe, Abschlusswiderstand R_{term} , Last R_{load} und den parasitären Kapazitäten. b) Einphasiges Ersatzschaltbild der Ausgangsimpedanz der Treiberschaltung im Gegentakt.

wird die Kapazität C_{out} meist von den parasitären Kapazitäten des CBS-Transistors und des Abschlusswiderstands, deren Reduktion daher eine große Bedeutung zukommt.

2.2.1.1 Minimierung der parasitären Kapazitäten der Basisstufentransistoren

Um die Transistorfläche und die damit verbundenen parasitären Kapazitäten so gering wie möglich zu halten, werden die Transistoren bei maximaler Aussteuerung der CBS mit der maximal möglichen Stromdichte $j_{C, krit.}$ betrieben. Damit dies bei voller Aussteuerung der TAS gewährleistet ist, werden die Transistoren so dimensioniert, dass ihre Stromdichte im Arbeitspunkt nur etwa der halben kritischen Stromdichte entspricht $j_0 = j_{C, krit.}/2$. Ein Überschreiten der kritischen Stromdichte führt zu einem starken Anstieg der Basistransitzeit (Kirk-Effekt, [62]) und somit zu einem Absinken der Transitfrequenz f_T . Dieser Effekt wird in dem im Rahmen der Arbeit verwendeten Gummel-Poon-Transistormodell nicht abgebildet. Ein Überschreiten der kritischen Stromdichte in der numerischen Simulation macht sich daher nicht im Simulationsergebnis bemerkbar, kann aber die Grenzfrequenz der realen Schaltung beeinflussen. Durch den Einsatz komplexerer Transistormodelle, wie beispielsweise dem HICUM-Modell [63], bei denen der Kirk-Effekt modelliert wird, steht auch der Betriebsbereich oberhalb der kritischen Stromdichte $j_{C, krit.}$ für die Optimierung der Schaltung zur Verfügung. Dabei muss insbesondere auch darauf geachtet werden, dass die zulässige maximale Stromdichte der Metallisierung, mittels der die Transistoren kontaktiert werden, nicht überschritten wird. Im Fall der in der vorliegenden Arbeit

verwendeten Technologie stehen nur die Transistorparameter für das Gummel-Poon-Modell zur Verfügung. Daher wird die effektive Fläche A_{eff} des Transistors gerade so groß gewählt, dass die kritische Stromdichte nicht überschritten wird $A_{\text{eff}} \gtrsim A_{\text{min}} = I_0/j_0$.

In der verwendeten Halbleitertechnologie stehen verschiedene Transistorkonfigurationen zur Verfügung, die sich hinsichtlich diverser parasitärer Elemente unterscheiden. Um die erforderliche Transistorfläche zu erreichen, stehen als Freiheitsgrade zwei effektive Breiten des Emittersstreifens ($w_{\text{eff}} = 0,18 \mu\text{m}$, $w_{\text{eff}} = 0,38 \mu\text{m}$) sowie dessen Länge zur Verfügung, die kontinuierlich zwischen $0,83 \mu\text{m}$ und $9,83 \mu\text{m}$ gewählt werden kann.

Ein zusätzlicher Freiheitsgrad ergibt sich aus der Vielzahl an zur Verfügung stehenden Transistorkonfigurationen, die in Abb. 2.4 dargestellt sind. Diese zeichnen sich durch unterschiedliche parasitäre Elemente aus. In Abb. 2.5 sind die am Kollektorknoten des Transistors angreifenden parasitären Kapazitäten sowie die in Serie zum Basisanschluss liegenden parasitären Widerstände in Abhängigkeit der effektiven Breite und der Transistorkonfiguration dargestellt. Dabei werden die parasitären Elemente zur effektiven Transistorfläche in Bezug gesetzt, um vergleichbare Größen zu erhalten. Durch Anwendung der in Anhang A erläuterten Näherungen $C_{\text{CB}} = C_{\text{CBx}} + C_{u,x} + C_{\mu}$ und $r_{\text{B}} = R_{\text{Bx}} + R_{\text{B}}$ wird deutlich, dass für die Funktion der Schaltung jeweils die Summe der parasitären Elemente, also die Gesamthöhe der einzelnen Säulen in Abb. 2.5 relevant ist. Die minimale Kapazität ergibt sich durch die Verwendung eines Transistors in der Konfiguration CEBEC mit breitem Emittersstreifen. Die in diesem Fall auftretenden größeren parasitären Basisbahnwiderstände (vgl. Abb. 2.5b) sind für die am Ausgangsknoten angreifende Transimpedanz Z_{out} von untergeordneter Bedeutung, da ihr Einfluss auf die Ausgangsimpedanz der Basisstufe vernachlässigbar ist⁴ [57]. Der Einsatz einer

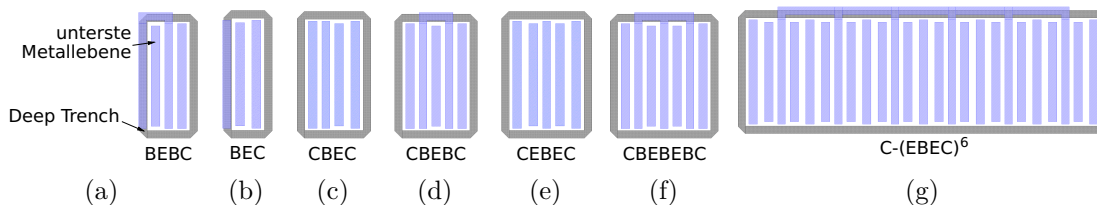


Abb. 2.4: Übersicht über verschiedene Transistorkonfigurationen. Die Abbildungen a) – f) zeigen die verschiedenen Standard-Konfigurationen, g) zeigt eine Sonderstruktur für Anwendungen mit besonders großen Transistorflächen. In der untersten Metallebene, also direkt über dem Siliziumsubstrat, werden die Kontakte der Transistoren realisiert. Der sogenannte Deep Trench ist ein Isolationsgraben, der den Transistor umgibt.

⁴Am Eingang der Basisstufe ist durch die Impedanztransformation der Transistoren bei Erhöhung des Basiswiderstands ein induktiver Einfluss zu erkennen. Die Basisbahnwiderstände sind allerdings so niederohmig, dass dieser allenfalls in der Größenordnung der parasitären Induktivität der Metallverbindungen liegt und somit vernachlässigbar ist. Allerdings ist es denkbar, durch gezieltes Einbringen zusätzlicher Widerstände im Basiszweig, die Resonanz der Eingangsimpedanz der Basisstufe und der kapazitiven Ausgangsimpedanz der sie ansteuernden TAS so zu verschieben, dass die Grenzfrequenz der Schaltung angehoben wird (vgl. *complex conjugate mismatch* in [57]). Hierbei muss aber insbesondere

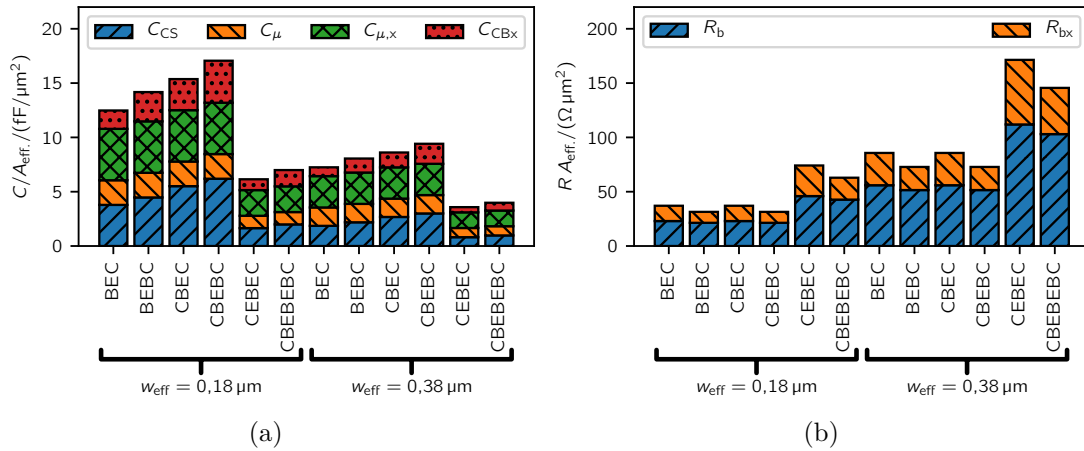


Abb. 2.5: Parasitäre Elemente eines Transistors mit maximaler effektiver Länge in Abhängigkeit der gewählten Transistorkonfiguration und der effektiven Breite w_{eff} , jeweils bezogen auf die effektive Transistorfläche: a) parasitäre Kapazitäten, die am Kollektorknoten angreifen, b) parasitäre Widerstände im Basiszweig. (Definitionen der einzelnen Elemente gemäß Anhang A).

Basisstufe schafft den notwendigen Freiheitsgrad, um zur Reduktion der parasitären Kapazitäten am Kollektor Transistoren mit einer geringeren Anzahl von Basisstreifen zu verwenden, während für die Transadmittanzstufe vorteilhafte Transistoren mit geringem Basisbahnwiderstand (z.B. vom Typ BEBC oder CBEBC) verwendet werden können.

Um die erforderliche Fläche A_{eff} zu erreichen, müssen am Ausgang von Treiberschaltungen aufgrund der großen zu schaltenden Ströme einige Transistoren parallel geschaltet werden. In diesem Fall wird die erforderliche effektive Gesamtlänge des Transistors auf möglichst wenige Einzeltransistoren aufgeteilt, um den Einfluss von Randeffekten zu minimieren. Die parasitäre Kapazität solch großer Transistoren kann durch den Einsatz von Sonderstrukturen, wie in Abb. 2.4g dargestellt, weiter minimiert werden [59]. Allerdings sind die Anschlussmetallisierungen der in der vorliegenden Technologie vorhandenen Sonderstrukturen so schmal, dass die für Treiberschaltungen erforderlichen große Ströme die maximal zulässigen Stromdichten der Metallisierung verletzen würden [64]. Daher wurden alle Basisstufen an den Ausgängen der im Rahmen dieser Arbeit realisierten Treiberschaltungen in CEBC-Konfiguration mit breitem Emitterstreifen realisiert.

2.2.1.2 Minimierung der parasitären Kapazitäten der Abschlusswiderstände

Auch die parasitären Kapazitäten der on-Chip Abschlusswiderstände tragen signifikant zur Gesamtkapazität am Ausgangsknoten des Treiberverstärkers bei. Deshalb

darauf geachtet werden, dass die Schaltung nicht destabilisiert wird (vgl. Kap. 5).

wird deren Auslegung im Folgenden analysiert, um potentielle Optimierungsmöglichkeiten aufzuzeigen und zu diskutieren. Die Abschlusswiderstände können entweder als Polysilizium-Widerstände dicht über dem Halbleitersubstrat realisiert werden oder als Dünnschichtwiderstände, die in den sogenannten „metal stack“, also die Metallebenen in denen die Leiterbahnen gefertigt werden, eingebettet werden. Dünnschichtwiderstände bieten den Vorteil geringerer Fertigungstoleranzen und werden daher bevorzugt verwendet. Zur Abschätzung der parasitären Kapazität kann der Widerstand näherungsweise als Parallelplattenkondensator angesehen werden, wobei die eine Elektrode vom Widerstandsmaterial, die andere vom Halbleitersubstrat gebildet wird. Dazwischen befindet sich ein Isolator, meist Siliziumdioxid, mit möglichst geringer relativer Permittivität ϵ_r . Für die Kapazität des Widerstands gilt unter Vernachlässigung des Randfeldes $C_{p, \text{res}} = \epsilon_0 \epsilon_r A/d$, wobei A der Fläche des Widerstands und d dem Abstand zwischen Widerstand und Halbleitersubstrat entspricht. Da der Widerstand nahezu ausschließlich über das Substrat entwärmt wird⁵, muss seine Fläche so gewählt werden, dass (unter der Annahme eine bekannten maximalen Temperatur des Halbleitersubstrats) eine bestimmte Temperaturdifferenz ΔT_{res} zwischen Widerstand und Substrat nicht überschritten wird, um die Elektromigration in Metallleitungen in der Nähe des Widerstands auf ein maximal zulässiges Höchstmaß zu beschränken. Die Temperaturerhöhung des Widerstands gegenüber dem Substrat ergibt sich zu

$$\Delta T_{\text{res}} = R_{\text{th}} P_{\text{res}} = \frac{d}{\lambda A} P_{\text{res}}, \quad (2.1)$$

wobei P_{res} der im Widerstand umgesetzten Verlustleistung, R_{th} der thermischen Impedanz zwischen Widerstand und Substrat und λ der Wärmeleitfähigkeit des Dielektrikums entspricht. Bedingt durch die analogen Gesetzmäßigkeiten zwischen elektrostatischem Strömungsfeld und Wärmeströmungsfeld heben sich die Auswirkungen der Geometrie (A und d) auf die parasitäre Widerstandskapazität auf. Diese ergibt sich zu

$$C_{p, \text{res}} = \epsilon_0 \frac{\epsilon_r}{\lambda} \frac{P_{\text{res}}}{\Delta T_{\text{res}}}. \quad (2.2)$$

Die Parameter ϵ_r und λ des Dielektrikums hängen von der Halbleitertechnologie ab und entziehen sich daher dem Einfluss des Schaltungsentwicklers. Die maximale Temperaturerhöhung des Widerstands ΔT_{res} ist meist aus Zuverlässigkeitsüberlegungen vorgegeben (s.o.), kann jedoch gegebenenfalls erhöht werden, wenn beispielsweise der Betriebstemperaturbereich der gesamten Schaltung eingeschränkt werden kann. Die mittlere Verlustleistung P_{res} , die im Widerstand umgesetzt wird, ergibt sich infolge des den Widerstand durchströmenden Arbeitspunktstromes in Überlagerung mit dem Wechselstrom (vgl. [64]):

$$P_{\text{res}} = R_{\text{term}} I_{\text{term}}^2 = R_{\text{term}} (I_{\text{term, DC}}^2 + I_{\text{term, AC}}^2) + \underbrace{2 I_{\text{term, DC}} I_{\text{term, AC}}}_{=0 \text{ im zeitlichen Mittel}}. \quad (2.3)$$

⁵Der Chip wird zur Entwärmung meist thermisch leitend auf ein Trägermaterial geklebt. Die Konvektion der Luft an der Chipoberseite ist so gering, dass sie im Vergleich zur Ableitung der thermischen Leistung über die Chipunterseite vernachlässigt werden kann (vgl. Kap. 3.1).

Da der Widerstand zur Terminierung der extern an den Chip angeschlossenen Übertragungsleitung eingesetzt wird, kann der Wechselanteil $I_{\text{term, AC}}$ des Stroms über den Widerstand nicht verändert werden. Der Gleichanteil $I_{\text{term, DC}}$ hängt stark von der Kopplung zwischen Treiber-Chip und Last ab. Im Fall einer direkt gekoppelten Last teilt sich der Arbeitspunktstrom der Kaskode zwischen dem externen Lastwiderstand und dem internen Widerstand R_{term} auf; wird die externe Last jedoch mittels einer kapazitiven Kopplung angeschlossen, so fließt der gesamte Arbeitspunktstrom der Kaskode über die beiden on-Chip Widerstände R_{term} . In der Folge müssen deren geometrische Abmaße vergrößert werden und die parasitäre Kapazität $C_{\text{p, res}}$ erhöht sich. Verschiedene Varianten der Lastanbindung an den Treiberverstärker und deren Auswirkungen auf die Verlustleistung werden ausführlich in Kap. 4.1 diskutiert.

2.2.2 Anhebung der Bandbreite durch Verstärkungsüberhöhung von Emitterfolgerkaskaden

Wie in Kap. 2.2.1 beschrieben, kann die dem Ausgangsknoten zugeordnete Impedanz Z_{out} , die den Ausgangsstrom der Kaskode $\underline{I}_{\text{CBS}}$ in die Ausgangsspannung $\underline{U}_{\text{out}}$ transformiert, durch ein RC-Glied angenähert werden (vgl. Abb. 2.3b). Bei über der Frequenz konstant angenommenem Betrag des Ausgangsstroms der Kaskode $|\underline{I}_{\text{CBS}}|$ fällt der Betrag der Ausgangsspannung daher ab einer Grenzfrequenz $f_g = (2\pi R_{\text{eff}} C_{\text{out}})^{-1}$ mit zunehmender Frequenz ab.

Das Übertragungsverhalten der Emitterfolgerkaskade, mit der die Kaskode (bestehend aus Transadmittanz- und Basisstufe) angesteuert wird, kann genutzt werden, um $|\underline{I}_{\text{CBS}}(f)|$ im Frequenzbereich um f_g zu erhöhen und somit dem Abfall von $|\underline{U}_{\text{out}}|$ entgegen zu wirken. Hierzu werden im Folgenden eine systematische Beschreibung des Übertragungsverhaltens der Emitterfolgerkaskade hergeleitet und Möglichkeiten diskutiert, dieses so zu optimieren, dass eine über der Frequenz möglichst konstante Kleinsignalverstärkung der gesamten Verstärkerzelle erzielt wird.

2.2.2.1 Impedanztransformation des Emitterfolgers

Um das Verhalten einer Emitterfolgerkaskade zu beschreiben, wird zunächst das Verhalten eines einzelnen Emitterfolgers systematisch untersucht. Hierbei ist die Zweitor-Darstellung mit Hilfe von Kettenparametern zielführend, da sich die Ergebnisse anschaulich auf kaskadierte Emitterfolger übertragen lassen. Die folgenden Ausführungen sind dabei zusammenfassend aus [6, 57] entnommen und sind als Einführung in die Thematik zu verstehen. Weitere Details können [6] entnommen werden.

Abb. 2.6a zeigt das Kleinsignalmodell eines Emitterfolgers, an dem Eingangs- und Ausgangstor definiert werden. Die Betriebsspannung des Emitterfolgers U_0 wird für alle

Betriebsfrequenzen als Kurzschluss angenommen. Zur mathematischen Beschreibung dieses Emitterfolgers soll die Kettenparameter-Matrix \mathbf{A}_{EF} gemäß

$$\begin{pmatrix} U_1 \\ I_1 \end{pmatrix} = \underbrace{\begin{pmatrix} A_{11} & -A_{12} \\ A_{21} & -A_{22} \end{pmatrix}}_{\mathbf{A}_{\text{EF}}} \begin{pmatrix} U_2 \\ I_2 \end{pmatrix} \quad (2.4)$$

bestimmt werden. Durch Einsetzen des Kleinsignal-Ersatzschaltbildes des Transistors für den normal-aktiven Betriebsbereich (vgl. Anhang A), ergibt sich das Ersatzschaltbild in Abb. 2.6b. Unter Verwendung der Näherung⁶ $R_E \gg 1/g_m$ resultiert [6]

$$\mathbf{A}_{\text{EF}} = \begin{pmatrix} 1 & \frac{1}{\underline{T}} \underline{Z}_l \\ \frac{1}{\underline{Z}_q} & \frac{1}{\underline{T}} \frac{\underline{Z}_l + \underline{Z}_q}{\underline{Z}_q} \end{pmatrix} = \underbrace{\begin{pmatrix} 1 & \underline{Z}_l \\ \frac{1}{\underline{Z}_q} & \frac{\underline{Z}_l + \underline{Z}_q}{\underline{Z}_q} \end{pmatrix}}_{\mathbf{A}_P} \underbrace{\begin{pmatrix} 1 & 0 \\ 0 & \frac{1}{\underline{T}} \end{pmatrix}}_{\mathbf{A}_T}, \quad (2.5)$$

$$\text{mit} \quad \underline{Z}_q = \frac{1}{j\omega C_{\text{CB}}}, \quad \underline{Z}_l = r_B + \frac{1}{j\omega C_{\text{BE}} + g_{\text{BE}}}$$

$$\text{und dem T-Operator } \underline{T} = 1 + \underline{\beta} = 1 + \frac{\beta_0}{1 + \frac{j\omega}{\omega_\beta}}, \quad (2.6)$$

wobei $\omega_\beta := \frac{g_{\text{BE}}}{C_{\text{BE}}}$ gilt⁷ [57]. Die Kettenparametermatrix des Emitterfolgers lässt sich als Produkt der beiden Matrizen \mathbf{A}_P und \mathbf{A}_T darstellen (vgl. Gl. 2.5). \mathbf{A}_P ist hierbei ein reziprokes Zweitor, welches ausschließlich die passiven Element beinhaltet, während \mathbf{A}_T die Impedanztransformationseigenschaft des Emitterfolgers wiedergibt. Durch Einführung eines geeigneten Symbols lässt sich die Matrix \mathbf{A}_T auch im Schaltbild darstellen (Abb. 2.6c), wobei sich die Eigenschaften dieses T-Operator-Zweitors direkt aus seiner Kettenparametermatrix ergeben [6]:

- Die Spannungen auf beiden Seiten des Transformationszweitors sind gleich (vgl. Abb. 2.7a).
- Der auf der mit \underline{T} bezeichneten Seite in das Zweitor hineinfließende Strom erscheint auf der Gegenseite mit \underline{T} multipliziert (transformiert). Umgekehrt erscheint der auf der mit $1/\underline{T}$ bezeichneten Seite in das Zweitor hineinfließende Strom auf der Gegenseite durch \underline{T} dividiert.

⁶Bezeichnet man die im Arbeitspunkt über R_E abfallende Spannung als U_E und den durch R_E fließenden Strom mit I_{Re} , so gilt unter der Annahme, dass der Basisstrom der nachfolgenden Stufe vernachlässigbar ist $I_C \approx I_E \approx I_{\text{Re}}$, woraus sich $R_E \gg 1/g_m \Leftrightarrow U_E/I_C \gg U_T/I_E \Leftrightarrow U_E \gg U_T$ ergibt. U_E muss so groß sein, dass die Transistoren der nachfolgenden Schaltungen (weitere Emitterfolger oder eine Transadmittanzstufe) im normal aktiven Bereich betrieben werden und ist daher im Bereich 1 V oder mehr. Die Temperaturspannung $U_T = kT/e$ befindet sich in der Größenordnung 25 mV bis 30 mV. Somit ist die Näherung $R_E \gg 1/g_m$ erfüllt.

⁷ $\omega_\beta = \omega_T/\beta$ gibt die Grenzfrequenz der komplexen Kleinsignalstromverstärkung $\underline{\beta}$ des Transistors an, vgl. [57].

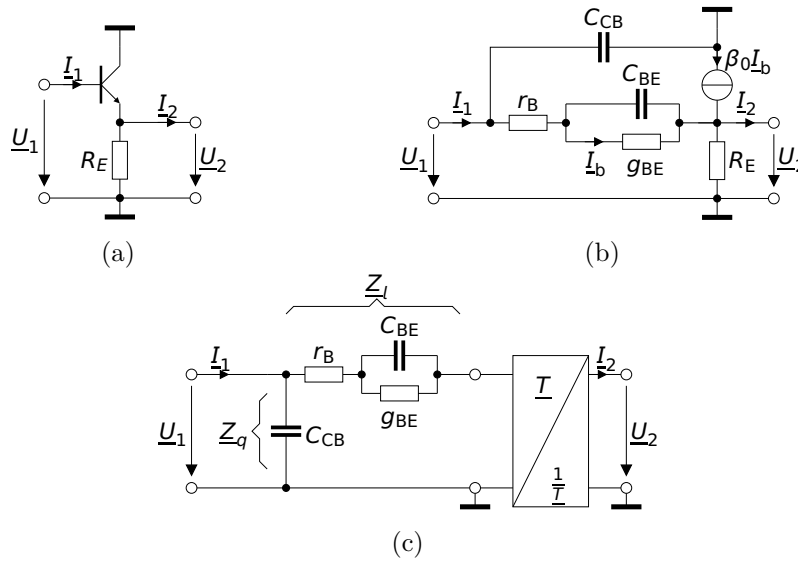


Abb. 2.6: a) Kleinsignal-Ersatzschaltbild eines Emitterfolgers mit Ein- und Ausgangstor zur Definition der Kettenparameter. b) In a) dargestelltes Schaltbild, wobei der Transistor durch sein (vereinfachtes) Kleinsignal-Ersatzschaltbild (vgl. Anhang A) für den normalaktiven Bereich ersetzt wurde. c) Kleinsignal-Ersatzschaltbild des Emitterfolgers mit T-Operator-Transformationszweier (nach [6]).

- Entsprechend den letzten beiden Punkten werden Impedanzen bei Transformation von der $\frac{1}{T}$ -Seite zur T -Seite mit T multipliziert (vgl. Abb. 2.7b) und bei Transformation in umgekehrter Richtung durch T dividiert (vgl. Abb. 2.7c).

Im Frequenzbereich $\omega_\beta \ll \omega \ll \omega_T$, wobei sich $\omega_T = 2\pi f_T$ aus der Transitfrequenz f_T des eingesetzten Transistors ergibt, lässt sich der in Gl. 2.6 definierte T-Operator weiter vereinfachen [57]

$$\underline{T} \approx \frac{\beta_0 \omega_\beta}{j\omega} = \frac{\omega_T}{j\omega}. \tag{2.7}$$

Durch diese Vereinfachung lässt sich unmittelbar erkennen, dass die Multiplikation

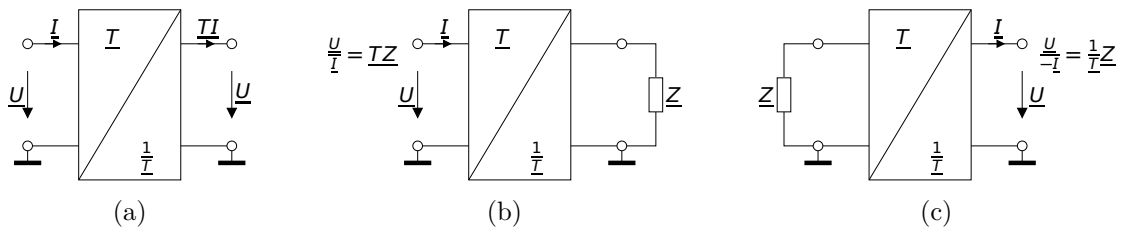


Abb. 2.7: Eigenschaften des T-Operator-Transformationszweiers: a) Spannungsgleichheit, b) und c): Impedanztransformation (nach [6]).

einer Impedanz mit \underline{T} einer Phasendrehung der Impedanz um -90° entspricht. Analog entspricht die Division einer Impedanz durch \underline{T} einer Phasendrehung um 90° . Somit lassen sich durch die Impedanztransformation eines Emitterfolgers Impedanzen mit negativem Realteil erzeugen (beispielsweise durch die Division der imaginären Impedanz einer Kapazität durch \underline{T}). Diese Eigenschaft lässt sich zur Anhebung des Frequenzgangs in einem bestimmten Frequenzbereich nutzen, was im Folgenden näher untersucht wird.

2.2.2.2 Verstärkungsüberhöhung der Emitterfolgerkaskade

Die dem Ausgangsknoten einer Treiberschaltung, die wie in Kap. 2.1 beschrieben aufgebaut ist, zugeordnete Impedanz $\underline{Z}_{\text{out}}$ lässt sich näherungsweise als RC-Tiefpass beschreiben. Der Betragsgang dieser Transimpedanz $\underline{Z}_{\text{out}} = R_{\text{eff.}} / (1 + j \frac{f}{f_g})$, die den Ausgangsstrom der Kaskode $\underline{I}_{\text{CBS}}$ in die Ausgangsspannung $\underline{U}_{\text{out}}$ transformiert, verläuft folglich über der Frequenz f näherungsweise konstant bis zu einer Grenzfrequenz $f_g = (2\pi R_{\text{eff.}} C_{\text{out}})^{-1}$, ab der er mit einer Steigung von -20 dB/Dekade abfällt.

Um den nutzbaren Frequenzbereich der Gesamtschaltung zu erweitern, kann einerseits versucht werden, f_g zu höheren Frequenzen zu verschieben (vgl. Kap. 2.2.1), andererseits kann eine Vorkompensation des ansteuernden Signals erfolgen: Weist der Strom, der in den Ausgangsknoten eingespeist wird, einen Frequenzgang auf, der zur Transimpedanz des Ausgangsknotens invers verläuft, so ergibt sich ein flacher Frequenzgang der Gesamtschaltung. Eine derart exakte Vorkompensation dieses Stroms ist zwar in realen Schaltungen nicht möglich, aber durch die Optimierung der Spannungsübertragungsfunktion der Emitterfolgerkaskade bzw. der Transadmittanz \underline{Y}_T vom Eingang der Emitterfolgerkaskade zum Kollektorstrom der TAS kann die Grenzfrequenz der Gesamtschaltung verbessert werden.

In Abb. 2.8a ist das Schaltbild eines einfachen, linearen Treiberverstärkers dargestellt, anhand dessen die Optimierung der Emitterfolgerkaskade im Folgenden eingeführt und demonstriert wird. Dieser ist sehr einfach aufgebaut: Er besteht im Wesentlichen aus zwei kaskadierten Emitterfolgerstufen Q_{EF1} , Q_{EF2} , sowie einer Transadmittanzstufe Q_{TAS} und einer Basisstufe Q_{CBS} , die gemeinsam eine Kaskode formen. Die Widerstände R_2 und R_3 bilden am kapazitiv gekoppelten Eingang C_k der Schaltung einen Spannungsteiler, mit dessen Hilfe die Arbeitspunkte der Emitterfolger und der Transadmittanzstufe eingestellt werden⁸. Die Gegenkopplungswiderstände R_4 dienen der Linearisierung der Transadmittanzstufe.

Die Gesamtverstärkung des Treiberverstärkers aus Abb. 2.8a $\underline{A}_{\text{tot}} := \underline{U}_{\text{out}} / \underline{U}_1$ lässt sich als Produkt der Transadmittanz $\underline{Y}_T = \underline{I}_{\text{CBS}} / \underline{U}_1$ und der dem Ausgangsknoten zugeordneten

⁸Bei Treiberverstärkern, die keine kapazitive Kopplung am Eingang aufweisen, wird das Basispotential der TAS meist mit Hilfe von zusätzlichen Dioden im Signalpfad zwischen den Emitterfolgern eingestellt, vgl. $D_1 \dots D_3$ in Abb. 2.2. In Anhang B wird erläutert, wie diese Dioden in die für die Anwendung der folgenden Methode notwendige Zweitordarstellung überführt werden können.

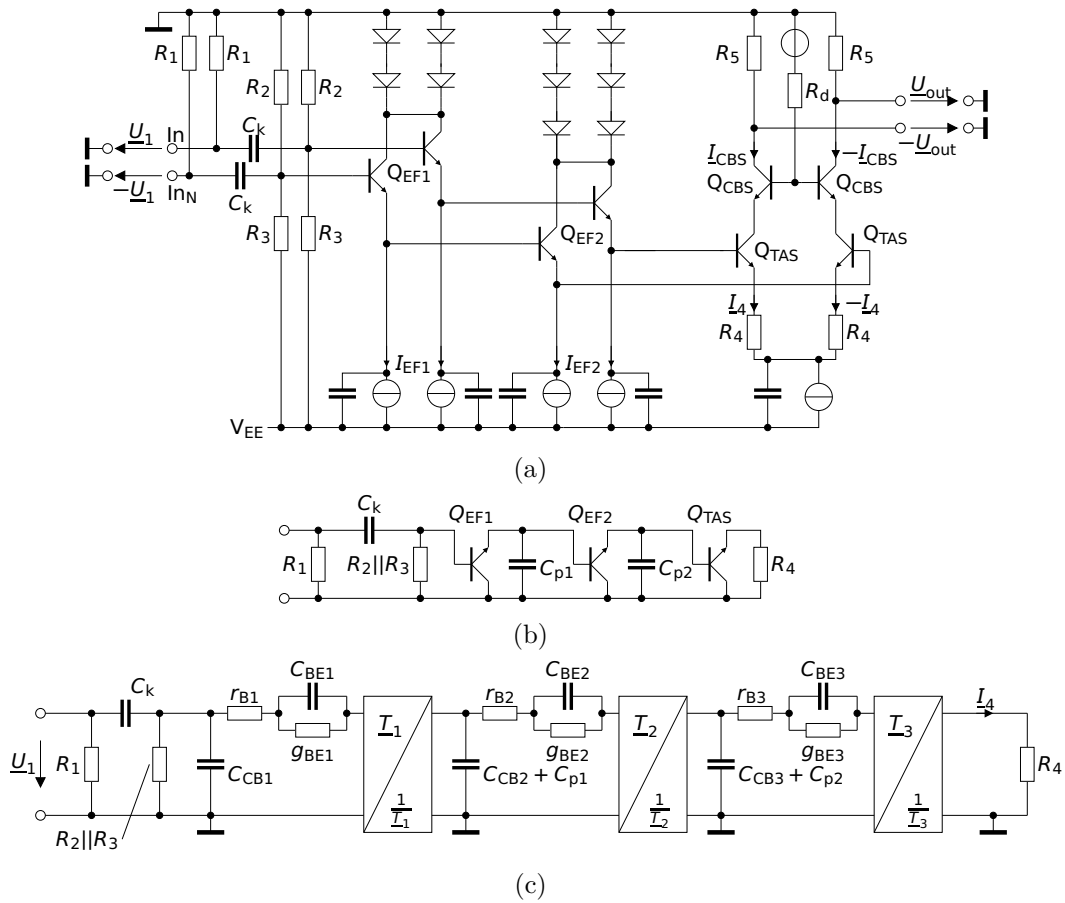


Abb. 2.8: a) Schaltbild eines einstufigen linearen Treiberverstärkers. b) Kleinsignal-Gegentakt-Ersatzschaltbild der Emitterfolgerkaskade und der Transadmittanzstufe des einstufigen Verstärkers. c) Zu b) äquivalentes Ersatzschaltbild mit T-Operator-Zweitoren.

Impedanz $Z_{\text{out}} = U_{\text{out}}/I_{\text{CBS}}$ berechnen $A_{\text{tot}} = Y_{\text{T}} Z_{\text{out}}$. In Abb. 2.9 sind die normierten Betragsgänge dieser Übertragungsfunktionen dargestellt. Die Verstärkungsüberhöhung der Emitterfolgerkaskade Y_{T} kann so optimiert werden, dass der durch die kapazitive Belastung des Ausgangsknotens verursachte Abfall des Betragsgangs der Ausgangsimpedanz Z_{out} über der Frequenz in einem Frequenzbereich bis ca. 20 GHz kompensiert wird. Die Grenzfrequenz der resultierenden Gesamtverstärkung $A_{\text{ges}} = Y_{\text{T}} Z_{\text{out}}$ wird deutlich zu höheren Frequenzen hin verschoben. Bei Frequenzen oberhalb der Grenzfrequenz fällt der Betragsgang schließlich stark ab.

Um die Emitterfolgerkaskade mit Hilfe der T-Operator Darstellung nach Abb. 2.6c untersuchen zu können, muss sie zunächst in diese Darstellung überführt werden. Das Kollektorpotential der TAS-Transistoren Q_{TAS} wird durch die Basisstufe Q_{CBS} näherungsweise konstant gehalten und daher zur Vereinfachung mit dem Bezugspotential

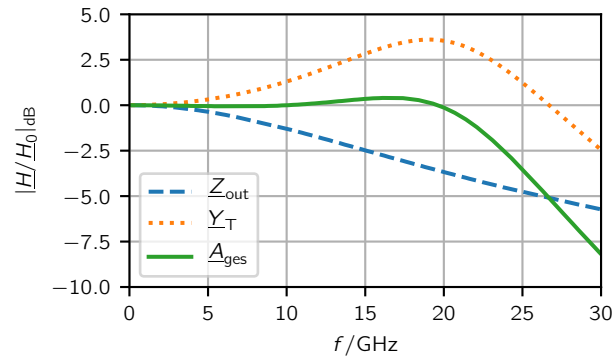


Abb. 2.9: Darstellung des normierten Betragsgangs der optimierten Transadmittanz \underline{Y}_T zur Kompensation der begrenzten Bandbreite der dem Ausgangsknoten zugeordneten Impedanz \underline{Z}_{out} . Das Ergebnis ist schließlich die resultierende Gesamtverstärkung \underline{A}_{ges} .

gleichgesetzt. Zu berücksichtigen sind die parasitären Kapazitäten der Arbeitspunkt-Stromquellen der Emitterfolger, die in der Schaltung als Stromspiegel realisiert werden. Die Dioden in den Kollektorzweigen der Emitterfolger und die parasitäre Kapazität der Stromquelle der TAS liegen im Gegentakt auf virtueller Masse, vgl. [57]. Es ergibt sich das in Abb. 2.8b dargestellte Kleinsignal-Gegentakt-Ersatzschaltbild der Schaltung. Werden in diesem Ersatzschaltbild die Transistoren durch ihre entsprechenden Ersatzschaltbilder mit T-Operator-Transformationszweitoren ersetzt, so ergibt sich das in Abb. 2.8c dargestellte Schaltbild.

Wesentlich für die Optimierung der Schaltung ist der Zusammenhang zwischen den Schaltungsparametern und den zugehörigen Pol- und Nullstellen der Kleinsignalübertragungsfunktion. Die Schaltungsparameter lassen sich in zwei Gruppen gliedern:

unabhängige Parameter Auf die unabhängigen Parameter hat der Schaltungsentwickler unmittelbar Einfluss. Sie beinhalten Emitterlängen und -breiten der verwendeten Transistoren, Arbeitspunktströme, sowie die Werte der explizit verwendeten Widerstände (in der betrachteten Schaltung $R_1 \dots R_4$).

abhängige Parameter Die abhängigen Parameter ergeben sich aus den gewählten unabhängigen Parametern infolge physikalischer Eigenschaften. Sie werden beispielsweise durch die Elemente der Transistorersatzschaltbilder in Abb. 2.8c repräsentiert (z. B. r_{Bi} , g_{BEi} , C_{CBi} , C_{BEi} , \underline{T}_i , ... mit $i = 1 \dots 3$). Sie stehen in der Regel einem gegenseitigen Abhängigkeitsverhältnis.

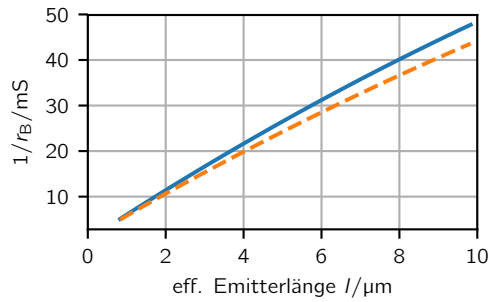
Um auf die abhängigen Parameter Einfluss nehmen zu können, müssen die unabhängigen Parameter verändert werden. Beispielsweise kann die Emitterlänge eines Transistors vergrößert werden, um dessen Basisbahnwiderstand r_B zu verringern. Durch diese Maßnahme vergrößern sich allerdings auch die parasitären Kapazitäten C_{CB} und C_{BE} . Die abhängigen Parameter lassen sich daher nicht unabhängig voneinander variieren. Sie

unterliegen jedoch, beispielsweise bedingt durch Fertigungstoleranzen, Schwankungen, die nicht in einem festen Abhängigkeitsverhältnis stehen. Daher sind sowohl die Zusammenhänge zwischen unabhängigen Parametern und Kleinsignalübertragungsfunktion als auch die Auswirkungen der abhängigen Parameter auf die Kleinsignalübertragungsfunktion relevant für die Optimierung.

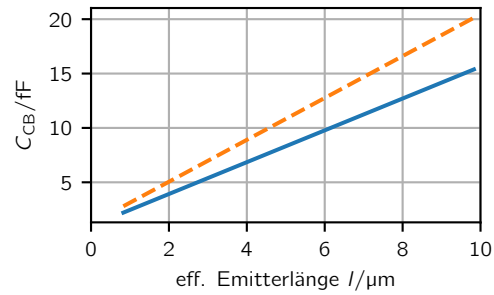
Die Abhängigkeit der abhängigen Parameter von den unabhängigen Parametern ist im Allgemeinen nichtlinear und als Teil der firmeneigenen Transistor-Modelle dem Schaltungsentwickler häufig nicht direkt zugänglich. Zum Verständnis der Zusammenhänge sind aber meist Näherungen zulässig, die Effekte höherer Ordnung, wie z. B. Randfelder parasitärer Kapazitäten oder die Stromabhängigkeit des Basisbahnwiderstands, vernachlässigen. Mit Hilfe dieser Vereinfachungen lässt sich ein Referenztransistor gemäß

$$\begin{aligned} C_{je} &= \frac{l}{l_0} \frac{w}{w_0} C_{je,0} & C_{DE} &= \frac{\tau_f}{U_T} I_0 & C_{CB} &= \frac{l}{l_0} \frac{w}{w_0} C_{CB,0} \\ C_{BE} &= C_{DE} + C_{je} & g_{BE} &= \frac{I_0}{\beta_0 U_T} & r_B &= \frac{l_0}{l} r_{B,0}, \end{aligned} \quad (2.8)$$

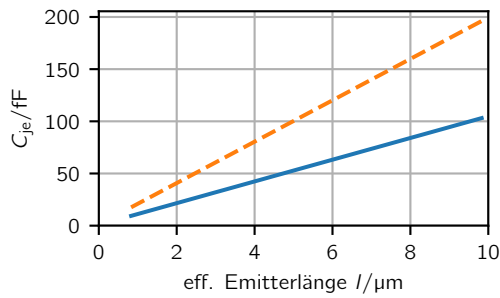
skalieren, wobei l und w der Länge und Breite des Emitterstreifen des skalierten Transistors und entsprechend l_0 und w_0 der Länge und Breite des Referenztransistors entsprechen, der den Basisbahnwiderstand $r_{B,0}$ und die Basis-Kollektor-Kapazität $C_{CB,0}$ aufweist und im Arbeitspunkt vom Kollektorstrom I_0 durchflossen wird. Die Basis-Emitter-Kapazität C_{BE} setzt sich aus dem flächenproportionalen Sperrschichtanteil C_{je} (beim Referenztransistor $C_{je,0}$) und dem Diffusionsanteil C_{DE} , der zum Arbeitspunktstrom I_0 proportional ist, additiv zusammen. Die Basistransitzeit τ_f und die Niederfrequenz-Stromverstärkung β_0 können unter Vernachlässigung von Hochstrom- und Durchbruch-Effekten (vgl. [65]) ebenso wie die Temperaturspannung U_T als konstant angenommen werden. Um die durch diese Näherungen verursachten Fehler im Vergleich zum aufwendigeren, in der numerischen Simulation mit Spectre [66] verwendeten Modell abschätzen zu können, ist die Abhängigkeit der abhängigen Parameter von der Transistorgeometrie in Abb. 2.10 dargestellt. Die annähernd linearen Zusammenhänge zwischen Kapazitäten und Transistorlänge sind in Abb. 2.10 gut erkennbar, ebenso wie der inverse Zusammenhang zwischen dem Basisbahnwiderstand und der Transistorlänge. Die Kollektor-Basis-Kapazität C_{CB} ist allerdings nicht direkt proportional zur Transistorbreite und die Kleinsignalstromverstärkung β_0 , die im Modell als konstant angenommen wird, nimmt für kleine Transistorlängen in Folge von Randeffekten ab. Daher wird ausgehend von einer Referenzparameterkonfiguration der gesamten in Abb. 2.8b gezeigten Anordnung für jeden Transistor der zu seiner Länge, Breite und Arbeitspunktstrom gehörige Parametersatz ($C_{je,0}$, $C_{CB,0}$, $r_{B,0}$) ermittelt. Diese Vorgehensweise entspricht einer Art Linearisierung um diese Referenzkonfiguration, sodass für kleine Abweichungen von dieser (z. B. $l_0 - \epsilon < l < l_0 + \epsilon$ mit $\epsilon \ll l_0$) auch die aufgrund der nichtlinearen Zusammenhänge entstehenden Fehler gering sind. Die Parameter der Referenzkonfiguration finden sich in Tabelle 2.1. Da die maximale effektive Länge eines einzelnen Transistors in der verwendeten Technologie auf $9,83 \mu\text{m}$ beschränkt ist, werden zur Realisierung größerer effektiver Längen mehrere Transistoren parallel geschaltet.



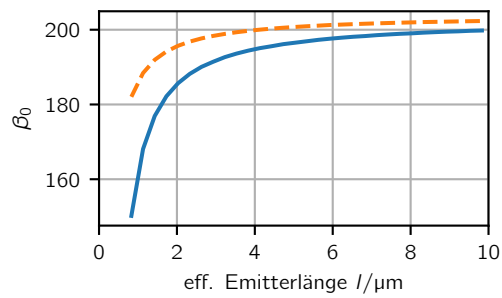
(a) Kehrwert d. Basisbahnwiderstands r_B



(b) Kollektor-Basis-Kapazität C_{CB}



(c) Sperrschichtanteil der Basis-Emitter-Kapazität C_{je}



(d) Niederfrequenz-Stromverstärkung β_0

Abb. 2.10: Abhängigkeit der abhängigen Parameter von der Transistorgeometrie bei konstanter Stromdichte. Dargestellt sind jeweils die Verläufe für schmale Emittirstreifen ($w = 0,18 \mu\text{m}$, —) und breite Emittirstreifen ($w = 0,38 \mu\text{m}$, - -).

	unabhängige Parameter				abhängige Parameter				
	$l/\mu\text{m}$	$w/\mu\text{m}$	n	Typ	C_{CB0}/fF	C_{je0}/fF	r_B/Ω	β_0	I_0/mA
Q_{EF1}	3,53	0,18	3	BEC	16,5	21	18	193	5
Q_{EF2}	5,03	0,38	6	CEBEC	120	276	3,9	312	21
Q_{TAS}	7,73	0,38	6	CEBEC	193	273	2,6	230	70

(a)

R_1/Ω	R_2/Ω	R_3/Ω	R_4/Ω	C_k/fF	C_{p1}/fF	C_{p2}/fF
50	2400	2400	1,5	1000	6,5	34

(b)

Tabelle 2.1: a) Transistorparameter und b) weitere Parameter der Referenzkonfiguration der in Abb. 2.8 dargestellten Schaltung. Die Transitzeit τ_f wird für alle Transistoren zu 0,6 ps angenommen, mit n wird die Anzahl der jeweils parallel geschalteten Transistoren bezeichnet.

Zur Optimierung der Übertragungsfunktion einer Emitterfolgerkaskade werden meist die zur Verfügung stehenden unabhängigen Parameter variiert und die Auswirkungen auf die Übertragungsfunktion als Ergebnis der Simulationen beobachtet (z. B. in [61]). Aufgrund der Vielzahl der zur Verfügung stehenden Freiheitsgrade der Anordnung (Längen, Breiten und Arbeitspunktströme der Transistoren der Emitterfolgerkaskade) sind hierzu sehr viele Simulationsläufe erforderlich. In [6] wird ein konstruktiverer Ansatz basierend auf Nullstellen-Diagrammen der dort definierten *Kernadmittanz* zur Optimierung einer Schaltungszelle bestehend aus Transimpedanzstufe, drei Emitterfolgern und Transadmittanzstufe vorgestellt. Dieses Verfahren wird im Folgenden modifiziert und erweitert, um die Optimierung nicht nur der hier verwendete Schaltung mit zwei Emitterfolgern und einer Transadmittanzstufe, sondern beliebiger Schaltungen, die sich mit Hilfe von Zweitoren beschreiben lassen, zu vereinfachen.

Zur Optimierung der Transadmittanz $\underline{Y}_T = \underline{I}_4/\underline{U}_1$ (vgl. Abb. 2.8c) wird ihre Pol-Nullstellen-Konfiguration betrachtet, die sich mit Hilfe der Zweitor-Darstellung sehr effizient ermitteln lässt. Die Kenntnis der Polstellen der Übertragungsfunktion lässt nicht nur Rückschlüsse auf das Übertragungsverhalten, also z. B. den Betragsgang zu, sondern ermöglicht implizit auch die Stabilität der Schaltung zu prüfen: Liegen alle Polstellen in der linken offenen Halbebene, so ist die Schaltung stabil (vgl. Kap. 5). Am Betragsgang hingegen, lässt sich nicht direkt feststellen, ob die Schaltung stabil ist. Diese einfache Möglichkeit der Stabilitätsanalyse ist besonders im Falle von kaskadierten Emitterfolgern wichtig, da diese Schaltungstopologie für Instabilitäten bekannt ist [59].

Abb. 2.11 zeigt die Pol-Nullstellen-Konfiguration der Transadmittanz $\underline{Y}_T = \underline{I}_4/\underline{U}_1$, wobei zusätzlich zu der in Abb. 2.8c gezeigten Schaltung parasitäre Induktivitäten zwischen den Verstärkerstufen berücksichtigt wurden, da diese insbesondere für die Beurteilung der Stabilität der Schaltung relevant sind (vgl. Kap. 5). Die angestrebte Überhöhung des Betragsgangs (vgl. Abb. 2.9) wird in erster Linie durch die Polstelle mit dem größten Realteil, die sogenannte dominante Polstelle $p_d = \sigma_d + j\omega_d$ verursacht. Durch die Variation der unabhängigen Parameter kann eine Positionsveränderung dieser dominanten Polstelle im Pol-Nullstellen-Diagramm hervorgerufen werden, die wiederum zu einer Veränderung des Betragsgangs der Transadmittanz führt. In Pol-Nullstellen-Darstellung ergibt sich die Transadmittanz zu

$$\underline{Y}_T = Y_0 \frac{(1 - \frac{j\omega}{n_1})(1 - \frac{j\omega}{n_2}) \dots (1 - \frac{j\omega}{n_N})}{(1 - \frac{j\omega}{p_1})(1 - \frac{j\omega}{p_2}) \dots (1 - \frac{j\omega}{p_P})}. \quad (2.9)$$

In einer hinreichend kleinen Umgebung der Polstelle p_d , von der alle anderen Pol- und Nullstellen relativ weit entfernt sind ($|j\omega - p_d| \ll |p_d - p_i|$ mit $i = 1 \dots d - 1, d + 1 \dots P$ und $|j\omega - p_d| \ll |p_d - n_i|$ für $i = 1 \dots N$) können die Beiträge aller Terme, die nicht p_d enthalten, als konstant angesehen werden, sodass sich

$$\underline{Y}_T = \underline{Y}_x \left(1 - \frac{j\omega}{\sigma_d + j\omega_d}\right)^{-1} \quad \text{mit} \quad \underline{Y}_x = \text{konst.} \quad (2.10)$$

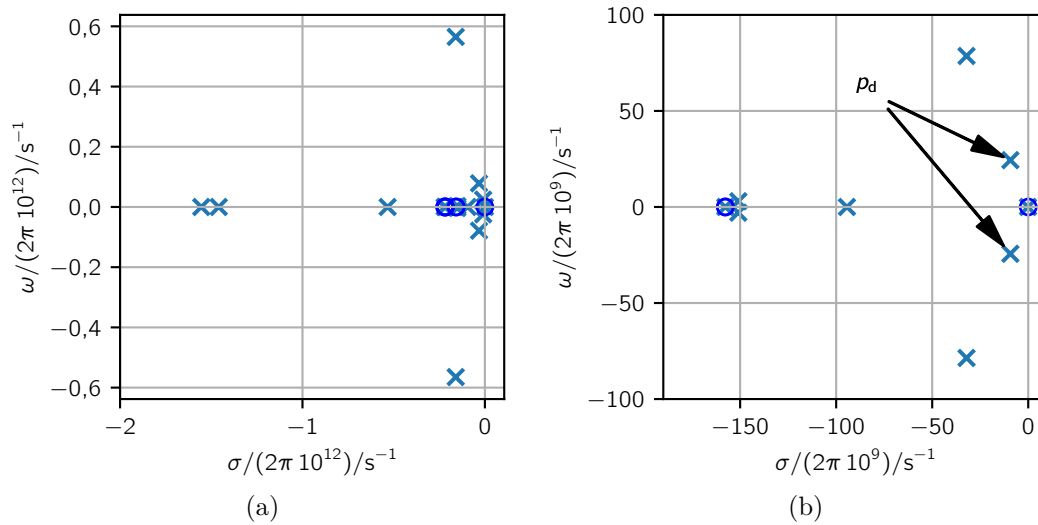


Abb. 2.11: Pol-Nullstellen-Konfiguration der Transadmittanz $\underline{Y}_T = \underline{I}_4/\underline{U}_1$ der in Abb. 2.8 gezeigten Verstärkerschaltung mit parasitären Induktivitäten: a) zeigt alle Pol- (\times) und Nullstellen (\circ), b) zeigt einen vergrößerten Ausschnitt in der Nähe des Ursprungs, die beiden dominanten Polstellen p_d sind markiert.

ergibt. Folglich bestimmt der Imaginärteil der dominanten Polstelle ω_d die Frequenz der maximalen Transadmittanz und der Realteil σ_d das Ausmaß der Überhöhung. Je näher die Polstelle an der imaginären Achse liegt, desto ausgeprägter ist die Überhöhung (vgl. [67, S. 286 ff.]).

Zur Optimierung der Schaltung werden zunächst die unabhängigen Parameter variiert und ihr Einfluss auf die Position der Polstellen unter Verwendung des vereinfachten Zweitor-Ersatzschaltbildes beobachtet. Mit Hilfe dieser Informationen kann der Schaltungsentwickler, die Polstelle in Richtung ihrer gewünschten Position verschieben.⁹ Der sich ergebende Parametersatz wird schließlich als Startkonfiguration für eine Referenzsimulation mit den komplexeren Transistormodellen in Spectre verwendet. Leichte Abweichungen der Resultate der Spectre-Simulation von den auf dem Zweitor-Ersatzschaltbild basierenden Ergebnissen lassen sich leicht korrigieren, indem die bekannten Abhängigkeiten der Polstellen von den unabhängigen Parametern angewendet werden.

Zur vereinfachten Darstellung der Methode beschränkt sich das folgende Beispiel auf eine Längenänderung der Transistoren, die Breite und der Arbeitspunktstrom werden jeweils nicht variiert. Abb. 2.12 zeigt wie sich die dominante Polstelle jeweils in Abhängigkeit der Emittlerlänge der verschiedenen Transistoren der Verstärkerschaltung aus Abb. 2.8 verschiebt. Ähnlich wie in [6] können so Folgerungen für die optimale Dimensionierung der

⁹Ein wichtiges Hilfsmittel an dieser Stelle ist die im Rahmen einer Diplomarbeit [68] entwickelte Software P0int (**P**ole/**Z**ero **I**nteractive) mit der die Pol- und Nullstellen von kaskadierten Zweitor-Schaltungen in Echtzeit ermittelt und dargestellt werden können.

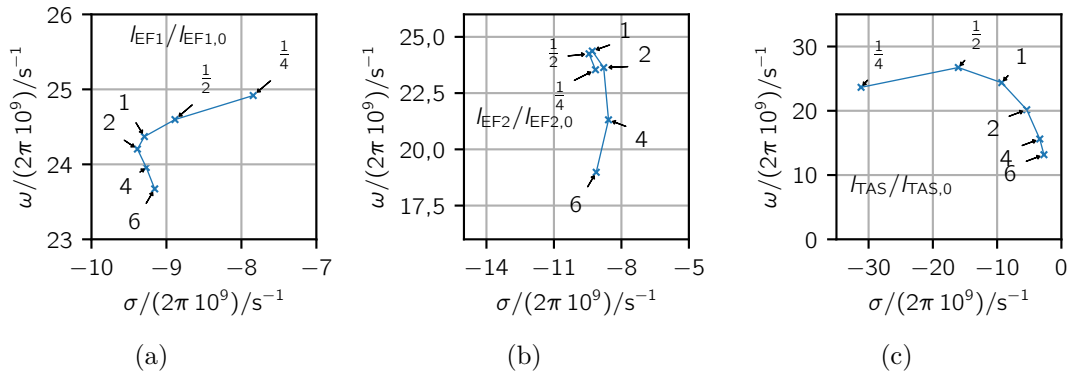


Abb. 2.12: Verschiebung der dominanten Polstelle bei Variation der Länge der Transistoren a) des ersten Emitterfolgers Q_{EF1} b) des zweiten Emitterfolgers Q_{EF2} und c) der Transadmittanzstufe Q_{TAS} .

Verstärkerstufe abgeleitet werden. Bei der Interpretation der Ergebnisse muss beachtet werden, dass die Wirkung der Änderung eines Parameters auch von den Werten der übrigen Parameter abhängt. Bei hinreichend kleinen Änderungen der übrigen Parameter, bleibt jedoch die Charakteristik der Polstellenverschiebung aufgrund der Änderung eines einzelnen Parameters ähnlich. Sollte sich aufgrund der Optimierung ein neuer Wert für einen der Parameter ergeben, so sollten die übrigen Parameter um diesen neuen Referenzparametersatz herum variiert werden, um zu prüfen, ob sich ihr Einfluss auf die dominante Polstelle prinzipiell verändert. Im Folgenden wird der Einfluss der Transistorlänge für die einzelnen Verstärkerstufen getrennt diskutiert, wobei jeweils alle anderen Transistorlängen ihrer Referenzlänge entsprechen:

- EF1** Eine Reduktion der Emitterlänge des ersten Emitterfolger-Transistors wäre mit Vorteilen verbunden. Durch diese Maßnahme verschiebt sich die Polstelle in Richtung eines höheren Imaginärteils, wodurch sich die Frequenz der maximalen Überhöhung zu höheren Frequenzen verschiebt. Gleichzeitig wird der Abstand der Polstelle zur imaginären Achse verringert, was zu einer höheren Anhebung des Betragsgangs bei dieser Frequenz führt, wodurch eine höhere Grenzfrequenz erreicht werden kann, falls die Überhöhung nicht so groß wird, dass auch der resultierende Gesamtbetragsgang des Verstärkers eine Überhöhung aufweist. Der Wert $l_{EF1,0}$ stellt jedoch den Minimalwert da, für den der Transistor seine kritische Stromdichte $j_{C, \text{krit.}}$ erreicht, die nicht überschritten werden darf. Daher ist eine weitere Verringerung der Emitterlänge nicht möglich ohne gleichzeitig den Strom zu reduzieren.
- EF2** Die Verschiebung der Polstelle bei Variation der Emitterlänge des zweiten Emitterfolger-Transistors zeigt ein ungewöhnliches Verhalten. Sowohl für größere als auch für kleinere Emitterlängen in Relation zur Referenzkonfiguration verschiebt sich die Polstelle zu niedrigeren Imaginärteilen, was zu geringeren Grenzfrequenzen der Verstärkerschaltung führt. Bei einer Vergrößerung der Emitterlänge führt die

vergrößerte Kollektor-Basis-Kapazität C_{CB} des Transistors zu diesem Verhalten, bei einer Verkleinerung der Emitterlänge ist das Anwachsen des Basisbahnwiderstandes r_B Ursache dafür. Die Länge l_{EF2} kann zur Verschiebung des Imaginärteils der Polstelle genutzt werden, sodass die Überhöhung bei der gewünschten Frequenz auftritt.

TAS Eine Vergrößerung der Emitterlänge der Transistoren der Transadmittanzstufe führt zu stärkeren Überhöhungen des Betragsgangs der Transadmittanz bei niedrigeren Frequenzen. Diese Maßnahme kann genutzt werden, um einen möglichst flachen Betragsgang der Gesamtübertragungsfunktion des Verstärkers zu realisieren. Fällt diese bereits bei niedrigen Frequenzen zu stark ab, kann durch eine Verlängerung der TAS-Transistoren eine stärkere Anhebung erzielt werden. Durch eine Verringerung der Grenzfrequenz der Transadmittanz \underline{Y}_T wird in diesem Fall eine Erhöhung der Grenzfrequenz der Übertragungsfunktion des gesamten Verstärkers erzielt. Allerdings muss beachtet werden, dass sich durch diese Maßnahme auch die Ausgangsimpedanz der Transadmittanzstufe verändert. Außerdem ist darauf zu achten, dass die dominante Polstelle von der imaginären Achse mindestens so weit entfernt ist, dass bei der maximal erwarteten Parameterschwankungen die Stabilität der Schaltung immer noch gewährleistet ist.

Analog zur Variation der Emitterlänge der einzelnen Transistoren können auch die anderen unabhängigen Parameter wie Emitterbreite und Arbeitspunktstrom variiert werden, um die Pol-Nullstellen-Konfiguration zu beeinflussen. Neben der Optimierung des Kleinsignal-Übertragungsverhaltens müssen dabei weitere Randbedingungen beachtet werden:

- Die maximale Stromdichte der einzelnen Transistoren $j_{C,krit.}$ darf nicht überschritten werden. Hochstromeffekte führen sonst zu einer ausgeprägten Verringerung der Transitfrequenz [65]. Dies ist insbesondere bei Verringerung der Emitterlänge oder -breite und bei Vergrößerung der Arbeitspunktströme zu beachten.
- Auch Großsignaleigenschaften der Schaltung werden durch Variation der unabhängigen Parameter beeinflusst. Insbesondere ist die Linearität der Schaltung bei hohen Signalamplituden stark abhängig von den Arbeitspunktströmen der einzelnen Transistorstufen (vgl. Kap. 2.2.3). Darüber hinaus beeinflusst beispielsweise der Arbeitspunktstrom der TAS den Spannungshub am Ausgang des Verstärkers und kann daher nicht frei gewählt werden.

Nach Abschluss der Optimierung basierend auf dem Zweiter-Ersatzschaltbild, werden die Ergebnisse auf die komplexeren Modelle in der numerischen Simulation übertragen. Da in kommerziellen Simulatoren oft kein Zugriff auf Pole und Nullstellen besteht, werden Kleinsignal-Simulationen im Frequenzbereich verwendet, um zu analysieren, inwiefern infolge der komplexeren Transistormodelle die Transadmittanz von den Ergebnissen basierend auf dem Zweiter-Ersatzschaltbild abweicht. Exemplarisch ist in Abb. 2.13 der Betragsgang der Transadmittanz \underline{Y}_T für drei verschiedene Längen des TAS-Transistors

dargestellt. Wie bei der Interpretation von Abb. 2.12c erwartet, nimmt die Frequenz der Überhöhung in Abb. 2.13a mit zunehmender Transistorlänge ab und ihre Höhe zu. Das qualitative Verhalten tritt ebenso bei den Spectre-Simulationen basierend auf den komplexeren Modellen auf (vgl. Abb. 2.13b), wobei in der Ausprägung der Überhöhung leichte Unterschiede zu erkennen sind: Die Überhöhung ist vor allem im Falle langer Transistoren zu niedrigeren Frequenzen verschoben und etwas weniger stark ausgeprägt. Trotz dieser geringfügigen Unterschiede ist das Ziel, Erkenntnisse über die Abhängigkeit der dominanten Polstelle von den Parametern zu erlangen, erfüllt, da der charakteristische Zusammenhang („Überhöhung verschiebt sich mit zunehmender Länge des TAS-Transistors zu niedrigeren Frequenzen und nimmt zu“) unverändert bleibt.

Die wechselseitigen Abhängigkeiten der Parameter sollen an folgendem Beispiel verdeutlicht werden: Abb. 2.14 zeigt die Verschiebung der dominanten Polstelle bei Variation der Länge des zweiten Emitterfolgers für drei verschiedene Arbeitspunktströme des ersten Emitterfolgers (bei halbem, vollem und doppeltem, nominellen Arbeitspunktstrom $I_{EF1,0} = 5 \text{ mA}$). Die Variation des Imaginärteils der Polstelle ist in allen drei Fällen vergleichbar, wobei aufgrund der unterschiedlichen Treiberfähigkeit des ersten Emitterfolgers der maximale Imaginärteil und somit die maximale Frequenz der Überhöhung bei unterschiedlichen Flächen erreicht wird. Bei niedrigerem Arbeitspunktstrom des ersten Emitterfolgers ist dessen Ausgangsimpedanz so groß, dass die auf ihn wirkende, durch parasitäre Kapazitäten mit zunehmender Länge des zweiten Emitterfolgers größer werdende Last nicht mehr getrieben werden kann. Entsprechend verschiebt sich auch im Fall eines kleinen Arbeitspunktstromes I_{EF1} , dargestellt in Abb. 2.14a, für zunehmende Länge l_{EF2} die Polstelle zu kleineren Realteilen, die Überhöhung ist also weniger ausgeprägt. Insgesamt zeigt das Beispiel, dass die gewonnen Erkenntnisse bezüglich der qualitativen Abhängigkeiten auch bei hinreichend kleiner Abweichung von der Referenzkonfiguration noch ihre Gültigkeit behalten. Bei starken Veränderungen der Parameter, wenn sich

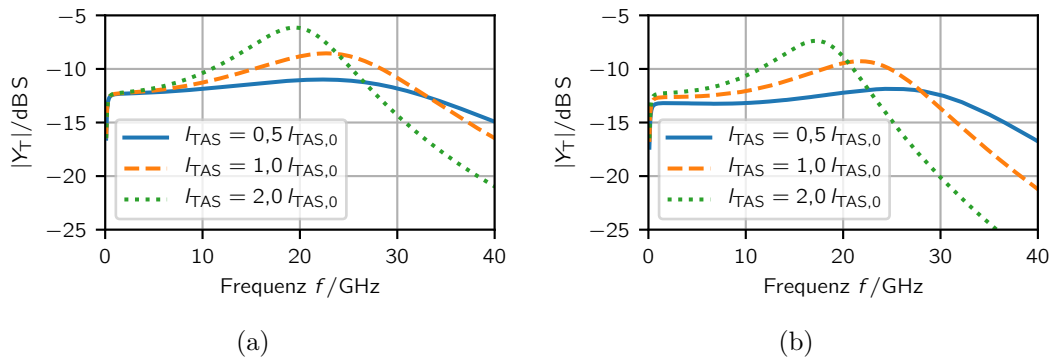


Abb. 2.13: Betragsgang der Transadmittanz $\underline{Y}_T = \underline{I}_4 / \underline{U}_1$ der Verstärkerschaltung aus Abb. 2.8 bei Variation der Länge des TAS-Transistors basierend auf a) dem vereinfachten Zweitor-Ersatzschaltbild bzw. b) dem vollständigen Modell der numerischen Simulation (Spectre).

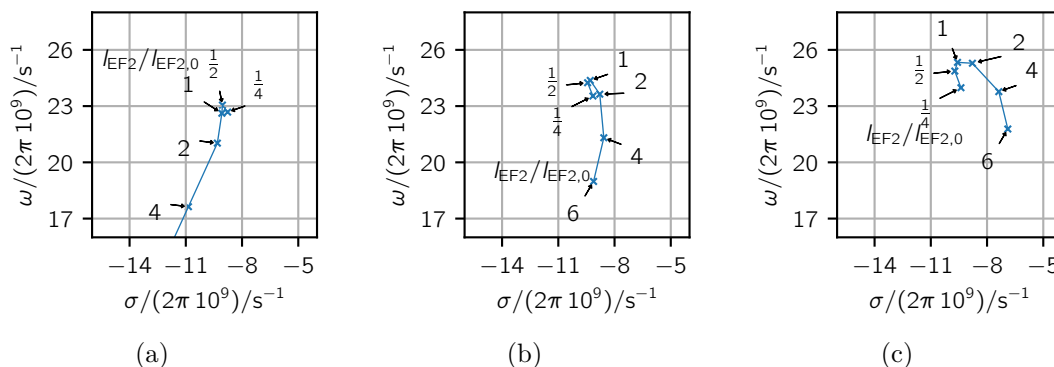


Abb. 2.14: Verschiebung der dominanten Polstelle bei Variation der Länge des zweiten Emitterfolgers bei verschiedenen Arbeitspunktströmen des ersten Emitterfolgers: a) $I_{EF1} = 0,5 I_{EF1,0}$ b) $I_{EF1} = 1,0 I_{EF1,0}$ c) $I_{EF1} = 2,0 I_{EF1,0}$

beispielsweise die Verhältnisse derart ändern, dass der erste Emitterfolger bezüglich seiner Fläche und seines Stromes größer wird als der zweite, kann sich aber auch das charakteristische Verhalten derart ändern, dass die hier gewonnenen Erkenntnisse nicht ohne weiteres übertragen werden können. Ähnliches gilt bei Veränderung der Schaltungstopologie, etwa bei für Schaltungen mit drei Emitterfolgern, wie man beim Vergleich mit [6] erkennen kann. Aber die prinzipielle Methode, also die Analyse der Schaltungseigenschaften basierend auf der Zweitor-Darstellung und den mit ihrer Hilfe ermittelten Polen und Nullstellen, ist auch in diesen Fällen anwendbar.

Über die Optimierung der Emitterfolgerkaskade hinsichtlich ihres Kleinsignal-Übertragungsverhaltens hinaus, kann die beschriebene Methode verwendet werden, um die Empfindlichkeit gegenüber Prozessschwankungen der Halbleitertechnologie zu evaluieren, die sich meist direkt auf die abhängigen Parameter auswirken. Daher werden anstelle der unabhängigen Parameter die abhängigen Parameter der Transistoren variiert und die Auswirkungen auf die Pol-Nullstellen-Konfiguration bewertet. Abb. 2.15 zeigt exemplarisch die Auswirkungen der Variation des parasitären Basisbahnwiderstands r_B der einzelnen Transistorstufen auf die dominante Polstelle p_d . Die Variation des Basisbahnwiderstands der verschiedenen Transistorstufen wirkt sich sehr unterschiedlich aus. In EF1 ist die Auswirkung bezüglich der Stabilität am kritischsten, da sich die Polstelle bei Erhöhung von r_{B1} deutlich in Richtung der imaginären Achse verschiebt. Der Abstand zur imaginären Achse bleibt aber auch noch bei einer Variation des Basisbahnwiderstands um einen Faktor von 6 so groß, dass keine Instabilität droht. Die Verschiebung der Polstelle bei Erhöhung des Basisbahnwiderstands r_{B2} findet in entgegengesetzter Richtung zur Verschiebung bei Erhöhung von r_{B3} statt. Wenn die Basisbahnwiderstände der verschiedenen Transistoren gleichförmig von ihrem Idealwert abweichen, beispielsweise durch eine Abweichung des Schichtwiderstandes zwischen äußerem Basisanschluss und innerer Basis, dann kann sich diese Verschiebung in gewissem Maße kompensieren. Die Betrachtung der Basiswiderstände stellt in diesem Fall nur ein Beispiel dar, ähnliche Untersuchungen

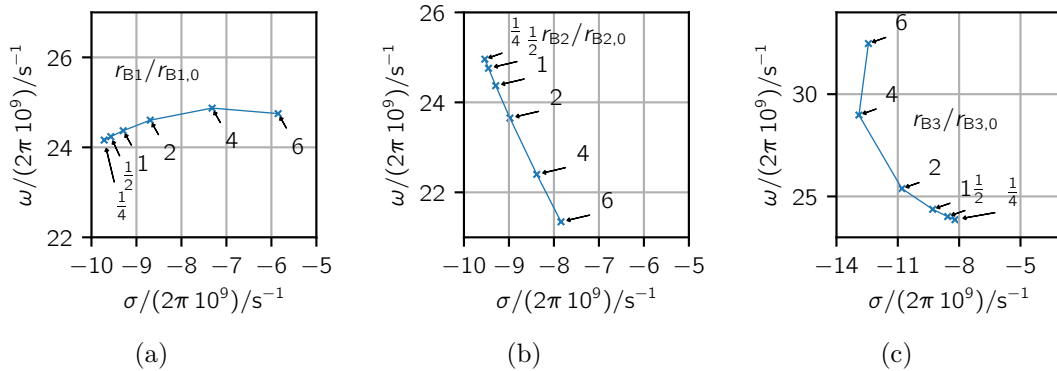


Abb. 2.15: Verschiebung der dominanten Polstelle bei Variation des Basisbahnwiderstands r_B der Transistoren a) des ersten Emitterfolgers Q_{EF1} b) des zweiten Emitterfolgers Q_{EF2} und c) der Transadmittanzstufe Q_{TAS} .

müssen ebenfalls für die übrigen abhängigen Parameter aus Tabelle 2.1 durchgeführt werden.

Die hier vorgestellte Methode zur Optimierung der Übertragungsfunktion einer Emitterfolgerkaskade erweitert die in [6] präsentierte Vorgehensweise auf beliebige Netzwerke, die sich mit Hilfe von Zweitoren beschreiben lassen. Mit ihrer Hilfe erlangt der Schaltungsentwickler Erkenntnisse über den Zusammenhang zwischen den Parametern der Schaltung und die Pol-Nullstellen-Konfiguration der zugehörigen Übertragungsfunktion. Da diese in erster Linie von der dominanten Polstelle geprägt ist, konzentriert sich die Betrachtung vorwiegend auf diese Polstelle. Da sich die prinzipielle Charakteristik der untersuchten Zusammenhänge in einem weiter Parameterbereich nicht ändert, gelten die mit dem Verfahren gewonnen Erkenntnisse nicht nur für die tatsächlich untersuchte Schaltung, sondern auch für ähnliche Schaltungen gleicher Topologie mit vergleichbaren Parameterkonfigurationen. Entsprechend lassen sich die vorgestellten Ergebnisse auf weitere Schaltungen mit zwei Emitterfolgern und einer Transadmittanzstufe übertragen, wenn zumindest ähnliche Verhältnisse gegeben sind (ansteigende Fläche der Transistorstufen und ansteigende Arbeitspunktströme entlang des Signalpfades). Aber auch auf andere Schaltungen lässt sich die Methode übertragen. Die im Rahmen einer Diplomarbeit [68] entwickelte Software P0int erleichtert durch die Berechnung der Pol-Nullstellen-Konfiguration in Echtzeit, sowie deren grafischer Darstellung zusammen mit der untersuchten Übertragungsfunktion das intuitive Erkennen der entsprechenden Abhängigkeiten auf Grundlage der Zweitor-Darstellung der jeweiligen Schaltung. Die gewonnen Erkenntnisse stellen gleichzeitig ein wichtiges Hilfsmittel beim Übertragen der gefunden Optimierung in die numerische Simulation mit den komplexeren Transistormodellen dar. Darüber hinaus bietet die Pol-Nullstellen-Darstellung den Vorteil, dass im gleichen Schritt die Stabilität der Schaltung analysiert werden kann und somit als Randbedingung in die Optimierung mit eingebracht werden kann.

2.2.3 Dimensionierung von Verstärkern bezüglich ihrer Linearität mit Hilfe von Volterra-Reihen

Bei einer Vielzahl von Verstärkeranwendungen, wie z.B. Transimpedanzverstärkern (TIAs) und den hier betrachteten Treiberverstärkern, spielt die Linearität eine wichtige Rolle. Die geforderte Linearität hängt von der Anwendung ab. Während beim sogenannten On-Off-Keying (OOK) nur zwischen zwei Zuständen geschaltet wird und hierbei somit die Linearität keinen Einfluss hat, kommt ihr in modernen Datenübertragungsanwendungen eine herausragende Rolle zu, da die dort angewendeten Modulationsverfahren auf eine gute Linearität aller beteiligten Komponenten angewiesen sind. Bei dem im Rahmen der Arbeit entwickelte linearen Modulatortreiber wurde beispielsweise gefordert, dass die Oberwellen im Amplitudenspektrum bei harmonischer Anregung einen Maximalwert von -30 dB der Grundwelle nicht überschreiten dürfen. Insbesondere bei Treiberverstärkern stellt das Erreichen einer spezifizierten Linearität häufig aufgrund der hohen Spannungshübe und der damit einhergehenden großen zu schaltenden Ströme eine besondere Herausforderung dar.

Um die Linearität von Verstärkern qualitativ beschreiben zu können, werden meist Näherungen verwendet und die Betrachtung auf die Beschreibung der statischen Nichtlinearität beschränkt (z. B. [6]). Davon ausgehend, kann die Schaltung mit Hilfe von numerischen Simulationen weiter optimiert werden, um ein Erreichen der spezifizierten Linearität sicherzustellen. Insbesondere bei Anregung hoher Frequenzen oberhalb von ω_β weicht jedoch die dynamische Linearität von der statischen Linearität ab. Daher wird in vorliegender Arbeit das Ziel verfolgt, die Linearität einer Schaltung symbolisch zu beschreiben, um ein tiefer gehendes Verständnis für die Abhängigkeit der Linearität von Frequenz und Schaltungsparametern zu gewinnen. Darauf basierend lässt sich die Gesamtlinearität der Schaltung in Abhängigkeit der einzelnen Schaltungsstufen genauer analysieren um diese im Hinblick auf weitere Randbedingungen, wie Bandbreite und Energieeffizienz zu optimieren.

Im Rahmen der vorliegenden Arbeit erfolgt die symbolische Beschreibung der Linearität basierend auf Volterra-Reihen. Zunächst werden deren Grundlagen ausgehend von entsprechenden Literatur beschrieben. Diese Beschreibung basiert auf [69], wobei sie erweitert wurde, um weitere offene Fragen zu klären, wie beispielsweise die Symmetrisierung der Volterra-Kerne basierend auf [70] und die Herleitung der Linearitätskriterien HD2 und HD3 im Frequenzbereich. Ausschlaggebend für die Linearität der untersuchten Treiberverstärker sind insbesondere die verwendeten Emitterfolger- und Transadmittanzstufen. Auf den Grundlagen aufbauend wird daher die Berechnung der Volterra-Kerne am Beispiel einer Emitterfolgerstufe demonstriert. Mit Hilfe dieser Volterra-Kerne lässt sich die Linearität der Stufe in Abhängigkeit der Schaltungsparameter beschreiben. Zur Verifikation der entsprechenden Ergebnisse wird die mit Hilfe der symbolischen Rechnung ermittelte Linearität mit Simulationsergebnissen verglichen. Außerdem wird demonstriert, wie sich die symbolische Beschreibung einer Transadmittanzstufe nach [71, 72] zur

Dimensionierung bzgl. der Linearität nutzen lässt.

2.2.3.1 Analyse der Linearität mit Hilfe von Volterra-Reihen

Zur Dimensionierung einer Verstärkerschaltung hinsichtlich der Linearität ist die Beschreibung des Zusammenhangs zwischen einzelnen Schaltungsparametern, beispielsweise der Größe eines Widerstands oder einer Kapazität, und der erreichten Linearität notwendig. Bei hinreichend kleinen Schaltungen, z. B. einzelnen Verstärkerstufen, kann die Analyse dieses Zusammenhangs sehr gut mit Hilfe von Volterra-Reihen erfolgen. Bei komplexeren Schaltungen mit einer größeren Anzahl nichtlinearer Bauelemente, sind die mit Hilfe der Volterra-Reihen-Beschreibung abgeleiteten symbolischen Gleichungen dieser Zusammenhänge so komplex, dass auf ihrer Basis keine Dimensionierung möglich ist. Für Schaltungen, die nicht derart vereinfacht werden können, dass die Nichtlinearität der Gesamtschaltung durch Verwendung von höchstens drei bis vier nichtlinearen Bauelementen beschrieben werden kann, bietet die im Folgenden beschriebene Methode daher keine signifikanten Erkenntnisse, die nicht auch mit Hilfe von Parametersimulationen gewonnen werden können. Für Schaltungsstufen, die auf wenigen Transistoren basieren, lassen sich aber einfache symbolische Gleichungen herleiten, die als Dimensionierungsvorschriften dienen können.

Die Grundlagen zur Schaltungsbeschreibung mit Hilfe von Volterra-Reihen finden sich in [69] und wurden in [71] aufgegriffen und angewendet. Sie werden im Folgenden gekürzt wiedergegeben, um auf wichtige Details eingehen zu können.

Allgemein lässt sich das Eingangs-Ausgangs-Verhalten eines Systems als Summe von Volterra-Operatoren $\mathcal{H}_n[x(t)]$ darstellen [69]

$$y(t) = \sum_{n=0}^{\infty} \mathcal{H}_n[x(t)], \quad (2.11)$$

wobei $y(t)$ den Ausgang und $x(t)$ den Eingang des Systems bezeichnet. Hierbei ergibt sich der Volterra-Operator n -ter Ordnung jeweils aus der n -dimensionalen Faltung des Volterra-Kerns n -ter Ordnung $h_n(t_1, \dots, t_n)$ mit dem Eingangssignal $x(t)$ [69]

$$\mathcal{H}_n[x(t)] = \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} h_n(\tau_1, \dots, \tau_n) \prod_{k=1}^n x(t - \tau_k) d\tau_1 \dots d\tau_n. \quad (2.12)$$

Dementsprechend ist \mathcal{H}_0 zeitlich konstant und beschreibt die Arbeitspunktgrößen des Systems. $\mathcal{H}_1[x(t)]$ beschreibt die Faltung des Eingangssignals $x(t)$ mit der Impulsantwort des Systems $h_1(t)$, also ein lineares System. Die Volterra-Operatoren höherer Ordnung erweitern die Systembeschreibung, so dass das Ausgangssignal auch von höheren Potenzen des Eingangssignals (z.B. $x^2(t)$, $x^3(t)$, ...) und ebenfalls von Produkten des Eingangssignals zu verschiedenen Zeitpunkten (z.B. $x(t_1)x(t_2)$, $x(t_1)x(t_2)x(t_3)$, ...) abhängen

kann. Die Volterra-Kerne höherer Ordnung $h_n(t)$ können daher auch als Impulsantworten n -ter Ordnung angesehen werden [69].

Bemerkenswert sind einige Eigenschaften der Volterra-Operatoren. Der Volterra-Operator 2. Ordnung ist bilinear, der 3. Ordnung trilinear, ... und der Volterra-Operator n -ter Ordnung ist n -linear [69].¹⁰ Das bedeutet, dass der Operator linear von jedem seiner Argumente abhängt, wenn alle anderen Argumente als konstant angenommen werden. Beispielsweise ist der Volterra-Operator zweiter Ordnung $\mathcal{H}_2[x_1(t), x_2(t)]$ bei gegebenem $x_2(t)$ linear von $x_1(t)$ abhängig. Bei Skalierung des Eingangssignals mit einem Faktor α gilt, dass der Volterra-Operator n -ter Ordnung mit dem Faktor α^n skaliert werden muss [69]

$$\begin{aligned} \mathcal{H}_n[\alpha x(t)] &= \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} h_n(\tau_1, \dots, \tau_n) \prod_{k=1}^n \alpha x(t - \tau_k) d\tau_1 \dots d\tau_n \\ &= \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} h_n(\tau_1, \dots, \tau_n) \alpha^n \prod_{k=1}^n x(t - \tau_k) d\tau_1 \dots d\tau_n = \alpha^n \mathcal{H}_n[x(t)]. \end{aligned} \quad (2.13)$$

Der Volterra-Kern n -ter Ordnung $\bar{h}_n(t_1, \dots, t_n)$ heißt symmetrisch, wenn die Reihenfolge der Argumente beliebig ist, beispielsweise $\bar{h}_2(t_1, t_2) = \bar{h}_2(t_2, t_1)$. Unsymmetrische Volterra-Kerne $h_n(t_1, \dots, t_n)$ lassen sich symmetrieren, indem der Mittelwert über alle möglichen Permutationen der Argumente gebildet wird [69]

$$\bar{h}_n(t_1, \dots, t_n) = \frac{1}{n!} \sum_{\substack{\text{Permutationen} \\ \text{von } t_1, \dots, t_n}} h(t_1, \dots, t_n). \quad (2.14)$$

Durch diese Symmetrisierung des Kerns (Gl. 2.14) bleibt das Eingangs-Ausgangs-Verhalten des Systems unverändert [70], da aufgrund der Linearität des Integrals und der gleichen Grenzen ($-\infty$ bis $+\infty$) die Reihenfolge der Integrationsvariablen in Gl. 2.12 beliebig gewählt werden kann

$$\begin{aligned} \bar{\mathcal{H}}_n[x(t)] &= \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} \bar{h}_n(\tau_1, \dots, \tau_n) \prod_{k=1}^n x(t - \tau_k) d\tau_1 \dots d\tau_n = \\ &= \frac{1}{n!} \sum_{\substack{\text{Permutationen} \\ \text{von } \tau_1, \dots, \tau_n}} \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} h_n(\tau_1, \dots, \tau_n) \prod_{k=1}^n x(t - \tau_k) d\tau_1 \dots d\tau_n = \mathcal{H}_n[x(t)]. \end{aligned} \quad (2.15)$$

Verschiedene Volterra-Kerne können also den gleichen Volterra-Operator zur Folge haben. Durch die Symmetrisierung wird einer dieser Kerne eindeutig ausgewählt.

¹⁰Die Argumente $x_i(t)$ eines Volterra-Kerns \mathcal{H}_n sind n Funktionen, die die Eingänge des jeweiligen Systems darstellen. Bei SISO-Systemen, die nur einen Eingang haben, handelt es sich jeweils um identische $x(t)$, die im Integranden (vgl. Gl. 2.12) zeitlich gegeneinander verschoben werden. Man schreibt dann verkürzt $\mathcal{H}_n[x(t)]$ (z.B. $\mathcal{H}_3[x(t)]$) statt $\mathcal{H}_3[(x(t), x(t), x(t))]$.

Bei der Anwendung von Volterra-Reihen zur Beschreibung elektrischer Schaltungen ist deren Darstellung im Frequenzbereich vorteilhaft. Unter der Voraussetzung der absoluten Integrierbarkeit des Volterra-Kerns n -ter Ordnung

$$\int_{-\infty}^{\infty} \cdots \int_{-\infty}^{\infty} |h_n(\tau_1, \dots, \tau_n)| d\tau_1 \dots d\tau_n < \infty \quad (2.16)$$

existieren nach [69] dessen Laplace-Transformierte

$$\underline{H}_n(s_1, \dots, s_n) = \int_{-\infty}^{\infty} \cdots \int_{-\infty}^{\infty} h_n(\tau_1, \dots, \tau_n) \exp\left(-\sum_{k=1}^n s_k \tau_k\right) d\tau_1 \dots d\tau_n \quad (2.17)$$

und die Rücktransformation

$$h_n(\tau_1, \dots, \tau_n) = \frac{1}{(2\pi)^n} \int_{-\infty}^{\infty} \cdots \int_{-\infty}^{\infty} \underline{H}_n(s_1, \dots, s_n) \exp\left(\sum_{k=1}^n s_k \tau_k\right) ds_1 \dots ds_n. \quad (2.18)$$

Im Fall harmonischer Anregungen kann anstelle der Laplace-Transformation auch, wie in [71] beschrieben, die Fourier-Transformation angewendet werden. Die Grundlagen zur Frequenztransformation der Volterra-Kerne und deren Konvergenz wird in [70] ausführlich beschrieben, auf eine detailliertere Darstellung wird daher im Rahmen dieser Arbeit verzichtet.

Im Gegensatz zur verbreiteten Vorgehensweise (z.B. [69]), die einzelnen Voltterrakerne mit Gl. 2.17 in den Frequenzbereich zu transformieren, wird in [73] die mehrdimensionale Fouriertransformation direkt auf Gl. 2.11 angewendet. Basierend auf dieser Vorgehensweise sollen im Folgenden analytische Ausdrücke für die Kenngrößen HD2 und HD3 ermittelt werden. Die Fourier-Transformation von Gl. 2.11 ergibt¹¹

$$\begin{aligned} \underline{Y}(j\omega) &= \underline{H}_1(j\omega) \underline{X}(j\omega) \\ &+ \frac{1}{(2\pi)^1} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \underline{H}_2(j\omega_1, j\omega_2) \underline{X}(j\omega_1) \underline{X}(j\omega_2) \delta(\omega - \omega_1 - \omega_2) d\omega_1 d\omega_2 \\ &+ \frac{1}{(2\pi)^2} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \underline{H}_3(j\omega_1, j\omega_2, j\omega_3) \underline{X}(j\omega_1) \underline{X}(j\omega_2) \underline{X}(j\omega_3) \\ &\quad \cdot \delta(\omega - \omega_1 - \omega_2 - \omega_3) d\omega_1 d\omega_2 d\omega_3 \\ &+ \dots, \end{aligned} \quad (2.19)$$

wobei $\underline{X}(j\omega)$ das Eingangssignal und $\underline{Y}(j\omega)$ das Ausgangssignal im Frequenzbereich bezeichnen, und $\delta(\omega)$ die Dirac'sche Delta-Distribution. Die Voltterrakerne im Frequenzbereich $\underline{H}_n(j\omega)$ ergeben sich nach [73] durch Fouriertransformation zu

$$\underline{H}_n(j\omega_1, \dots, j\omega_n) = \int_{-\infty}^{\infty} \cdots \int_{-\infty}^{\infty} h_n(\tau_1, \dots, \tau_n) \exp\left(-j \sum_{k=1}^n \omega_k \tau_k\right) d\tau_1 \dots d\tau_n. \quad (2.20)$$

¹¹Eine genauere Betrachtung ergibt, dass in Gl. 2.52 von [73] die Faktoren $(2\pi)^{-n+1}$ eingefügt werden müssen, ähnlich wie in [74, 9f.], woraus sich Gl. 2.19 ergibt. Die gesamte Rechnung findet sich in Anhang C.

Wird das beschriebene System nur bei wenigen diskreten Frequenzen angeregt, so lässt sich Gl. 2.19 vereinfachen zu

$$\begin{aligned}
\underline{Y}(j\omega) &= \underline{H}_1(j\omega) \underline{X}(j\omega) \\
&+ (2\pi)^{-1} \sum_{\omega_k + \omega_l = \omega} \underline{H}_2(j\omega_k, j\omega_l) \underline{X}(j\omega_k) \underline{X}(j\omega_l) \\
&+ (2\pi)^{-2} \sum_{\omega_k + \omega_l + \omega_m = \omega} \underline{H}_3(j\omega_k, j\omega_l, j\omega_m) \underline{X}(j\omega_k) \underline{X}(j\omega_l) \underline{X}(j\omega_m) \\
&+ \dots
\end{aligned} \tag{2.21}$$

Im Fall monofrequenter Anregung kleiner Amplitude ($|\underline{H}_n(j\omega) \underline{X}^n(j\omega)| \ll |\underline{H}_m(j\omega) \underline{X}^m(j\omega)|$, wenn $n > m$) mit der Frequenz ω_1

$$x(t) = A \cos(\omega_1 t) \quad \circ\text{---} \quad \underline{X}(\omega) = \pi A (\delta(\omega - \omega_1) + \delta(\omega + \omega_1)) \tag{2.22}$$

folgt mit Gl. 2.21

$$\begin{aligned}
\underline{Y}(j\omega_1) &= \underline{H}_1(j\omega_1) \underline{X}(j\omega_1) + 3 \underline{H}_3(j\omega_1, j\omega_1, -j\omega_1) \underline{X}^2(j\omega_1) \underline{X}(-j\omega_1) + \dots \\
&\approx \underline{H}_1(j\omega_1) \underline{X}(j\omega_1), \\
\underline{Y}(2j\omega_1) &\approx (2\pi)^{-1} \underline{H}_2(j\omega_1, j\omega_1) \underline{X}^2(j\omega_1), \\
\underline{Y}(3j\omega_1) &\approx (2\pi)^{-2} \underline{H}_3(j\omega_1, j\omega_1, j\omega_1) \underline{X}^3(j\omega_1).
\end{aligned} \tag{2.23}$$

Bedingt durch die Nichtlinearität, die durch die Volterra-Kerne höherer Ordnung beschrieben wird, treten im Ausgangssignal des Systems Signalanteile bei ganzzahligen Vielfachen der Anregungsfrequenz ω_1 auf. Diese Oberwellen können zur quantitativen Beschreibung der Nichtlinearität des Systems herangezogen werden, indem ihre Amplitude zu der der Grundwelle ins Verhältnis gesetzt wird. Mit Gl. 2.23 können die harmonischen Verzerrungen HD2 und HD3 definiert werden zu

$$\text{HD2} := \frac{A}{2} \left| \frac{\underline{H}_2(j\omega_1, j\omega_1)}{\underline{H}_1(j\omega_1)} \right| \quad \text{bzw.} \quad \text{HD3} := \frac{A^2}{4} \left| \frac{\underline{H}_3(j\omega_1, j\omega_1, j\omega_1)}{\underline{H}_1(j\omega_1)} \right|, \tag{2.24}$$

wobei A jeweils die Amplitude des Eingangssignals $x(t) = A \cos(\omega_1 t)$ darstellt. Diese Definitionen stimmen mit den entsprechenden aus [69] überein, wo sie im Zeitbereich hergeleitet werden. Die Herleitung im Frequenzbereich ist nicht nur einfacher, sie lässt sich auch leichter auf Fälle erweitern, in denen die Schaltung bei mehreren Frequenzen angeregt wird.

Aus Gl. 2.18 bzw. Gl. 2.21 ist ersichtlich, dass $\underline{H}_1(j\omega_1)$ Signalanteile bei der Frequenz ω_1 beschreibt und entsprechend $\underline{H}_2(j\omega_1, j\omega_1)$ bei $2\omega_1$, sowie $\underline{H}_3(j\omega_1, j\omega_1, j\omega_1)$ bei $3\omega_1$. Bei größerer Amplitude A des Eingangssignals wachsen gemäß Gl. 2.24 die Verzerrungen linear (HD2) bzw. quadratisch (HD3). Die Berechnung der Volterra-Kerne $\underline{H}_n(s_1, \dots, s_n)$, die für Beschreibung des nichtlinearen Systems maßgebend sind, wird im folgenden Abschnitt erläutert.

2.2.3.2 Berechnung der Volterra-Kerne

Die Linearität der im Rahmen dieser Arbeit untersuchten Treiberverstärker wird im Wesentlichen durch die verwendeten Emitterfolger- und Transadmittanzstufen bestimmt. Die Berechnung der Volterra-Kerne wird im Folgenden am Beispiel eines Emitterfolgers erklärt. Unter Verwendung von Gl. 2.24 lässt sich mit ihrer Hilfe die nichtlineare Verzerrung eines sinusförmigen Eingangssignals symbolisch berechnen und bzgl. der Abhängigkeit von einzelnen Schaltungsparametern analysieren. Analog zur hier beschriebenen Vorgehensweise werden in [71] die Volterra-Kerne einer Transadmittanzstufe hergeleitet und daher hier nur kurz vorgestellt. Die mit Hilfe der Volterra-Kerne gewonnenen Erkenntnisse werden schließlich zur Verifikation mit Simulationen verglichen, bei denen die einzelnen Schaltungsparameter variiert wurden. Der Vorteil der symbolischen Darstellung der Verzerrung mit Hilfe von Volterra-Kernen gegenüber den mit Hilfe von Parameter-Simulationen ermittelten Vergleichskurven besteht im Wesentlichen darin, dass dem Schaltungsentwickler Gleichungen zur Verfügung stehen, mit denen die Schaltung hinsichtlich ihrer Linearität dimensioniert werden kann. Die symbolische Darstellung mittels Volterra-Kernen erlaubt ein tieferes Verständnis für das Abhängigkeitsgeflecht aus unabhängigen und abhängigen Schaltungsparametern (vgl. Kap. 2.2.2.2) und den entsprechenden Schaltungseigenschaften, insbesondere der Linearität.

Im Allgemeinen werden zur Berechnung der Volterra-Kerne nichtlineare Bauelemente durch gesteuerte Stromquellen modelliert. Die Nichtlinearität wird mit Hilfe einer Potenzreihe dargestellt, wodurch sich ein allgemeiner Spannungs-Strom-Zusammenhang der Form

$$i(t) = \sum_{k=0}^{\infty} c_k u^k(t) \quad (2.25)$$

ergibt [71]. Alternativ können auch nichtlineare Spannungsquellen genutzt werden bzw. im Falle einer nichtlinearen Kapazität die gespeicherte Ladung in Form einer Potenzreihe

$$q(t) = \sum_{k=0}^{\infty} c_k u^k(t) \quad (2.26)$$

entwickelt werden [71]. Im Falle nichtlinearer Induktivitäten, erfolgt die Beschreibung basierend auf einer Reihenentwicklung des magnetischen Flusses

$$\Phi(t) = \sum_{k=0}^{\infty} c_k i^k(t), \quad (2.27)$$

wobei dieser Fall bei den betrachteten integrierten Schaltungen nicht auftritt.

Die in Gl. 2.25 bis Gl. 2.27 eingeführte Methode der Potenzreihenentwicklung ist ähnlich der in der Schaltungstechnik üblichen Berechnung eines Arbeitspunktes und der anschließenden Linearisierung um diesen Arbeitspunkt. Diese Vorgehensweise wird sukzessive

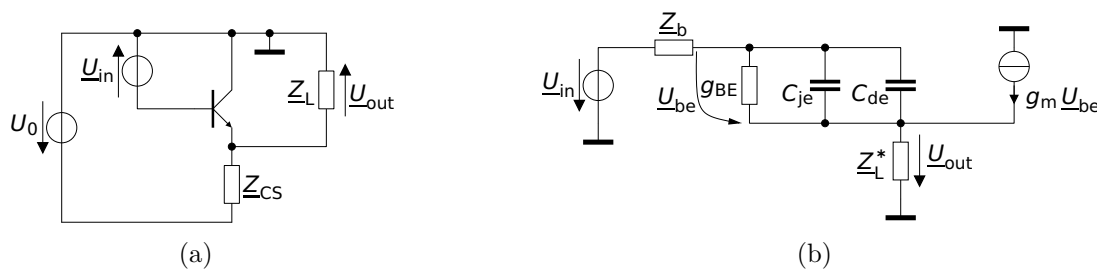


Abb. 2.16: a) Emitterfolger-Schaltung mit Stromquellenimpedanz Z_{CS} und Lastimpedanz Z_L . b) Ersatzschaltbild der linearisierten Schaltung mit $Z_L^* = (Z_{CS}^{-1} + Z_L^{-1})^{-1}$.

fortgesetzt, indem nicht nur das linearisierte Netzwerk betrachtet wird, sondern zusätzlich ein Netzwerk der quadratischen Terme, der kubischen, usw.

Als Beispiel dient die Emitterfolger-Schaltung in Abb. 2.16a. Linearisieren, Einsetzen des vereinfachten Kleinsignal-Ersatzschaltbildes des Bipolartransistors aus Abb. A.1 und Zusammenfassen der Stromquellenimpedanz Z_{CS} mit der Lastimpedanz Z_L zu $Z_L^* = (Z_{CS}^{-1} + Z_L^{-1})^{-1}$ liefert das in Abb. 2.16b gezeigte vereinfachte Ersatzschaltbild für die lineare Betrachtung. Im Unterschied zu dem in Anhang A eingeführten vereinfachten Ersatzschaltbild werden hier die Basis-Emitter-Sperrschichtkapazität C_{je} und die Basis-Emitter-Diffusionskapazität C_{de} nicht zusammengefasst, da die Sperrschichtkapazität von der Basis-Emitter-Spannung abhängt und als näherungsweise konstant angesehen werden kann, wohingegen die Diffusionskapazität in Abhängigkeit des nichtlinearen Stroms modelliert wird. Die Basis-Kollektor-Kapazität C_{CB} wird nicht weiter betrachtet, da sie bei Ansteuerung mit einer idealen Spannungsquelle keinen Einfluss ausübt.

Der untersuchte Emitterfolger lässt sich als System mit dem Eingang U_{in} und dem Ausgang U_{out} auffassen. Mit dem in Abb. 2.16b dargestellten Ersatzschaltbild lässt sich der Volterra-Kern 1. Ordnung der Spannung U_{BE} zu¹²

$$\underline{H}_{1,U_{BE}}(s) = \frac{U_{be}(s)}{U_{in}(s)} = \frac{1}{1 + g_m Z_L^*(s) + (Z_b(s) + Z_L^*(s))(g_{BE} + s C_{je} + s C_{de})} \quad (2.28)$$

berechnen, womit sich der Volterra-Kern 1. Ordnung des Gesamtsystems zu

$$\underline{H}_{1,U_{out}}(s) = \underline{H}_1(s) = \frac{U_{out}(s)}{U_{in}(s)} = \frac{(g_m + g_{BE} + s C_{je} + s C_{de}) Z_L^*(s)}{1 + g_m Z_L^*(s) + (Z_b(s) + Z_L^*(s))(g_{BE} + s C_{je} + s C_{de})} \quad (2.29)$$

¹²Im Folgenden werden die Terme im Frequenzbereich in Anlehnung an die Literatur und im Sinne einer kürzeren Schreibweise als Ergebnis der Laplace-Transformation mit der komplexen Variable $s = \sigma + j\omega$ dargestellt. Für den Fall absoluter Konvergenz ist dies zur Fouriertransformation für $\sigma = 0$ identisch (vgl. [69]).

ergibt.¹³ Diese Berechnung entspricht der Beschreibung des entsprechenden linearen Systems, wie sie in allgemein bekannten Grundlagenwerken vermittelt wird [75].

Erweiternd zur Beschreibung des linearen Systems wird im Folgenden der Volterra-Kern 2. Ordnung berechnet. Ganz ähnlich, wie zur Berechnung der Parameter des linearen Systems die Ergebnisse der Arbeitspunktberechnung benötigt werden, finden hierbei die Ergebnisse der Berechnung des linearen Systems Anwendung. Daher erfordert die Berechnung des Volterra-Kerns 2. Ordnung, dass das System 1. Ordnung bereits beschrieben wurde. Hieraus folgt unmittelbar, dass mit der vorgestellten Vorgehensweise die Volterra-Kerne sukzessive mit zunehmender Ordnung berechnet werden.

Abb. 2.17 zeigt das dem quadratischen System zugeordnete Ersatzschaltbild des Emitterfolgers aus Abb. 2.16. Da eine rein sinusförmige Ansteuerung des Systems betrachtet wird, die im System 2. Ordnung keinen Beitrag liefert, ergibt sich anstelle der ansteuernden Spannungsquelle im Ersatzschaltbild des quadratischen Systems ein Kurzschluss. Stattdessen wird die Anregung des quadratischen Systems von den Nichtlinearitäten generiert, die aus den linearen Signalen des Systems 1. Ordnung Signalbeiträge im System 2. Ordnung liefern. Diese werden durch die Stromquellen $\underline{I}_{n2,gBE}$ (Nichtlinearität des Leitwerts der Basis-Emitter-Diode), $\underline{I}_{n2,CDE}$ (Nichtlinearität der Basis-Emitter-Diffusionskapazität) und $\underline{I}_{n2,gm}$ (Nichtlinearität des Transfer- bzw. Kollektorstroms) dargestellt und im Folgenden berechnet.

Der Kollektorstrom des Transistors in Abb. 2.16a lässt sich über die Potenzreihe

$$i_C(t) = I_S \exp\left(\frac{u_{be}(t)}{U_T}\right) = I_{C,0} + g_m u_{be}(t) + \sum_{n=2}^{\infty} K_{n,gm} (u_{be}(t))^n \quad (2.30)$$

beschreiben, wobei U_T , die als konstant angenommene Temperaturspannung darstellt. Die Nichtlinearitätskoeffizienten ergeben sich zu

$$K_{n,gm} = \frac{1}{n!} \frac{\partial^n}{\partial u_{be}^n} \left(I_S \exp\left(\frac{u_{be}(t)}{U_T}\right) \right) = \frac{I_{C,0}}{n! U_T^n}, \quad (2.31)$$

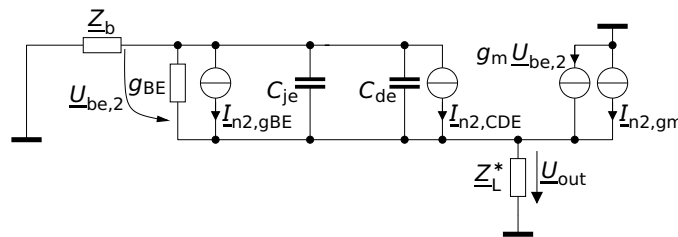


Abb. 2.17: Ersatzschaltbild zur Berechnung des Volterra-Kerns 2. Ordnung

¹³Im Rahmen der Arbeit werden die Indizes der Volterra-Kerne $\underline{H}_{a,b}$ verwendet um die Ordnung a des jeweiligen Kerns und seine Ausgangsgröße b , wie beispielsweise die innere Spannung \underline{U}_{be} oder die Ausgangsspannung \underline{U}_{out} , zu bezeichnen.

womit auch die bekannte Berechnungsvorschrift $g_m = K_{1,\text{gm}} = I_{C,0}/U_T$ folgt. Der Term, der den quadratischen Beitrag des Kollektorstroms beschreibt, lautet $K_{2,\text{gm}}U_{\text{be}}^2$, woraus sich

$$\underline{I}_{n2,\text{gm}}(s_1, s_2) = K_{2,\text{gm}}\underline{H}_{1,\text{UBE}}(s_1)\underline{H}_{1,\text{UBE}}(s_2) \quad (2.32)$$

ergibt. Hierbei muss beachtet werden, dass die quadratischen Volterra-Kerne im Frequenzbereich von zwei komplexen Frequenzen s_1, s_2 abhängen können, da diese Darstellung auch die Beschreibung von Mischeffekten erlaubt. Wie in Gl. 2.21 für die Volterra-Kerne gezeigt, beschreibt $\underline{I}_{n2,\text{gm}}(s_1, s_2)$ die Stromkomponenten, die bei der komplexen Frequenz $s_1 + s_2$ auftreten. Im Fall $s_1 = s_2 = j\omega_0$ vereinfacht sich Gl. 2.32 zu $\underline{I}_{n2,\text{gm}}(j\omega_0, j\omega_0) = K_{2,\text{gm}}\left(\underline{H}_{1,\text{UBE}}(j\omega_0)\right)^2$, wodurch die Stromkomponenten bei $2\omega_0$ beschrieben werden. In [69, S. 124 ff.] und [71, S. 10 ff.] finden sich Tabellen, die die Konstruktion der Terme der nichtlinearen Ströme zur Beschreibung Systeme 2. und 3. Ordnung detaillierter erklären. Bemerkenswert ist, dass $\underline{I}_{n2,\text{gm}}$ vom Volterra-Kern $\underline{H}_{1,\text{UBE}}$ abhängt, der eine Wirkungsfunktion darstellt, die die Basis-Emitter-Spannung im linearen System in Abhängigkeit des Eingangssignals beschreibt. Die Beschreibung der Quellströme infolge der Nichtlinearität im System n -ter Ordnung erfordert, dass alle Systeme niedrigerer Ordnung bereits beschrieben wurden.

Der Strom durch die Basis-Emitter-Diode kann allgemein durch $i_{\text{gBE}}(t) = i_C(t)/\beta_0$ beschrieben werden. Analog zur Betrachtung in Gl. 2.30 bis Gl. 2.32 ergibt sich

$$\underline{I}_{n2,\text{gBE}}(s_1, s_2) = K_{2,\text{gBE}}\underline{H}_{1,\text{UBE}}(s_1)\underline{H}_{1,\text{UBE}}(s_2) = \frac{K_{2,\text{gm}}}{\beta_0}\underline{H}_{1,\text{UBE}}(s_1)\underline{H}_{1,\text{UBE}}(s_2). \quad (2.33)$$

Ähnlich gestaltet sich auch die Berechnung der Nichtlinearitätskoeffizienten der Diffusionskapazität: Die auf der Diffusionskapazität C_{DE} gespeicherte Ladung wird zu $q_{\text{CDE}} = \tau_F i_C(t)$ berechnet [76], wobei τ_F die Transitzeit bezeichnet. Somit ergibt sich analog zu Gl. 2.30

$$q_{\text{CDE}}(t) = \tau_F I_{C,0} + C_{\text{de}}u_{\text{be}}(t) + \sum_{n=2}^{\infty} K_{n,\text{CDE}} (u_{\text{be}})^n \quad (2.34)$$

mit $C_{\text{de}} = \tau_F g_m$ und $K_{n,\text{CDE}} = \tau_F K_{n,\text{gBE}}$. Durch die zeitliche Ableitung der gespeicherten Ladung ergibt sich der zugehörige Strom. Im Frequenzbereich entspricht diese zeitliche Ableitung der Multiplikation mit s , wodurch sich

$$\underline{I}_{n2,\text{CDE}}(s_1, s_2) = \tau_F (s_1 + s_2) K_{2,\text{gm}}\underline{H}_{1,\text{UBE}}(s_1)\underline{H}_{1,\text{UBE}}(s_2) \quad (2.35)$$

ergibt.

Mit Gl. 2.32, Gl. 2.33 und Gl. 2.35 sind die Ströme, die infolge der Nichtlinearität ins System 2. Ordnung eingebracht werden, bekannt und unter Verwendung des in Abb. 2.17

dargestellten Netzwerks können die Volterra-Kerne 2. Ordnung berechnet werden. Es ergibt sich für den Volterra-Kern 2. Ordnung der Basis-Emitter-Spannung U_{be}

$$\underline{H}_{2,UBE}(s_1, s_2) = -\underline{H}_{1,UBE}(s_1) \underline{H}_{1,UBE}(s_2) K_{2,gm} \cdot \frac{(\underline{Z}_b(s_1 + s_2) + \underline{Z}_L^*(s_1 + s_2)) \left(\frac{1}{\beta_0} + \tau_F(s_1 + s_2)\right) + \underline{Z}_L^*(s_1 + s_2)}{1 + (\underline{Z}_b(s_1 + s_2) + \underline{Z}_L^*(s_1 + s_2)) (g_{BE} + (s_1 + s_2)(C_{de} + C_{je})) + \underline{Z}_L^*(s_1 + s_2) g_m}. \quad (2.36)$$

Für den Volterra-Kern 2. Ordnung der Ausgangsspannung U_{out} folgt entsprechend

$$\underline{H}_2(s_1, s_2) = \underline{H}_{2,Uout}(s_1, s_2) = \underline{Z}_L^*(s_1 + s_2) \underline{H}_{1,UBE}(s_1) \underline{H}_{1,UBE}(s_2) K_{2,gm} \cdot \left[1 + \frac{1}{\beta_0} + \tau_F(s_1 + s_2) \right] \cdot \frac{[g_m + g_{BE} + (s_1 + s_2)(C_{de} + C_{je})] [(\underline{Z}_b(s_1 + s_2) + \underline{Z}_L^*(s_1 + s_2)) \left(\frac{1}{\beta_0} + \tau_F(s_1 + s_2)\right) + \underline{Z}_L^*(s_1 + s_2)]}{1 + (\underline{Z}_b(s_1 + s_2) + \underline{Z}_L^*(s_1 + s_2)) [g_{BE} + (s_1 + s_2)(C_{de} + C_{je})) + \underline{Z}_L^*(s_1 + s_2) g_m}. \quad (2.37)$$

Durch Einsetzen von Gl. 2.29 und Gl. 2.37 in Gl. 2.24 ergibt sich schließlich eine symbolische Gleichung, die die Verzerrung HD2 des Emitterfolgers beschreibt.

Mit der gleichen Vorgehensweise lassen sich die Volterra-Kerne einer Transadmittanzstufe berechnen. Da dies in der im Rahmen der vorliegenden Dissertation betreuten Masterarbeit [71] ausführlich beschrieben ist, werden hier nur kurz die Ergebnisse zusammengefasst. Die betrachtete Schaltung ist in Abb. 2.18 gezeigt. Mit Hilfe der Spannungsquellen U_0 und der Stromquelle I_0 wird der Arbeitspunkt der beiden Transadmittanzstufentransistoren im normal-aktiven Bereich mit einem Kollektorstrom von $I_{C1,0} = I_{C2,0} \approx I_0$ eingestellt. Um diesen Arbeitspunkt wird die Transadmittanzstufe durch die Ansteuerung mit den Spannungsphasoren \underline{U}_{in} symmetrisch ausgelenkt. Als Ausgangssignal dienen die, an den im Modell unbelasteten Ausgangsknoten fließenden, Ströme \underline{I}_{C1} und \underline{I}_{C2} . Beide Transistoren sind mit zusätzlichen Impedanzen \underline{Z}_b im Basispfad beschaltet, außerdem ist die TAS mit den Impedanzen \underline{Z}_e gegengekoppelt, um eine möglichst allgemeine Beschreibung zu ermöglichen. Für beide Transistoren wird analog zur Vorgehensweise für den Emitterfolger

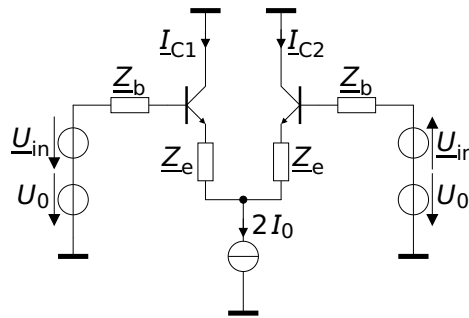


Abb. 2.18: Transadmittanzstufe, deren Transadmittanz mit Hilfe von Volterra-Reihen untersucht wird.

das vereinfachte Ersatzschaltbild aus Anhang A verwendet, wobei die Kollektor-Basis-Kapazität C_{CB} vernachlässigt wird. Die Nichtlinearität dieser Sperrschichtkapazität ist vernachlässigbar, solange keine großen Spannungshübe am Kollektor auftreten, was insbesondere bei Verwendung der TAS als Teil einer Kaskode mit einer CBS, die die Spannung am Kollektor näherungsweise konstant hält, gegeben ist. Nach aufwendiger Rechnung [71, 72] ergibt sich

$$\underline{H}_{1,IC1}(s) = -\underline{H}_{1,IC2}(s) = \frac{g_m}{\left((s C_{je} + s \tau_F g_m + \frac{g_m}{\beta_0}) (\underline{Z}_b(s) + \underline{Z}_e(s)) + g_m \underline{Z}_e(s) + 1 \right)}, \quad (2.38)$$

$$\underline{H}_{2,IC1}(s_1, s_2) = \underline{H}_{2,IC2}(s_1, s_2) = \frac{\underline{H}_{1,IC1}(s_1) \underline{H}_{1,IC1}(s_2)}{2 I_0} \frac{(s_1 + s_2) C_{je}}{\left((s_1 + s_2) (C_{je} + \tau_F g_m) + g_m \left(1 + \frac{1}{\beta_0} \right) \right)}, \quad (2.39)$$

$$\underline{H}_{3,IC1}(s_1, s_2, s_3) = -\underline{H}_{3,IC2}(s_1, s_2, s_3) = \underline{H}_{1,IC1}(s_1 + s_2 + s_3) \frac{U_T}{6 I_0^3} \cdot \left[\underline{H}_{1,IC1}(s_1) \underline{H}_{1,IC1}(s_2) \underline{H}_{1,IC1}(s_3) + 6 I_0 \overline{\underline{H}_{1,IC1} \underline{H}_{2,IC1}}(s_1, s_2, s_3) \right] \cdot [1 + (s_1 + s_2 + s_3) C_{je} (\underline{Z}_b(s_1 + s_2 + s_3) + \underline{Z}_e(s_1 + s_2 + s_3))] \quad (2.40)$$

$$\text{mit } \overline{\underline{H}_{1,IC1} \underline{H}_{2,IC1}}(s_1, s_2, s_3) = \frac{1}{3} \left(\underline{H}_{1,IC1}(s_1) \underline{H}_{2,IC1}(s_2, s_3) + \underline{H}_{1,IC1}(s_2) \underline{H}_{2,IC1}(s_1, s_3) + \underline{H}_{1,IC1}(s_3) \underline{H}_{2,IC1}(s_1, s_2) \right).$$

Die Symmetrie der Schaltung wirkt sich in diesem Fall auch auf die Volterra-Kerne aus. Dies wird besonders bei Betrachtung des differentiellen Ausgangssignals $\underline{I}_\Delta = \underline{I}_{C2} - \underline{I}_{C1}$ deutlich, für das sich aus die Gleichungen 2.38 bis 2.40 zu

$$\underline{H}_{1,I\Delta}(s) = \frac{1}{2} \left(\underline{H}_{1,IC1} - \underline{H}_{1,IC2} \right) = \frac{g_m}{\left((s C_{je} + s \tau_F g_m + \frac{g_m}{\beta_0}) (\underline{Z}_b(s) + \underline{Z}_e(s)) + g_m \underline{Z}_e(s) + 1 \right)}, \quad (2.41)$$

$$\begin{aligned} \underline{H}_{2,I\Delta}(s_1, s_2) &= \underline{H}_{2,IC1}(s_1, s_2) - \underline{H}_{2,IC2}(s_1, s_2) = 0, \\ \underline{H}_{3,I\Delta}(s_1, s_2, s_3) &= \underline{H}_{3,IC1}(s_1, s_2, s_3) - \underline{H}_{3,IC2}(s_1, s_2, s_3) = \\ & \underline{H}_{1,\Delta}(s_1 + s_2 + s_3) \frac{U_T}{6 I_0^3} \cdot \underline{H}_{1,I\Delta}(s_1) \underline{H}_{1,I\Delta}(s_2) \underline{H}_{1,I\Delta}(s_3) \cdot \\ & [1 + (s_1 + s_2 + s_3) C_{je} (\underline{Z}_b(s_1 + s_2 + s_3) + \underline{Z}_e(s_1 + s_2 + s_3))] \end{aligned} \quad (2.43)$$

vereinfachen lassen. Wegen $\underline{H}_{2,IC1}(s_1, s_2) = \underline{H}_{2,IC2}(s_1, s_2)$ ergibt sich $\underline{H}_{2,I\Delta}(s_1, s_2) = 0$, weshalb sich beispielsweise bei monofrequenter Ansteuerung mit der Frequenz ω_0 die Harmonischen bei $2\omega_0$ im Ausgangssignal I_Δ kompensieren. Bei $3\omega_0$ überlagern sie sich hingegen wegen $\underline{H}_{3,IC1}(s_1, s_2, s_3) = -\underline{H}_{3,IC2}(s_1, s_2, s_3)$ konstruktiv.

2.2.3.3 Verifikation und Folgerungen

Zur Verifikation der korrekten Berechnung der Volterra-Kerne werden die Ergebnisse der Verzerrung HD2 eines einzelnen Emitterfolgers, die sich durch Einsetzen von Gl. 2.29 und Gl. 2.37 in Gl. 2.24 ergeben, mit Simulationsergebnissen verglichen. Als Beispiel hierzu soll der Emitterfolger Q_{EF2} aus einer Verstärker-Schaltung dienen, die zwei Signale linear summiert (vgl. Kap. 6.3). Es handelt sich dabei um den zweiten Emitterfolger einer Kaskade, der an seinem Ausgang eine Transadmittanzstufe ansteuert.

Abb. 2.19 zeigt die Verzerrung HD2 über der Frequenz als Ergebnis der numerischen Simulation und der symbolischen Berechnung basierend auf der Volterra-Reihen-Entwicklung des entsprechenden Emitterfolgers. Die Lastimpedanz Z_L^* wird als Kapazität C_L modelliert, die Parameter des Transistors werden entsprechend seiner Größe aus dem Simulationsmodell extrahiert (analog zur Vorgehensweise in Kap. 2.2.2.2) und sind in Tabelle 2.2 angegeben. In der simulierten Schaltung ist der Kollektor des Emitterfolger-Transistors über zwei Dioden, die zur Potentialabsenkung benötigt werden, mit dem Bezugspotential verbunden (vgl. Abb. 6.19a), im Gegensatz zum Volterra-Reihen-Modell, wo diese Verbindung durch einen idealen Kurzschluss repräsentiert wird (vgl. Abb. 2.16a). Dies führt in Verbindung mit dem in der Simulation verwendeten komplexeren Gummel-Poon-Transistormodell (vgl. Anhang A) zu einer erkennbaren Abweichung. Wird die

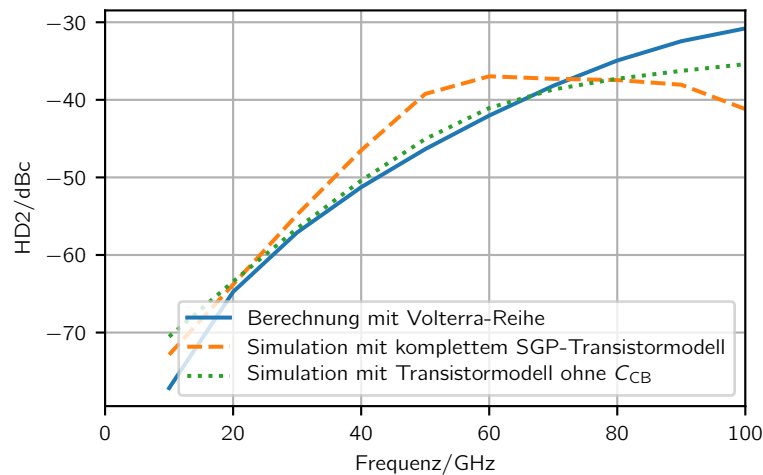


Abb. 2.19: Verzerrung HD2 des betrachteten Emitterfolgers zur Verifikation der hergeleiteten Volterra-Kerne.

$ U_{in} /V_{pp}$	g_m/S	g_{BE}/mS	r_B/Ω	τ_F/ps	I_0/mA	C_{BE}/fF	C_L/fF	U_T/mV
0,4	1,11	7,43	9,8	0,6	28,8	530	150	25,86

Tabelle 2.2: Parameter zur Verifikation der Volterra-Kerne.

Basis-Kollektor-Kapazität in der Simulation zu 0 fF gesetzt, so ergibt sich eine deutlich bessere Übereinstimmung zum symbolischen Modell, das sich als Ergebnis der Volterra-Reihen-Beschreibung ergibt. Diese Übereinstimmung zeigt die Gültigkeit der symbolischen Gleichungen basierend auf dem vereinfachten Transistormodell.

Zur Demonstration der Interpretation der mit Hilfe der Volterra-Reihe gewonnenen symbolischen Beschreibung wird analysiert, wie sich eine Variation der Lastkapazität C_L auf die Linearität auswirkt. Wegen $Z_L^* = (j\omega C_L)^{-1}$ wirkt eine solche Variation sowohl auf \underline{H}_1 (vgl. Gl. 2.29) als auch auf \underline{H}_2 (vgl. Gl. 2.37). Ohne das Einsetzen konkreter Zahlenwerte ist man auf Näherungen angewiesen, um die symbolischen Terme soweit zu vereinfachen, dass eine Interpretation möglich ist. Mit den Näherungen des T-Operators ($g_{BE} \ll |j\omega C_{BE}| \ll 1$, vgl. Kap. 2.2.2.1) und unter der Annahme einer im Verhältnis zur zum Emitter transformierten Basis-Impedanz Z_b hinreichend geringen (also hochohmigen) Last¹⁴

$$g_m Z_L^* \gg j\omega C_{BE} Z_b \quad (2.44)$$

ergeben sich aus Gl. 2.29, Gl. 2.37 und Gl. 2.24

$$\underline{H}_{1,UBE}(s) \approx \frac{1}{1 + g_m Z_L^*(s)} \quad (2.45)$$

$$\underline{H}_{1,Uout}(s) \approx \frac{g_m Z_L^*(s)}{1 + g_m Z_L^*(s)} \quad (2.46)$$

$$\begin{aligned} \underline{H}_{2,Uout}(s_1, s_2) &\approx Z_L^*(s_1 + s_2) \underline{H}_{1,UBE}(s_1) \underline{H}_{1,UBE}(s_2) K_{2,gm} \cdot \left[1 - \frac{g_m Z_L^*(s_1 + s_2)}{1 + g_m Z_L^*(s_1 + s_2)} \right] \\ &= Z_L^*(s_1 + s_2) \underline{H}_{1,UBE}(s_1) \underline{H}_{1,UBE}(s_2) K_{2,gm} \frac{1}{1 + g_m Z_L^*(s_1 + s_2)}. \end{aligned} \quad (2.47)$$

Einsetzen in Gl. 2.24 liefert schließlich

$$HD2 \approx \frac{A}{2} \left| \frac{Z_L^*(2s_1)}{Z_L^*(s_1)} \frac{K_{2,gm}}{g_m} \frac{1}{1 + g_m Z_L^*(s_1)} \frac{1}{1 + g_m Z_L^*(2s_1)} \right|. \quad (2.48)$$

In Gl. 2.47 fällt auf, dass die Annahme $g_m Z_L^*(s_1 + s_2) \gg 1$ zu $\underline{H}_{2,Uout}(s_1, s_2) \approx 0$ führt. Ein unbelasteter Emitterfolger erzeugt keine Harmonischen und weist demnach keine Nichtlinearität auf.

Die grafische Darstellung von Gl. 2.48 findet sich in Abb. 2.20. Der Vergleich mit dem Verlauf der ungenäherten Verzerrung HD2 zeigt eine zunehmende Abweichung mit steigender Lastkapazität C_L . Die Ursache hierfür liegt darin, dass für steigendes C_L und somit abnehmenden Betrag von Z_L^* obige Annahme (Gl. 2.44) schlechter erfüllt ist. Der Vergleich mit den Ergebnissen einer Parametersimulation, der ebenfalls in Abb. 2.20 dargestellt ist, zeigt eine gute Übereinstimmung und belegt somit, dass die

¹⁴Diese Näherung ist in insbesondere für Schaltungen, die nur eine schwache Nichtlinearität aufweisen, erfüllt.

symbolische Darstellung der Verzerrung mit Hilfe der Volterra-Kerne ein geeignetes Hilfsmittel zur Schaltungsdimensionierung liefert. Aus Gl. 2.48 folgt unmittelbar, dass bei der Dimensionierung des Emitterfolgers eine größere Lastkapazität durch einen entsprechend vergrößerten Arbeitspunktstrom und eine somit verbesserte Steilheit g_m bezüglich der Linearität ausgeglichen werden kann, wobei immer sicher gestellt sein muss, dass die erforderliche, in Gl. 2.44 gegebene, Näherung erfüllt ist.

Als Beispiel für eine Transadmittanzstufe wird ebenfalls die Schaltung aus Kap. 6.3 betrachtet. In diesem Fall wird als Gegenkopplungsimpedanz Z_e der TAS ein Hochpass, bestehend aus einem Widerstand R_E und einer variablen Kapazität C_{var} verwendet (vgl. Abb. 6.19a). Durch diese Gegenkopplung ergibt sich ähnlich wie durch die in Kap. 2.2.2 vorgestellte Dimensionierung der ansteuernden Emitterfolgerkaskade eine Verstärkungsüberhöhung im Frequenzgang, die dazu genutzt wird, den Tiefpass am Schaltungsausgang (vgl. Kap. 2.2.1) zu kompensieren. Die Verwendung eines Hochpasses in der Gegenkopplung mit einer variablen Kapazität C_{var} in Form eines Varaktors bietet den Vorteil, dass das Ausmaß der Überhöhung im Frequenzgang im Betrieb variiert werden kann und so beispielsweise an vorher nicht genau modellierbare Gegebenheiten, wie etwa die Länge und somit parasitäre Induktivität des Bonddrahts, angepasst werden kann. Voraussetzung für die Realisierung des Hochpasses ist eine nennenswerte resistive Gegenkopplung, die in der untersuchten Schaltung gegeben ist, da die TAS zugunsten der Linearität für eine geringe Verstärkung von 1 dimensioniert werden soll. Ein Nachteil der Verwendung eines solchen Hochpasses besteht darin, dass die Linearität der Schaltung negativ beeinflusst wird, was durch die Beschreibung mit Hilfe einer Volterra-Reihe untersucht wird, um entsprechende Gegenmaßnahmen zu ergreifen.

Die Lastimpedanz am Ausgangsknoten der Schaltung (vgl. Abb. 2.3b) beträgt bei

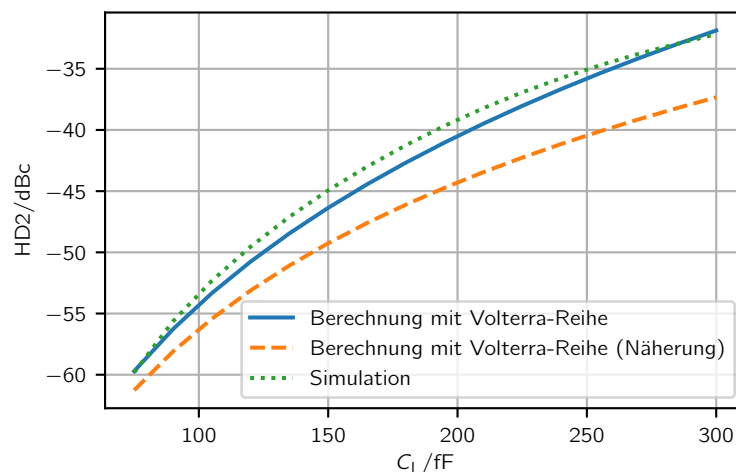


Abb. 2.20: Verzerrung HD2 des betrachteten Emitterfolgers bei sinusförmiger Anregung mit $f = 50$ GHz und Variation der Last-Kapazität C_L .

niedrigen Frequenzen für die vorliegende Schaltung 25Ω , bedingt durch die on-Chip Abschlussimpedanz $R_{\text{term}} = 50 \Omega$ parallel angeordnet zur externen Lastimpedanz $R_{\text{load}} = 50 \Omega$. Um eine Spannungsverstärkung von 1 zu erzielen, wird die Transadmittanz der TAS auf den Kehrwert der Lastimpedanz dimensioniert

$$\underline{H}_1(\omega \rightarrow 0) = \left(\frac{r_b}{\beta_0} + R_E \left(1 + \frac{1}{\beta_0} \right) + \frac{1}{g_m} \right)^{-1} \stackrel{!}{=} \frac{1}{25 \Omega}, \quad (2.49)$$

woraus mit den in Tabelle 2.3 angegebenen Parametern $R_E = 23 \Omega$ folgt.

Die Kapazität des zu R_E parallel geschalteten Varaktors kann zwischen 45 fF und 135 fF variiert werden, wodurch der Betrag der Transadmittanz der TAS die in Abb. 2.21 dargestellten Verläufe annimmt. Durch den über der Frequenz ansteigenden Betrag der Transadmittanz kann analog zu der in Kap. 2.2.2 erläuterten Vorgehensweise die begrenzte Bandbreite des Ausgangsknotens kompensiert werden.

Allerdings nimmt durch die mit zunehmender Frequenz verringerte Gegenkopplung die Nichtlinearität zu. Die Modellierung auf Basis der Volterra-Reihe bietet die Möglichkeit diesen Zusammenhang zu analysieren. Hierzu werden die Volterra-Kerne Gl. 2.41, Gl. 2.43 in Gl. 2.24 eingesetzt mit dem Ergebnis

$$\text{HD3}(\omega) = \frac{A}{2} \frac{U_T}{6 I_0^3} \left| \underline{H}_{1,\Delta I}(3\omega) \right| \left| \underline{H}_{1,\Delta I}^2(\omega) \right| \cdot \left| 1 + 3\omega C_{\text{je}} \left(r_b + (R_E^{-1} + j\omega C_{\text{var}}) \right)^{-1} \right|. \quad (2.50)$$

Unter Anwendung der Näherungen $g_m^{-1} C_{\text{je}} \ll \tau_F$, $|\beta_0^{-1} (r_b + \underline{Z}_e)| \ll |\underline{Z}_e|$, $g_m^{-1} \ll |\underline{Z}_e|$, die im vorliegenden Fall aufgrund der starken Emitter-Gegenkopplung erfüllt sind, lässt sich $\underline{H}_{1,\Delta I}(\omega)$ vereinfachen zu

$$\underline{H}_{1,\Delta I}(\omega) = (j\omega\tau_F(r_b + \underline{Z}_e) + \underline{Z}_e)^{-1}. \quad (2.51)$$

g_m/S	g_{BE}/mS	r_B/Ω	τ_F/ps	I_0/mA	C_{je}/fF	U_T/mV
1,05	6,06	8,75	0,6	27,5	70	25,86

Tabelle 2.3: Parameter zur Verifikation der Volterra-Kerne der Transadmittanzstufe.

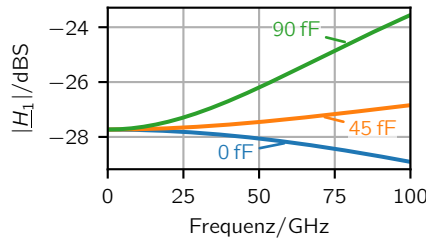


Abb. 2.21: Verstärkungsüberhöhung der TAS in Abhängigkeit der Gegenkopplungskapazität C_{var} .

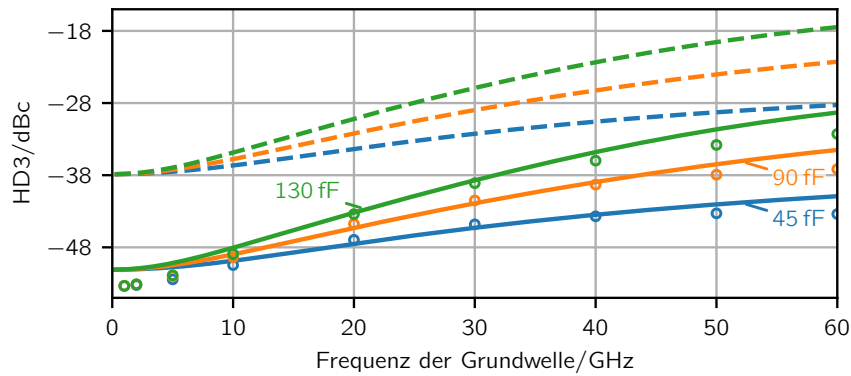


Abb. 2.22: Nichtlineare Verzerrung HD3 des differentiellen Ausgangsstroms der TAS I_{Δ} für niedrigen ($2I_0 = 32 \text{ mA}$) und hohen ($2I_0 = 55 \text{ mA}$) Arbeitspunktstrom bei verschiedenen Kapazitäten der Gegenkopplung $C_{\text{var}} = 45 \text{ fF}, \dots, 135 \text{ fF}$. Zum Vergleich sind Simulationsergebnisse in Form von \circ -Symbolen dargestellt.

Die grafische Auswertung von $\text{HD3}(\omega)$ für zwei verschiedene Arbeitspunktströme I_0 der TAS ist in Abb. 2.22 dargestellt. Der minimale Arbeitspunktstrom $I_0 = 32 \text{ mA}/2$ ist ausreichend, um bei Vollaussteuerung der TAS den geforderten Spannungshub von $1,6 \text{ V}_{\text{pp,diff}}$ am Lastwiderstand zu erzielen, was allerdings zu einer großen Nichtlinearität führt (gestrichelte Kurven in Abb. 2.22). Gl. 2.50 wird analysiert, um die nichtlinearen Verzerrungen HD3 zu vermindern. Hierbei darf die Verstärkung $H_{1,\Delta I}$ nicht beeinflusst werden, weil ihre Überhöhung notwendig ist um die gewünschte Bandbreite der Schaltung zu erreichen. Entsprechend dürfen r_b , R_E und C_{var} (vgl. Gl. 2.51) nicht verändert werden. Da C_{je} bedingt durch die Halbleitertechnologie und die ohnehin bereits minimierte Fläche des Transistors ebenfalls unveränderlich ist, bleibt als einziger Parameter zur Verbesserung der Linearität die Erhöhung des Arbeitspunktstroms der TAS (vgl. Gl. 2.50). Da I_0 in der dritten Potenz zur Verminderung der Nichtlinearität HD3 beiträgt, reicht eine Erhöhung auf $I_0 = 55 \text{ mA}/2$ aus, um eine ausreichend gute Linearität zu gewährleisten. Der Zielwert -38 dB wird selbst bei maximaler Anhebung des Betragsgangs bis zu einer Frequenz von 25 GHz nicht überschritten. Oberhalb von 25 GHz liegt die dritte Harmonische bereits über 75 GHz und wird daher durch den Ausgangstiefpass so stark gedämpft, dass sie vernachlässigbar ist.

Zur Verifikation werden die mit der Volterra-Reihen-Modellierung erzielten Ergebnisse mit Parametersimulationen verglichen, deren Ergebnisse in Abb. 2.22 durch \circ -Symbole dargestellt sind. Im Bereich niedriger Frequenzen bis ca. 40 GHz ist eine gute Übereinstimmung zu erkennen. Bei höheren Frequenzen ist die Kollektor-Basis-Kapazität der TAS-Transistoren nicht mehr vernachlässigbar, weshalb die Kurven voneinander abweichen. Allerdings sind diese Frequenzen ohnehin so hoch, dass die dritte Oberwelle durch den Tiefpass am Ausgang so stark unterdrückt wird, dass sie vernachlässigbar ist.

2.2.3.4 Ausblick: Gesamtlinearität der Treiberschaltung

In der vorliegenden Arbeit wurde mit Hilfe der Volterra-Reihen nur die Linearität einzelner Verstärkerstufen untersucht. In den meisten Fällen ist dies ausreichend, da die Gesamtlinearität einer Schaltung optimiert wird, indem die Linearität einzelner Zellen verbessert wird. Dazu ist es sinnvoll, insbesondere die Zellen zu optimieren, die für die Linearität besonders kritisch sind. Im Fall der Treiberschaltungen sind dies die hier betrachteten Emitterfolger und besonders die Transadmittanzstufe am Ausgang der Schaltung. Bei der Optimierung dieser Schaltungszellen müssen sowohl Linearität als auch Bandbreite und Verlustleistung berücksichtigt werden, da sich diese drei Größen nahezu immer gegenseitig bedingen, sodass ein Kompromiss gefunden werden muss.

Denkbar ist allerdings, dass durch geeignete Vorverzerrung in vorgeschalteten Zellen das Eingangssignal derart modifiziert werden kann, dass sich die Nichtlinearität der Vorverzerrung und des Ausgangstreiber kompensieren. Abb. 2.23 verdeutlicht diese Idee mit Hilfe der entsprechenden Kennlinien. Bei den hier vorgestellten Untersuchungen der Nichtlinearität zeigt sich allerdings, dass diese im Allgemeinen auch eine starke Frequenzabhängigkeit aufweist, die eine solche Kompensation erschwert oder gar unmöglich macht. Dass eine solche Kompensation prinzipiell möglich ist, wurde bereits gezeigt [77, 78], wobei in diesen Fällen die Nichtlinearität nicht mittels symbolischer Volterra-Reihen basierend auf den nichtlinearen Transistormodellen beschrieben wurde, sondern stattdessen aus Messungen der nichtlinearen Verstärker ein entsprechendes Modell generiert wurde.

Um eine Treiberschaltung mit Hilfe einer Vorverzerrung in Bezug auf Bandbreite, Linearität und Verlustleistung zu optimieren, wäre es hilfreich, bereits bei der Dimensionierung von Beginn an die Linearität und die diesbezügliche Interaktion der verschiedenen Schaltungsteile beschreiben zu können. Bei komplexeren Schaltungen mit vielen Transistoren ist es aber nicht zielführend, die gesamte Schaltung symbolisch zu beschreiben, da dies zum einen nicht mit vertretbarem Aufwand möglich ist und zum anderen die symboli-

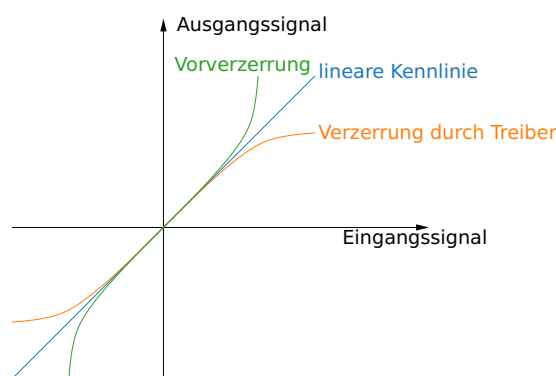


Abb. 2.23: Statische Kennlinien einer Vorverzerrung, die mit einer typischen Verstärkung durch den Treiber eine lineare Gesamtkennlinie ergibt.

schen Gleichungen derart komplex wären, dass sie nicht interpretiert werden könnten. In [69, 79] sind aber zumindest Ansätze beschrieben, mit deren Hilfe Volterra-Reihen zur Beschreibung komplexerer Schaltungen verwendet werden können.

2.2.3.5 Fazit

Die symbolische Beschreibung einzelner Schaltungszellen mittels Volterra-Reihen lässt sich nutzen, um die Schaltung hinsichtlich ihrer statischen und dynamischen Linearität zu dimensionieren und ein tiefer gehendes Verständnis für die Abhängigkeit der Linearität von der Frequenz und den einzelnen Schaltungsparametern zu gewinnen. In Schaltungen mit einer größeren Anzahl nichtlinearer Elemente, beispielsweise mit mehreren Transistoren, wird die Komplexität der symbolischen Beschreibung allerdings so groß, dass sie sich nur noch numerisch auswerten lassen, womit der Mehrwert im Vergleich zu numerischen Simulationen verloren geht. Um diese Komplexität zu reduzieren, wird in der Literatur der Ansatz beschrieben die Schaltung in kleinere Teilschaltungen zu partitionieren, die jeweils mit Volterra-Reihen beschrieben werden (vgl. [79]).

Kapitel 3

Lösungskonzepte zu spezifischen Problemstellungen der Treiberschaltungsentwicklung

3.1 Die Temperaturproblematik in Treiberschaltungen

Bedingt durch die hohen Ströme in den Ausgangsstufen von Treiberschaltungen, die benötigt werden, um große Ausgangsspannungshübe realisieren zu können (vgl. Kap. 2), entstehen vergleichsweise große Verlustleistungsdichten im Bereich der Ausgangsstufen-transistoren. Diese hohen Verlustleistungsdichten führen zu starken lokalen Temperaturerhöhungen, die die elektrischen Eigenschaften der Transistoren maßgeblich beeinflussen. Daher ist eine detaillierte Untersuchung dieser thermischen Effekte unumgänglich.

Im Folgenden wird zunächst die thermische Impedanz Z_{th} der Transistoren analysiert und mit Hilfe der in [7] vorgestellten Vorgehensweise modelliert. Gegenüber [7] wird dieses Modell erweitert, um auch die gegenseitige Verkopplung der thermischen Impedanzen abzubilden. Aus den komplexen, thermischen Modellen des Halbleitersubstrats werden vereinfachte RC-Netzwerke hergeleitet, mit deren Hilfe unter Verwendung eines ebenfalls erweiterten Transistormodells die thermischen Effekte in das elektrische Simulationsmodell integriert werden können. Erstmals werden die auf RC-Netzwerken basierenden Modelle nicht nur durch den Vergleich mit 3D-Finite-Elemente-Simulationen, sondern auch durch Messungen an Testsubstraten verifiziert.

Simulationen, die thermische *und* elektrische Effekte kombinieren, bilden schließlich die Grundlage für weitere Untersuchungen, insbesondere des sogenannten *Current Hogging Effects*. Dieser tritt vor allem im Bereich der Ausgangsstufentransistoren auf. Die dort erforderliche Transistorfläche ist nicht mit einem einzigen Transistor zu erreichen, sondern wird erst durch Parallelschaltung von Einzeltransistoren ermöglicht. Die räumliche Anordnung dieser Transistoren auf dem Halbleitersubstrat führt zu unterschiedlichen thermischen Impedanzen bzw. thermischen Verkopplungen derselben. In der Folge sind die elektrischen Eigenschaften der parallel geschalteten Einzeltransistoren nicht identisch, was zu einer Mitkopplung führen kann. Hierdurch bedingt, konzentriert sich schließlich der Strom stärker in einem der parallel geschalteten Transistoren, wodurch die zulässigen Stromdichten überschritten werden. Zur Vermeidung dieses sogenannten *Current Hogging Effects* müssen Gegenkopplungswiderstände in die Schaltung eingefügt werden.

Üblicherweise werden diese Gegenkopplungswiderstände so dimensioniert, dass der an ihnen anliegende Spannungsabfall pauschal etwa $2U_T \approx 60\text{ mV}$ beträgt (z. B. [80]). Da durch die Gegenkopplungswiderstände die Verlustleistung der Schaltung steigt und im Falle der Transadmittanzstufe die Verstärkung verringert wird, erscheint eine Dimensionierung basierend auf den konkreten Gegebenheiten (Verlustleistung, Anzahl paralleler Transistoren, etc.) angebracht, um die Nachteile der Gegenkopplung im Vergleich zur pauschalen Dimensionierung zu verringern. Darüber hinaus wird ein speziell entwickeltes Konzept vorgestellt, mit dem der *Current Hogging Effect* in Kaskoden für die TAS- und CBS-Transistoren a priori ausgeschlossen werden kann, sodass keine Gegenkopplungswiderstände notwendig sind.

3.1.1 Thermische Modellierung des Transistors und seiner Umgebung

Um thermische Effekte am Transistor untersuchen zu können, müssen der Transistor selbst und seine Umgebung modelliert werden. Hierzu wird zunächst der dreidimensionale Aufbau des Chips im Hinblick auf seinen Einfluss auf die thermische Impedanz des Transistors näher betrachtet. Abb. 3.1 zeigt den vereinfachten Querschnitt eines Hochgeschwindigkeits-Bipolar-Transistors der verwendeten Technologie. Im Hinblick auf die thermischen Effekte sind insbesondere der innere Transistor und die sogenannten *deep trenches* relevant. In den Raumladungszonen des inneren Transistors, vor allem in der Kollektor-Basis-Raumladungszone, wird die Verlustleistung frei. Sie sind somit die Orte, an denen auch die höchsten Temperaturen zu erwarten sind. Gleichzeitig ist die Temperatur in diesem Bereich relevant zur Beschreibung der elektrischen Eigenschaften des entsprechenden Transistors. Die *deep trenches* werden in den Halbleiter eingebracht, um die elektrische (und thermische) Kopplung zwischen den Transistoren zu verringern. Dazu werden Gräben definierter Tiefe in den Halbleiter geätzt und mit Siliziumdioxid SiO_2 überzogen. Um zu große mechanische Spannungen durch die unterschiedlichen Wärmedehnungskoeffizienten der Materialien zu vermeiden, werden diese Gräben mit

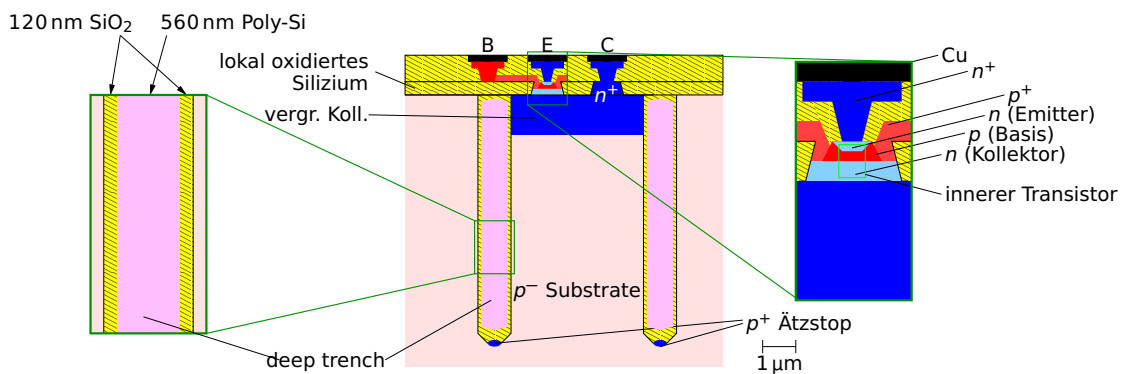


Abb. 3.1: Vereinfachter Querschnitt eines Hochgeschwindigkeits-Bipolar-Transistors (vgl. [57]).

Polysilizium gefüllt. Die elektrisch isolierende SiO_2 -Schicht wirkt auch als thermischer Isolator, da die thermische Leitfähigkeit von SiO_2 mit $1,4 \text{ W m}^{-1} \text{ K}^{-1}$ etwa zwei Größenordnungen geringer ist als die thermische Leitfähigkeit von Silizium (ca. $140 \text{ W m}^{-1} \text{ K}^{-1}$ bei 300 K, temperaturabhängig, vgl. [81]). Daher wird der Wärmestrom ausgehend von der Kollektor-Basis-Raumladungszone zur Chip-Rückseite innerhalb des Grabens kanalisiert. Der Wärmestrom zur Oberseite des Chips kann vernachlässigt werden, da die SiO_2 -Passivierung thermisch sehr gut isoliert und zudem die Wärme an der Oberfläche nur an die Umgebungsluft mittels Konvektion und Wärmestrahlung abgegeben werden kann. Diese Effekte spielen jedoch im vorliegenden Fall nur eine sehr untergeordnete Rolle (vgl. [82]). Neben dem eigentlich Transistor sind für die Modellierung des Wärmestroms durch das Halbleitersubstrat dessen Beschaffenheit (im Wesentlichen die Dicke) sowie der thermische Kontakt an der Substratrückseite relevant. Dort ist das Substrat bei Nutzung der im Rahmen der vorliegenden Arbeit verwendeten Aufbautechnik (vgl. Kap. 6) unter Verwendung eines thermisch leitfähigen Klebers mit einer Kupferfläche verbunden, die die Wärme gut abführt.

3.1.1.1 Modellierung des *Selfheating Effects* und der thermischen Kopplung

Im Betrieb wird in den Raumladungszonen eines Transistors Verlustleistung frei, wodurch sich der Transistor relativ zu einer definierten, externen Bezugstemperatur (z. B. der Rückseite des Chips) erwärmt. Dieser Effekt wird als *Selfheating Effect* bezeichnet. Für die Simulation schneller Schaltungen ist nicht nur die statische Selbsterwärmung relevant, wichtig ist insbesondere auch die dynamische Modellierung des Prozesses. Gerade in den Ausgangsstufentransistoren von Treiberschaltungen ist die frei werdende Verlustleistung des jeweiligen Transistors stark vom Betriebszustand abhängig und variiert daher über der Zeit. Durch die thermische Kapazität des Transistors und seiner Umgebung tritt die Temperaturerhöhung in Folge der schnell veränderlichen Verlustleistung verzögert auf. Dies wird häufig unter Verwendung von Sprungantworten [59, 83], aber auch im Frequenzbereich [84] charakterisiert.

Zudem erwärmt die frei werdende Verlustleistung nicht ausschließlich den Transistor sondern auch dessen Umgebung. Unmittelbar benachbarte Transistoren werden daher auch bezüglich ihrer elektrischen Eigenschaften beeinflusst. Auch diese thermische Kopplung kann das Verhalten der Schaltung beeinflussen und muss demnach untersucht und modelliert werden.

Das dynamische Verhalten der Temperaturveränderung in Abhängigkeit der Verlustleistung kann mit Hilfe thermischer Netzwerke analog zu elektrischen Netzwerken beschrieben werden. Dabei wird die Wärmeleitungsgleichung (z. B. [85])

$$\rho c_p \frac{\partial T}{\partial t} - \nabla \cdot (k \nabla T) = Q \quad (3.1)$$

mit der Massen-Dichte ρ , der spezifischen thermischen Kapazität c_p , der Temperatur T und dem Wärmestrom Q , gelöst. Durch die Analogie zu elektrischen Netzwerken (vgl. z. B. [86]), dargestellt in Tabelle 3.1, ist es mit relativ geringem Aufwand möglich, diese thermischen Modelle in die elektrischen Simulationen zu integrieren. Um Simulationsmodelle für diesen Zweck zu generieren, wurden im Rahmen der vorliegenden Arbeit verschiedene Untersuchungen durchgeführt:

3D-FEM Simulationen Mit Hilfe komplexer Simulationen auf Basis finiter Elemente wurden die Auswirkungen des dreidimensionalen Aufbaus (Transistor im Halbleitersubstrat) auf die Temperaturverteilung untersucht.

Ableitung eines vereinfachten thermischen Netzwerks Die thermische Impedanz zwischen den Raumladungszonen eines Transistors und der Chiprückseite bzw. zwischen zwei benachbarten Transistoren wurde modelliert und das entstandene Netzwerk vereinfacht, um eine sinnvolle Integration in bestehende elektrische Simulationen zu ermöglichen.

Transistormodell mit Temperaturanschluss Das üblicherweise eingesetzte BJT-Transistormodell wurde um einen Temperaturanschluss erweitert. Am Temperaturanschluss wird die Verlustleistung des Transistors als Strom in das thermische Netzwerk eingespeist. Die Spannung, die sich an diesem Anschluss einstellt, repräsentiert die Temperatur des Transistors.

Messung thermischer Impedanzen Zur Verifikation der erarbeiteten Modelle wurden die thermischen Impedanzen messtechnisch erfasst und die Ergebnisse mit den Modellen verglichen.

Diese Untersuchungen werden im Folgenden detailliert erörtert. Die Ergebnisse werden abschließend im Vergleich dargestellt.

Formelbuchstabe	Bedeutung im elektrischen Netzwerk	Bedeutung im thermischen Netzwerk
I	elektrischer Strom	Wärmestrom/eingebrachte Verlustleistung
U	elektrische Spannung	Temperatur
R	elektrischer Widerstand	thermischer Widerstand
C	elektrische Kapazität	thermische Kapazität
GND	elektrisches Bezugspotenzial	thermisches Bezugspotenzial (konstante Temperatur der Umgebung/Chiprückseite, o. ä.)

Tabelle 3.1: Analogie zwischen thermischen und elektrischen Netzwerken.

3.1.1.2 Simulationen des dreidimensionalen Aufbaus auf Basis finiter Elemente

Um die thermischen Impedanzen eines einzelnen Transistors und die Kopplung zwischen verschiedenen Transistoren zu ermitteln, werden FEM-Simulationen eingesetzt. Um die Komplexität des hierbei zum Einsatz kommenden dreidimensionalen Modells zu beschränken, wird der Transistor vereinfacht dargestellt. Wesentlich für die thermische Modellierung sind die Raumladungszonen, insbesondere die Basis-Kollektor-Raumladungszone, und der Graben (*deep trench*), der den Transistor umgibt, um die Substratkopplung zu verringern. Vereinfachend werden die beiden Raumladungszonen nicht räumlich voneinander getrennt, sondern zusammengefasst, da ihr Abstand sehr gering ist (einige 10 nm im Vergleich zu den Abmaßen des Grabens im Mikrometer-Bereich). Der den Transistor umschließende, 800 nm breite Graben besteht an seinen Randflächen aus einer SiO₂-Schicht (deren Stärke im Folgenden gemäß [87] zu 120 nm angenommen wird) und ist mit Polysilizium gefüllt (vgl. Abb. 3.1). Da die Diskretisierung der Grabenwand mit einer Schichtdicke von 120 nm zu einer zu großen Zahl von Elementen führen würde, wird dem Graben stattdessen eine effektive thermische Leitfähigkeit zugeordnet, sodass der Wärmestrom, der senkrecht durch den Graben nach außen tritt, korrekt abgebildet wird. Der Wärmestrom in der Ebene, in der die Grabenwand liegt, wird dadurch zwar verfälscht, dieser kann jedoch gegenüber dem Wärmestrom im benachbarten Silizium (Wärmeleitfähigkeit $\kappa_{\text{Si}} \approx 140 \text{ W m}^{-1} \text{ K}^{-1}$) ohnehin vernachlässigt werden. Für die effektive thermische Leitfähigkeit des Grabens $\kappa_{\text{T,eff}}$ ergibt sich

$$\frac{w_{\text{T}}}{\kappa_{\text{T,eff}}} = \frac{w_{\text{SiO}_2}}{\kappa_{\text{SiO}_2}} + \frac{w_{\text{poly}}}{\kappa_{\text{poly}}} \Leftrightarrow \frac{800 \text{ nm}}{\kappa_{\text{T,eff}}} = \frac{2 \cdot 120 \text{ nm}}{1,4 \text{ W m}^{-1} \text{ K}^{-1}} + \frac{560 \text{ nm}}{30 \text{ W m}^{-1} \text{ K}^{-1}} \\ \Rightarrow \kappa_{\text{T,eff}} \approx 4,2 \text{ W m}^{-1} \text{ K}^{-1}, \quad (3.2)$$

wobei w_{T} , w_{SiO_2} , w_{poly} der Breite des Grabens bzw. dem SiO₂ und dem Polysiliziumanteil entsprechen und κ_{SiO_2} und κ_{poly} den jeweiligen thermischen Leitfähigkeiten der Materialien [88].

Abb. 3.2a zeigt das entsprechende FEM-Modell eines Transistors in CBEBEBC-Konfiguration (vgl. Abb. 2.4) mit zwei Emitterstreifen, von denen die jeweils zugehörige Basis-Kollektor-Raumladungszone modelliert wird, sowie dem *deep trench*, der den Transistor umgibt. Nicht gezeigt wird die SiO₂-Schicht mit den Leiterbahnen oberhalb des Transistors, die aufgrund ihrer geringen thermischen Leitfähigkeit nur einen geringen Einfluss auf die thermische Impedanz hat. Das 3D-Modell wird in Salome [89] erstellt, für die Generierung des FEM-Netzes kommt der NETGEN-Algorithmus [90] zum Einsatz. Im FEM-Netz werden dann den einzelnen Bereichen (z. B. Graben, Substrat, etc.) die jeweiligen Materialeigenschaften bezüglich des thermischen Modells, also die thermische Leitfähigkeit κ und der Wärmediffusionskoeffizient $\alpha = \kappa \rho^{-1} c_p^{-1}$ zugeordnet. Mit Hilfe der FEM-Software ELMER [91] kann die Wärmeleitungsgleichung Gl. 3.1 gelöst werden. Als Ergebnis ergibt sich die räumliche Temperaturverteilung im Chip, wie in Abb. 3.3 dargestellt. Davon ausgehend kann z. B. die mittlere Temperaturerhöhung im Bereich der Raumladungszone gegenüber der Chiprückseite in Folge der eingebrachten Verlustleistung

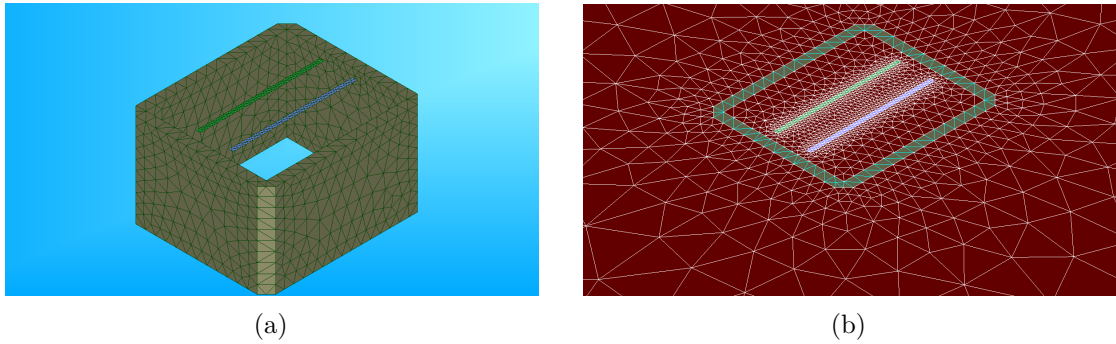


Abb. 3.2: Vereinfachtes 3D-Modell eines 2-Streifen-Transistors bestehend aus den beiden Basis-Kollektor-Raumladungszonen und dem den Transistor umgebenden Graben a) alleine und b) eingebettet im Silizium-Substrat.

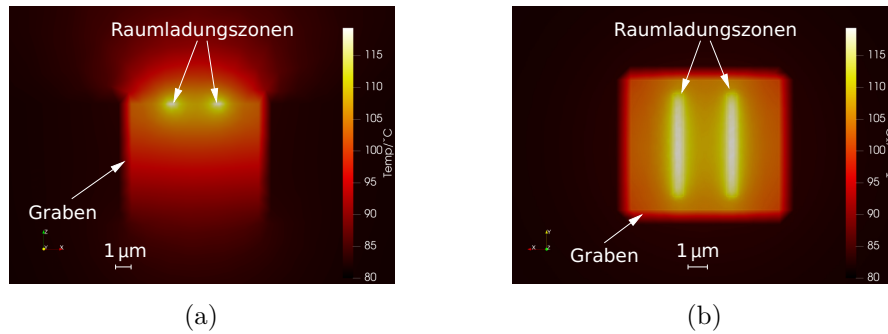


Abb. 3.3: Temperaturverteilung eines einzelnen CBEBEBC-Transistors, der bei halber maximaler Stromdichte mit einer Kollektor-Emitter-Spannung $U_{CE} = 1,5\text{ V}$ betrieben wird: a) Querschnitt und b) von oben. Für die Chip-Rückseite wird eine konstante Temperatur von 80 °C angenommen.

ausgewertet werden, um eine geeignete Größe für den Vergleich mit Messungen oder weiteren Modellen zu generieren.

3.1.1.3 Herleitung eines vereinfachten thermischen Netzwerks

Prinzipiell eignet sich die vorgestellte FEM-Diskretisierung zur Integration in eine Schaltungssimulation. Durch die große Anzahl an finiten Elementen, deren thermische Trägheit im Schaltungssimulator mit Hilfe von Kapazitäten repräsentiert wird und die unter Verwendung von Widerständen miteinander verknüpft werden, würde diese Integration die Laufzeit der Simulation jedoch stark vergrößern. Daher wird ein einfacheres RC-Netzwerk zur Abbildung der thermischen Impedanz im Schaltungssimulator abgeleitet.

Die vereinfachte Modellierung der thermischen Impedanz eines einzelnen Transistors (*Selfheating*) wurde aus [7] übernommen, und wird hier zur Übersicht kurz zusammen-

gefasst wird. Das thermische Ersatzschaltbild basiert auf der Vereinfachung, dass der Wärmestrom innerhalb eines gedachten Pyramidenstumpfs ausgehend von der Raumladungszone mit zunehmender Querschnittsfläche in Richtung Chiprückseite fließt (vgl. Abb. 3.4a) Dieser Pyramidenstumpf wird entlang der z -Achse in Abschnitte diskretisiert. Jedem infinitesimal kleinen Volumenelement der Höhe dz kann der thermische Widerstand dR und die thermische Kapazität dC zugeordnet werden. Diese berechnen sich in Abhängigkeit der z -Koordinate (Tiefe im Substrat) zu (vgl. [7])

$$dR(z) = \frac{1}{\kappa A(z)} dz \quad \text{und} \quad dC(z) = \frac{\kappa}{\alpha} A(z) dz, \quad (3.3)$$

wobei α und κ den Wärmediffusionskoeffizienten bzw. die thermische Leitfähigkeit angeben. $A(z)$ bezeichnet die Größe der Querschnittsfläche der Pyramide im Abstand z von der Substratoberfläche und berechnet sich zu

$$A(z) = w(z) l(z) = (w_E + a z) (l_E + b z) \quad \text{mit} \quad a = 2 \tan \theta, b = 2 \tan \phi, \quad (3.4)$$

wobei w_E und l_E die Breite und Länge der Raumladungszone beschreiben, also die Deckfläche des Pyramidenstumpfs und θ und ϕ die Neigungswinkel seiner Seitenflächen (vgl. Abb. 3.4a).

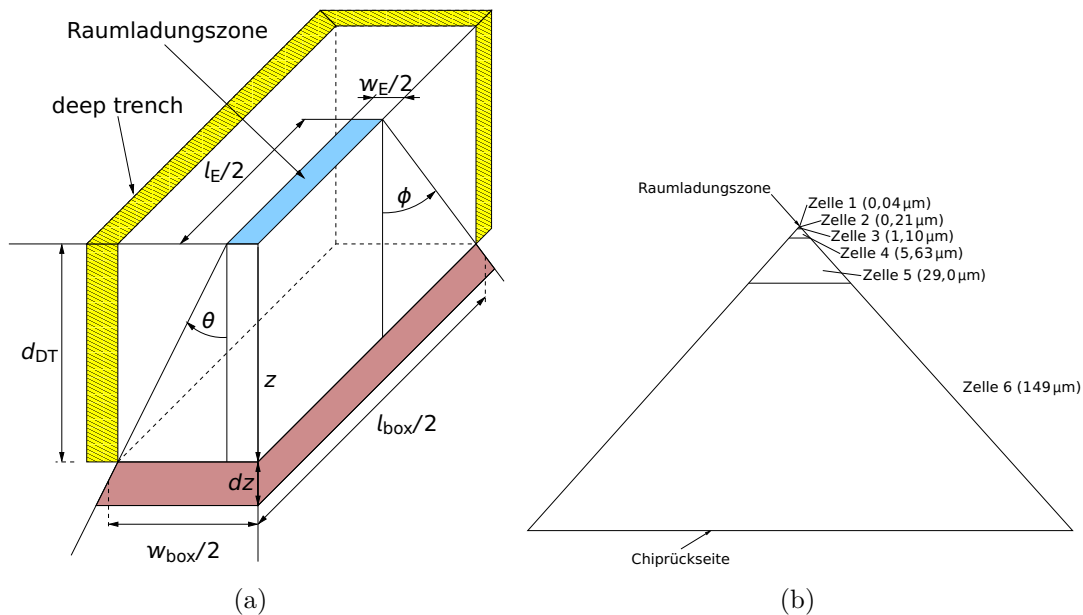


Abb. 3.4: a) Ausbreitung des Wärmestroms innerhalb eines gedachten Pyramidenstumpfs ausgehend von der Raumladungszone durch die Unterkante des Isolationsgrabens (nach [7]). b) Seitenansicht der in 6 Zellen diskretisierten Pyramide. Aufgrund der maßstäblichen Darstellung der exponentiell wachsenden Zellen sind die oberen (kleinen) Zellen nicht explizit zu erkennen, die Höhe der Zellen ist ebenfalls angegeben.

Die Änderung der Temperaturverteilung hängt logarithmisch vom Abstand zur Substratoberfläche z ab. Daher werden die $N + 1$ z -Koordinaten, die die Positionen der diskretisierten Volumenelemente darstellen, mit

$$z_n = z_{\min} \exp\left(\frac{\log(z_{\max}/z_{\min})}{N+1}n\right), \quad n = 1, \dots, N \quad (3.5)$$

berechnet (vgl. [7], Abb. 3.4b). Jedem dieser Volumenelemente lässt sich mittels

$$C_n = \int_{\frac{z_n - z_{n-1}}{2}}^{\frac{z_n + z_{n-1}}{2}} dC(z) = \int_{\frac{z_n - z_{n-1}}{2}}^{\frac{z_n + z_{n-1}}{2}} \frac{\kappa}{\alpha} (w_E + a z) (l_E + b z) dz \quad (3.6)$$

eine thermische Kapazität zuordnen. Diese thermischen Kapazitäten sind durch thermische Widerstände verbunden, die unter Anwendung von

$$R_n = \int_{z_{n-1}}^{z_n} dR(z) = \int_{z_{n-1}}^{z_n} \frac{1}{\kappa(w_E + a z) (l_E + b z)} dz \quad (3.7)$$

berechnet werden. Es ergibt sich schließlich das in Abb. 3.5 dargestellte Ersatzschaltbild mit der im Transistor umgesetzten Leistung $P_{\text{diss.}}$, der Sperrschichttemperatur T_j und der Temperatur der Chiprückseite T_{ground} .

Um zusätzlich die thermische Kopplung zwischen den Transistoren beschreiben zu können, wird dieses aus der Literatur [7] bekannte Modell im Rahmen der Arbeit erweitert. Betrachtet werden zwei benachbarte Transistoren im Abstand ΔW . Ähnlich wie im Fall des *Selfheatings* werden die beiden zugehörigen, sich überlappenden Pyramidenstümpfe in diskrete Zellen unterteilt. Die vertikale Ausdehnung der Zellen wird wie in Gl. 3.5 mit zunehmendem Abstand von der Raumladungszone und damit auch zunehmender Grundfläche der Pyramidenstümpfe größer. Die beiden Pyramidenstümpfe berühren sich in einer Tiefe

$$z_B = \frac{\Delta W - w_E}{2 \tan \theta}. \quad (3.8)$$

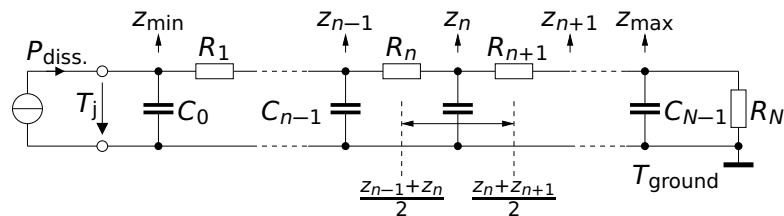


Abb. 3.5: Ersatzschaltbild des thermischen Netzwerks mit thermischen Widerständen und Kapazitäten (nach [7]).

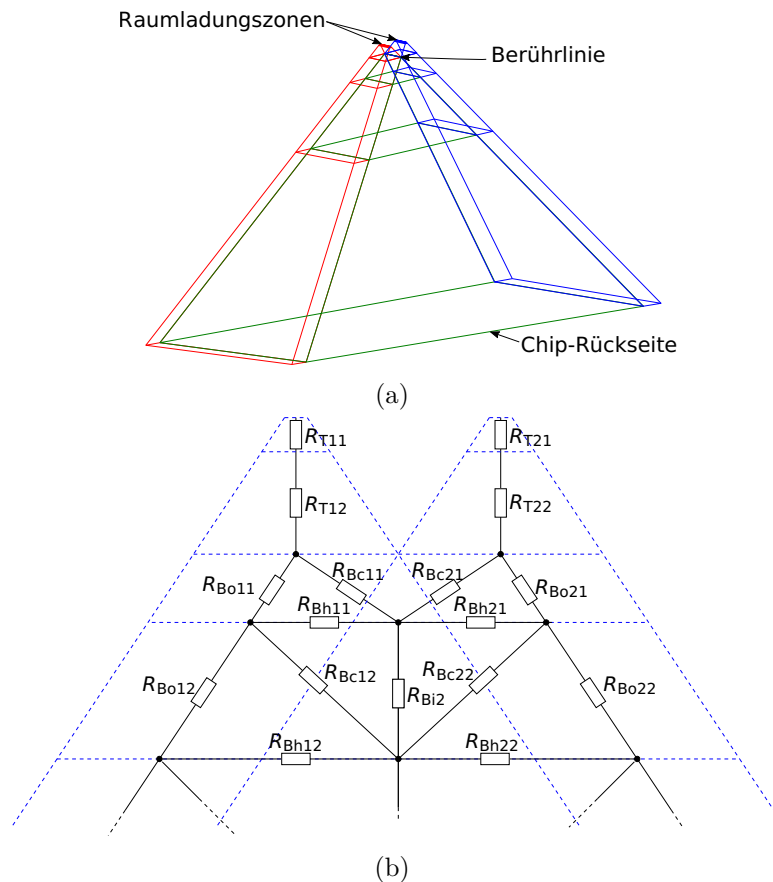


Abb. 3.6: Diskretisierung sich überlappender Pyramiden: a) 3D-Ansicht. b) Seitenansicht mit angedeutetem thermischem Ersatzschaltbild: Die thermischen Kapazitäten, die jeden der eingezeichneten Knoten mit Masse verbinden sind aus Gründen der Übersichtlichkeit nicht gezeigt.

Ab dieser Tiefe werden die Pyramidenstümpfe nicht ausschließlich in vertikaler Richtung, sondern auch in horizontaler Richtung diskretisiert (vgl. Abb. 3.6a). Es ergeben sich zwei Randbereiche mit konstanter Querschnittsfläche und zentral eine Pyramide, die das Volumen darstellt, in dem sich die Wärmeströme der beiden betrachteten Raumladungszonen überlagern.

Den einzelnen Volumenelementen werden analog zur Vorgehensweise aus Gl. 3.6 (vgl. [7]) thermische Kapazitäten zugeordnet. Zur Bildung eines thermischen Netzwerks werden sie mit thermischen Widerständen miteinander verbunden. Im oberen Teil der Pyramide (oberhalb von z_B) kann dies mit der zu Anfang des Kapitels beschriebenen Vorgehensweise geschehen (vgl. R_{Tij} in Abb. 3.6b). Im unteren Teil, in dem sich die beiden Pyramiden überschneiden, muss die Vorgehensweise angepasst werden. Den einzelnen Knoten können noch immer Volumina zugeordnet werden, durch die sich die entsprechenden thermischen

Kapazitäten ergeben. Für die Querschnittsflächen gilt

$$A_{Bo}(z) = (w_E + a z_B)(l_E + b z) \quad (\text{äußere Pyramide}), \text{ bzw.} \quad (3.9)$$

$$A_{Bi}(z) = a(z - z_B)(l_E + b z) \quad (\text{innere Pyramide}), \quad (3.10)$$

mit $a = 2 \tan \theta$ und $b = 2 \tan \phi$ (vgl. Gl. 3.4). Mit diesen Querschnittsflächen lassen sich unter Anwendung von Gl. 3.3 und Gl. 3.6 die thermischen Kapazitäten zu

$$C_{Bon} = \int_{\frac{z_n - z_{n-1}}{2}}^{\frac{z_n + z_{n-1}}{2}} dC_{Bo}(z) = \int_{\frac{z_n - z_{n-1}}{2}}^{\frac{z_n + z_{n-1}}{2}} \frac{\kappa}{\alpha} (w_E + a z_B)(l_E + b z) dz \quad (\text{äußere Knoten}), \quad (3.11)$$

$$C_{Bin} = \int_{\frac{z_n - z_{n-1}}{2}}^{\frac{z_n + z_{n-1}}{2}} dC_{Bi}(z) = \int_{\frac{z_n - z_{n-1}}{2}}^{\frac{z_n + z_{n-1}}{2}} \frac{\kappa}{\alpha} a(z - z_B)(l_E + b z) dz \quad (\text{innere Knoten}) \quad (3.12)$$

bestimmen. Entsprechend ergeben sich auch die Werte der Widerstände R_{Bon} und R_{Bin} (vgl. Abb. 3.6b) aus Gl. 3.3 und Gl. 3.7 zu

$$R_{Bon} = \int_{z_{n-1}}^{z_n} dR_{Bo}(z) = \int_{z_{n-1}}^{z_n} \frac{1}{\kappa(w_E + a z_B)(l_E + b z)} dz \quad (\text{äußere Widerstände}) \quad (3.13)$$

$$R_{Bin} = \int_{z_{n-1}}^{z_n} dR_{Bi}(z) = \int_{z_{n-1}}^{z_n} \frac{1}{\kappa a(z - z_B)(l_E + b z)} dz \quad (\text{innere Widerstände}) \quad (3.14)$$

Bei Betrachtung eines einzelnen Transistors soll sich im erweiterten Modell die gleiche thermische Impedanz wie beim zu Anfang des Kapitels betrachteten *Selfheating*-Fall ergeben. Im Unterschied dazu wird der Wärmestrom durch die Unterteilung der Pyramiden in zwei Pfade aufgeteilt. Da diese beiden Pfade im Substrat nicht voneinander isoliert sind, müssen Verbindungswiderstände R_{Bcmn} eingeführt werden. Die Werte dieser Widerstände, die den äußeren Teilbereich der Pyramiden mit dem inneren verbinden, werden so bestimmt, dass der aus der Parallelschaltung von R_{Bomn} , R_{Bin} und R_{Bcmn} entstehende Widerstand gerade so groß wird, wie der entsprechende Widerstand R_n im *Selfheating*-Modell (vgl. Gl. 3.7) unter der Annahme, dass der horizontale Temperaturgradient zu Null wird, die Temperatur also in allen waagrecht liegenden Ebenen des Modells konstant ist¹:

$$R_{Bcmn} = \left(R_n^{-1} - R_{Bomn}^{-1} - R_{Bin}^{-1} \right)^{-1}. \quad (3.15)$$

¹Der Parallel-Pfad durch die benachbarte Pyramide k mit $k \neq m$ über R_{Bckn-1} , R_{Bokn-1} und R_{Bckn} wird in dieser Rechnung vernachlässigt, da er zu einer im Vergleich zum *Selfheating*-Fall breiter aufgespannten Pyramide führen würde. Diese Vernachlässigung führt in der Praxis zu guten Ergebnissen.

Die horizontal liegenden thermischen Widerstände R_{Bh} ergeben sich aus dem Abstand der beiden verbundenen Knoten $\Delta W - (z_n - z_B) a$ und der vertikalen Querschnittsfläche $(l_E + b z_n) \left(\frac{z_{n-1} + z_n}{2}\right)$ zu:

$$R_{Bhn} = \frac{1}{\kappa} \frac{\Delta W - (z_n - z_B) a}{(l_E + b z_n) \left(\frac{z_{n-1} + z_n}{2}\right)} \quad (3.16)$$

Diese Erweiterung des *Selfheating*-Modells auf zwei thermisch gekoppelte Transistoren kann analog auch für drei und mehr Transistoren durchgeführt werden, wobei die Komplexität des Netzwerks weiter ansteigt. Um das sich ergebende thermische Netzwerk in elektrische Simulationen einzubinden, wird das elektrische Transistormodell im nächsten Abschnitt um einen thermischen Anschluss erweitert.

3.1.1.4 Transistormodell mit Temperaturanschluss

Um die thermischen Netzwerke, die mit Hilfe der in Kap. 3.1.1.3 vorgestellten vereinfachten Betrachtung gewonnen werden, in elektrische Simulationen einzubinden, wird ein entsprechendes Transistormodell benötigt. Dieses besitzt einen thermischen Anschluss, an dem ein zur Verlustleistung proportionaler Strom ausgegeben wird. Gleichzeitig wird die an diesem Anschluss anliegende Spannung als Temperaturinformation im Transistormodell genutzt (vgl. Abb. 3.7a). Beispielsweise wird dieser Ansatz im sogenannten HICUM-Transistormodell zur Modellierung der Eigenerwärmung umgesetzt [92].

Das Transistormodell, das in der im Rahmen der Arbeit verwendeten Technologie zur Verfügung steht, verfügt nicht über einen solchen Temperaturanschluss. Stattdessen wurde zur Simulation thermischer Effekte ein Transistormodell mit Temperaturanschluss auf Basis eines Verilog-A BJT-Modells im Rahmen einer Studienarbeit [93] implementiert.

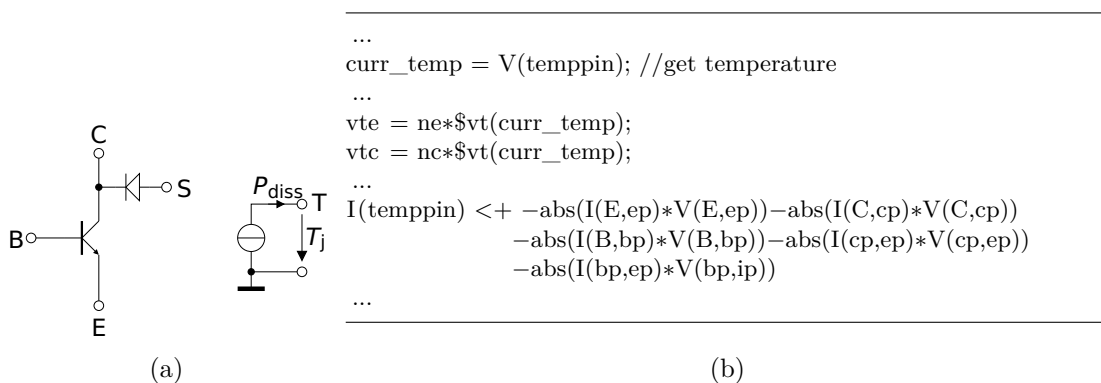


Abb. 3.7: Transistormodell mit Temperaturanschluss: a) Schaltplan und b) Auszug aus dem Verilog-A-Quelltext.

Es besitzt neben den BJT-Anschlussknoten C (Kollektor), B (Basis), E (Emitter) und S (Substrat) einen weiteren Anschluss T (Temperatur). Die am Anschluss T anliegende Spannung entspricht der Sperrschichttemperatur T_j des Transistors und wird entsprechend in den Gleichungen des BJT-Modells verwendet (vgl. Abb. 3.7b). Die frei werdende Verlustleistung im Transistor wird an diesem Anschluss gemäß Tabelle 3.1 als Strom ausgegeben. Somit eignet sich der Anschluss T um den Transistor an ein thermisches Netzwerk, wie in Abb. 3.5 und Abb. 3.6b dargestellt, anzuschließen.

3.1.1.5 Messtechnische Ermittlung der thermischen Impedanz

Zur Verifikation der thermischen Modelle ist ein Vergleich mit realen Messungen das Mittel der Wahl. Zu diesem Zweck wurden im Rahmen einer Studienarbeit [93] Testsubstrate mit Transistoren in Basisgrundschaltung entwickelt, die eine Messung der thermischen *Selfheating*-Impedanz und der thermischen Kopplung benachbarter Transistoren bis in den Bereich sehr hoher Frequenzen ermöglichen. Bei der Auswertung zeigt sich in Übereinstimmung mit den Ergebnissen von Simulationen, dass, für den Fall der thermischen Kopplung der Transistoren, vor allem die Messungen im Frequenzbereich von einigen Hertz bis ca. 1 MHz zur Verifikation relevant sind. Über die Messungen mit einem vektoriellem Netzwerkanalysator (VNA) hinaus, wie sie in [93] vorgesehen sind, wurden daher auch Messungen mit einem Signalgenerator und einem Oszilloskop durchgeführt, da der zur Verfügung stehende Netzwerkanalysator eine untere Grenzfrequenz im Kilohertz-Bereich aufweist. Beide Messanordnungen zur Bestimmung der *Selfheating*-Impedanz des zu testenden Transistors sind in Abb. 3.8 dargestellt.

In beiden Anordnungen wird die Verlustleistung durch eine zeitlich veränderliche Kollektor-Basis-Spannung moduliert. Daraus resultiert eine Temperaturänderung im Bereich der

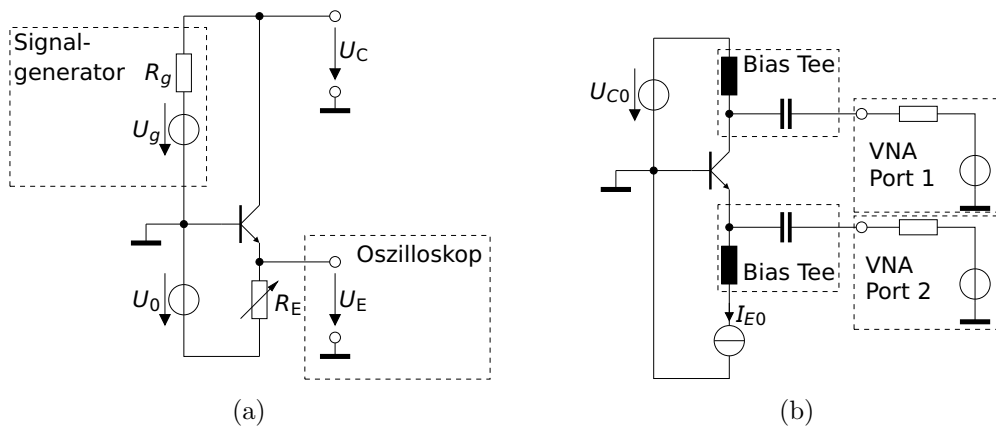


Abb. 3.8: Messanordnung zur Messung der thermischen *Selfheating*-Impedanzen: a) mit Signalgenerator und Oszilloskop für Frequenzen bis 1 MHz und b) mit einem vektoriellem Netzwerkanalysator für Frequenzen ab einigen Kilohertz.

Raumladungszone des Transistors. Diese Temperaturänderung wird indirekt über die Änderung der Basis-Emitter-Spannung bei konstantem Emitterstrom gemessen. Während bei der Messanordnung in Abb. 3.8b der Emitterstrom durch Einprägen mittels Stromquelle konstant gehalten wird, wird in Abb. 3.8a eine Spannungsquelle mit einem einstellbaren Serienwiderstand R_E verwendet, der hochohmig gegenüber der Ausgangsimpedanz des Transistors am Emitterknoten sein muss: $R_E \gg r_e = U_T/I_C$. Zur Modulation der Kollektor-Basis-Spannung wird ein Signalgenerator verwendet, dessen Innenwiderstand R_g $50\ \Omega$ beträgt. Bei der Messung mit einem Oszilloskop ist zu beachten, dass die zu messenden Signalamplituden sehr gering sind ($\approx 1\ \text{mV}$). Daher muss ein viele Signalzyklen umfassendes Signal aufgezeichnet werden, von dem in der Auswertung dann nur die Signalanteile berücksichtigt werden, die der Ansteuerfrequenz entsprechen (Bandpassfilterung).

Bei der Messung mit dem VNA müssen die gemessenen S-Parameter zunächst in Spannungen umgerechnet werden. Die weitere Auswertung ist für beide Fälle analog. Sie ist ausführlich in [93] beschrieben, weshalb hier nur eine kurze Zusammenfassung erfolgt.

Zur Bestimmung der thermischen Impedanz $\underline{Z}_{\text{th}} = \underline{P}/\underline{T}$ müssen die Phasoren der Verlustleistung \underline{P} und der Temperatur \underline{T} bestimmt werden. Unter der Annahme einer hohen Stromverstärkung des betrachteten Transistors gilt für dessen Verlustleistung näherungsweise [93]

$$p_{\text{ges}}(t) \approx i_e(t) u_{\text{CE}}(t) = (I_{\text{E0}} + \Re(\underline{I}_C \exp(j\omega t))) \cdot (U_{\text{CE0}} + \Re(\underline{U}_{\text{CE}} \exp(j\omega t))), \quad (3.17)$$

wobei p_{ges} die zeitabhängige, umgesetzte Verlustleistung, $i_e(t)$ den Emitterstrom, u_{CE} die Kollektor-Emitter-Spannung, I_{E0} und U_{CE0} die entsprechenden Arbeitspunktgrößen und \underline{I}_C und $\underline{U}_{\text{CE}}$ die entsprechenden Phasoren bezeichnen. Da für die Auswertung nur die Signalanteile der Ansteuerfrequenz relevant sind, ergibt sich hieraus für den Verlustleistungsphasor \underline{P}

$$\begin{aligned} p_{\text{ges}}(t) &= I_{\text{E0}} U_{\text{CE0}} + \Re(\underline{U}_{\text{CE}} \underline{I}_C^*) \\ &+ \Re\left(\underbrace{(I_{\text{E0}} \underline{U}_{\text{CE}} + U_{\text{CE0}} \underline{I}_C)}_P \exp(j\omega t)\right) \\ &+ \Re(\underline{U}_{\text{CE}} \underline{I}_C \exp(2j\omega t)). \end{aligned} \quad (3.18)$$

Um den Temperaturphasor \underline{T} zu ermitteln, muss die thermisch bedingte Änderung der Basis-Emitter-Spannung $\underline{U}_{\text{E,th}}$ berechnet werden. Aus dem Niederfrequenz-Kleinsignalerersatzschaltbild der Messanordnung in Abb. 3.9 wird ersichtlich, dass der Kollektorstrom \underline{I}_C , der, unter der Annahme einer großen Stromverstärkung, dem Emitterstrom \underline{I}_E entspricht, sich aus den drei Anteilen $g_0 \underline{U}_{\text{CB}}$, $g_{\text{mT}} \underline{T}$ und $g_{\text{m}} \underline{U}_{\text{BE}}$ zusammensetzt. Diese drei Anteile

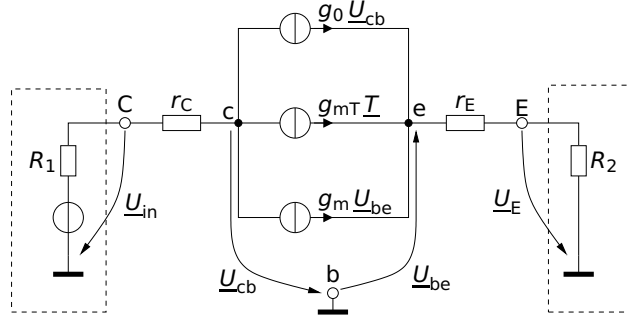


Abb. 3.9: Niederfrequenz-Kleinsignal-Ersatzschaltbild für die Anordnungen aus Abb. 3.8. Für die Anordnung aus Abb. 3.8a gilt $R_1 = R_g = 50 \Omega$, $R_2 \rightarrow \infty$, für Abb. 3.8b $R_1 = R_2 = 50 \Omega$.

lassen sich mit Hilfe der Gleichungen des BJT-Transistormodells [94] zu

$$g_0 := \frac{\partial I_C(T)}{\partial U_{cb}} = \frac{I_C(T)}{U_{AF}}, \quad g_m := \frac{\partial I_C}{\partial U_{be}} \approx \frac{I_C(T)}{n_f U_T} \quad \text{und} \quad (3.19)$$

$$g_{mT} := \frac{\partial I_C(T)}{\partial T} = I_C(T) \left(\frac{x_{TI}}{T} + \frac{q}{k n_f T^2} (E_g - U_{be}) \right) \quad (3.20)$$

berechnen (vgl. [93]), mit den Modellierungsparametern U_{AF} (Vorwärts-Early-Spannung), n_f (Vorwärts-Emissions-Koeffizient), k (Boltzmann-Konstante), x_{TI} (Temperatur exponent des Sperrsättigungsstroms) und E_g (Bandabstandsspannung). Diese können aus den Simulationsmodellen der jeweiligen Transistoren übernommen werden, wobei g_{mT} experimentell bestimmt wurde, da nicht ausgeschlossen werden kann, dass bei der Extraktion der Parameter der Simulationsmodelle bereits thermische Einflüsse eine Rolle gespielt haben. Mit Hilfe von Abb. 3.9 ergibt sich für die elektrisch bedingte Spannung am Emitterknoten

$$\underline{U}_{E,el.} = \frac{g_0 R_2}{1 + g_m(R_2 + r_E) + g_0 r_E} \underline{U}_{in} \approx \frac{g_0 R_2}{1 + g_m(R_2 + r_E)} \underline{U}_{in} \quad (3.21)$$

und entsprechend für die thermisch bedingte Spannung

$$\underline{U}_{E,th.} = \frac{g_m}{1 + g_m(R_2 + r_E)} \underline{T}. \quad (3.22)$$

Aus der gemessenen Spannung \underline{U}_E lässt sich durch Subtraktion der elektrischen bedingten Spannung $\underline{U}_{E,el.}$ die thermisch bedingte Spannung $\underline{U}_{E,th.}$ berechnen. Unter Verwendung von Gl. 3.22 ergibt sich aus dieser der Temperaturphasor. Somit liegen Temperaturphasor \underline{T} und Verlustleistungsphasor \underline{P} vor und durch Division lässt sich die thermische Impedanz $Z_{th.} = \underline{T}/\underline{P}$ berechnen.

Um $g_{mT} = \partial I_C / \partial T|_{U_{BE}=konst.}$ experimentell zu bestimmen, wird die Chip-Temperatur mit Hilfe eines sogenannten Thermo-Chucks (einer Heizplatte unter dem Chip) variiert.

Da die Arbeitspunkteinstellung auf Basis einer konstanten Basis-Emitter-Spannung U_{BE} aufgrund der exponentiellen Kennlinie des Transistors problematisch ist, wird eine Messung der Basis-Emitter-Spannung bei konstantem Kollektorstrom I_C durchgeführt und die Variation der Basis-Emitter-Spannung gemessen. Mit Hilfe des totalen Differentials

$$dI_C = \frac{\partial I_C}{\partial U_{be}} dU_{be} + \frac{\partial I_C}{\partial T} dT \quad (3.23)$$

ergibt sich unter der Randbedingung eines konstanten Kollektorstroms ($dI_C/dT = 0$)

$$g_{mT} = \frac{\partial I_C}{\partial T} = -\frac{\partial I_C}{\partial U_{be}} \frac{dU_{be}}{dT} = -g_m \frac{dU_{be}}{dT}. \quad (3.24)$$

Die Messung der thermischen Kopplung erfolgt analog, jedoch werden zwei Transistoren verwendet: Während die Kollektor-Basis-Spannung des einspeisenden Transistors variiert wird, um die eingekoppelte Verlustleistung zu variieren, wird die Basis-Emitter-Spannung des als Sensor fungierenden Transistors gemessen, um die Temperatur an dessen Position zu bestimmen. Die Auswertung entspricht der zuvor präsentierten Vorgehensweise für den *Selfheating*-Fall.

3.1.1.6 Vergleich der Ergebnisse der Simulationen und Messungen

Zur Verifikation der in Kap. 3.1.1.2 und Kap. 3.1.1.3 hergeleiteten Modelle werden deren thermische Impedanzen miteinander und mit ihren gemessenen Pendanten verglichen.

In Abb. 3.10 ist die thermische *Selfheating*-Impedanz $Z_{th} = \underline{T}/\underline{P}$ eines einzelnen CBEBEBC-Transistors mit $10 \mu\text{m} \times 0,35 \mu\text{m}$ großen Emitterstreifen dargestellt. Im Frequenzbereich bis 1 MHz wurde die thermische Impedanz mit Hilfe eines Signalgenerators

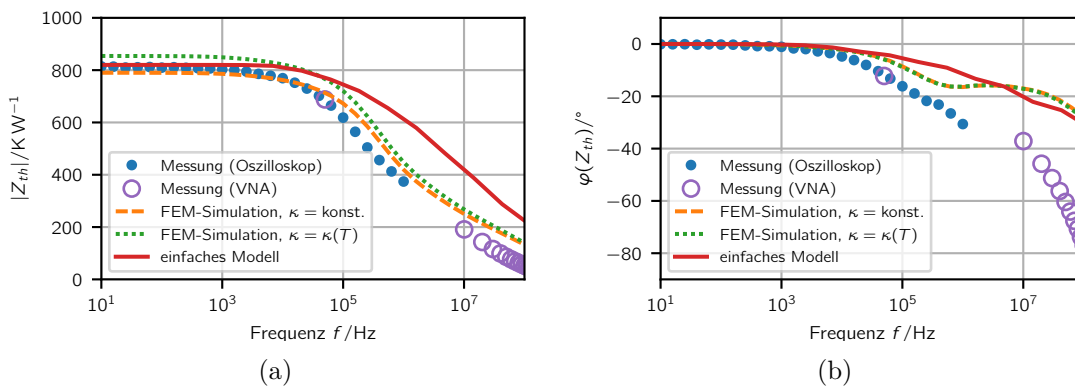


Abb. 3.10: a) Betrags- und b) Phasengang der thermischen *Selfheating*-Impedanz $Z_{th} = \underline{T}/\underline{P}$ eines einzelnen CBEBEBC-Transistors mit $10 \mu\text{m} \times 0,35 \mu\text{m}$ großen Emitterstreifen. Dargestellt sind die Ergebnisse verschiedener Messungen und Simulationsmodelle.

und eines Oszilloskops bestimmt, für höhere Frequenzen (ab 50 kHz) mit Hilfe eines vektoriiellen Netzwerkanalysators. Sowohl die Beträge als auch die Phasen der gemessenen thermischen Impedanzen stimmen in den überlappenden Frequenzbereichen für die verschiedenen Messmethoden gut überein.

Die gemessenen thermischen Impedanzen werden mit den Ergebnissen des vereinfachten Modells (vgl. Kap. 3.1.1.3) und der FEM-Simulationen (vgl. Kap. 3.1.1.2) verglichen. Für die Simulationen wird das gleiche FEM-Netz mit zwei unterschiedlichen thermischen Leitfähigkeiten für das Silizium-Substrat verwendet. Im ersten Fall wird eine konstante thermische Leitfähigkeit von $139 \text{ W m}^{-1} \text{ K}^{-1}$ angenommen, im zweiten Fall eine temperaturabhängige thermische Leitfähigkeit von

$$\kappa(T) = \frac{100 \text{ W m}^{-1} \text{ K}^{-1}}{0,03 + 1,56 \cdot 10^{-3} T + 1,65 \cdot 10^{-6} T^2} \quad (3.25)$$

nach [81] angenommen. Im Betragsgang geben die Ergebnisse beider FEM-Simulationen die Messergebnisse sehr gut wieder. Für das einfache Modell wird der Öffnungswinkel der Pyramide, durch die der Wärmestrom fließt (vgl. Abb. 3.4a) analog zur Vorgehensweise in [82] so angepasst, dass die thermische Impedanz für niedrige Frequenzen das Messergebnis richtig widerspiegelt. Über der Frequenz fällt der Betrag der thermischen Impedanz des vereinfachten Modells im Vergleich zu den Messergebnissen erst bei höheren Frequenzen ab. Verursacht wird dies insbesondere durch den Graben, der dazu führt, dass der tatsächliche Wärmestrom nicht wie angenommen innerhalb eines Pyramidenstumpfes verläuft (vgl. Abb. 3.3a). Dennoch genügt das einfache Modell, um zumindest grundlegend die Frequenzabhängigkeit der Eigenerwärmung des Transistors abzubilden.

Die Phasendrehung der gemessenen Daten ist im oberen betrachteten Frequenzbereich deutlich größer als die der unter Verwendung der FEM-Simulationen und des einfachen Modells ermittelten thermischen Impedanzen. Verursacht wird diese Abweichung u.a. durch Laufzeiten des Signals auf den Kabeln zum Oszilloskop bzw. dem eingesetzten GSSG-Tastkopf, mit dem der Transistor auf dem Wafer kontaktiert wird.² Der auf der FEM-Simulation basierende Phasengang stimmt gut mit dem des einfachen Modells überein, weist jedoch bei einer Frequenz von ca. 1 MHz einen Einbruch auf. Als physikalische Ursache für diesen nicht-monotonen Phasengang wird der Graben identifiziert, der den Transistor umgibt und somit eine Unstetigkeit erzeugt. Bei den dargestellten thermischen Impedanzen wurde der Pyramidenstumpf in acht einzelne Zellen diskretisiert (vgl. Abb. 3.4b), wodurch sich sehr glatte Verläufe ergeben. Im konkreten Anwendungsfall ist zu überprüfen, ob die Anzahl an Zellen verringert werden kann, um die Simulationsgeschwindigkeit zu erhöhen.

²Aufgrund fehlender Kalibriersubstrate kann der VNA nur bis zu den koaxialen Eingängen des Tastkopfs kalibriert werden, der Tastkopf selbst gehört daher zum Messobjekt. Darüber hinaus kann der Tastkopf bei diesen Messungen prinzipbedingt nicht exakt im Gegentakt betrieben werden, wodurch er eine vom Gegentakt abweichende Wellenimpedanz aufweist [93]. Dadurch ergeben sich Messfehler bei der Berechnung der beiden Phasoren \underline{T} und \underline{P} .

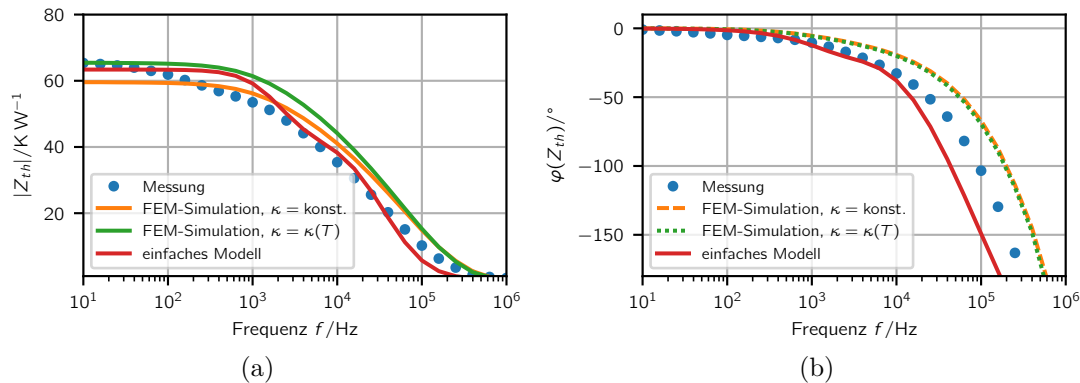


Abb. 3.11: a) Betrags- und a) Phasengang der thermischen Kopplungsimpedanz $Z_{\text{th}} = \underline{T}_2/\underline{P}_1$ zweier direkt benachbarter (Abstand der Mittelpunkte: $14,8\ \mu\text{m}$) CBEBEBC-Transistors mit $10\ \mu\text{m} \times 0,35\ \mu\text{m}$ großen Emittirstreifen. Dargestellt sind die Ergebnisse einer Messung und verschiedener Simulationsmodelle.

Abb. 3.11 zeigt Betrag und Phase der thermischen Kopplungsimpedanz $Z_{\text{th,coup}} = \underline{T}_2/\underline{P}_1$ zweier benachbarter Transistoren, wobei \underline{P}_1 den Verlustleistungsphasor des einen und \underline{T}_2 den Temperaturphasor des benachbarten Transistors darstellen. Messungen wurden für den Fall der thermischen Kopplung ausschließlich unter Verwendung eines Signalgenerators und Oszilloskops durchgeführt, da die thermische Kopplung im Frequenzbereich, in dem Messungen mit dem VNA möglich werden, bereits sehr gering ist.

Die Ergebnisse der FEM-Simulationen, für die die gleichen thermischen Leitfähigkeitsmodelle wie im Fall der *Selfheating*-Impedanz angewendet wurden, und der Messung stimmen gut überein. Der gemessene Betrag fällt im Vergleich zur Simulation bereits bei niedrigeren Frequenzen leicht ab, die Phasendrehung ist in der Messung etwas stärker ausgeprägt als in der Simulation. Beide Abweichungen sind darauf zurückzuführen, dass die Temperatur der Chip-Rückseite in der Simulation als konstant angenommen wird. In der Messung wird diese Randbedingung durch eine gute thermische Kopplung zum Kupferträger hergestellt, dennoch ist eine geringfügige Variation der Temperatur über die Chip-Rückseite zu erwarten.

Auch die thermische Kopplung kann mit Hilfe des vereinfachten Modells (vgl. Abb. 3.6) gut wiedergegeben werden. Die beiden als Freiheitsgrade zur Verfügung stehenden Winkel ϕ und θ , werden genutzt, um sowohl die *Selfheating*-Impedanz (vgl. Abb. 3.10) als auch die Impedanz der thermischen Kopplung an die Messdaten anzugleichen. Für die in Abb. 3.11 gezeigten Kurven wurde eine Diskretisierung mit je einem einzelnen Element für den oberen Teil des Pyramidenstumpfs und je drei Elementen für den unteren, sich überlappenden Teil der Pyramidenstümpfe gewählt. Die sich hieraus ergebende Anzahl von insgesamt 11 Elementen für das gesamte thermische Netzwerk der beiden Transistoren ist gut geeignet für die Integration in eine elektrische Simulation unter Verwendung des in Kap. 3.1.1.4 vorgestellten Transistormodells.

3.1.1.7 Zusammenfassung und Fazit

Um thermische Effekte in den Simulationen der Bipolar-Schaltungen berücksichtigen zu können, wurde das Transistormodell um einen thermischen Anschluss erweitert und ein thermisches Ersatzschaltbild für die Umgebung des Transistors hergeleitet. Dieses Modell bildet als Erweiterung zu [7] nicht nur die Eigenerwärmung sondern auch die thermische Kopplung der Transistoren ab. Das Modell wurde sowohl unter Verwendung von 3D-FEM-Simulationen als auch mit Messungen an Teststrukturen verifiziert.

Die Impedanzen zur Beschreibung der thermischen Kopplung sind mehr als eine Größenordnung geringer als die der Eigenerwärmung und weisen eine deutlich geringere Grenzfrequenz auf. Dennoch ist die thermische Kopplung zwischen den Transistoren relevant, insbesondere in Treiberschaltungen, wo sehr große Verlustleistungsdichten auftreten und viele Transistoren parallel geschaltet werden müssen. Dies wird auch an dem im Folgenden präsentierten Konzept deutlich, das sicher stellt, dass sich der Arbeitspunktstrom trotz gegenseitiger Erwärmung gleichmäßig auf parallel geschaltete Transistoren verteilt.

3.1.2 Vermeidung des *Current Hogging Effects*

Um in integrierten Schaltungen große Ströme zu schalten, werden Transistoren mit großen Querschnittsflächen benötigt, da die kritische Stromdichte $j_{C,krit.}$ nicht überschritten werden darf (vgl. Kap. 2.2). Da die maximale Länge und die maximale Breite eines Emitterstreifens in den gängigen Halbleitertechnologien begrenzt sind, wird die benötigte Fläche durch Parallelschalten von Transistoren erreicht. Je nach geometrischer Anordnung der parallel geschalteten Transistoren auf dem Chip und der sich hieraus ergebenden thermischen Verkopplung, erwärmen sich diese Transistoren bei gleicher Verlustleistung in unterschiedlichem Maße. Folglich fließt durch die Transistoren mit der höheren Temperatur bei den sich durch die Parallelschaltung ergebenden, identischen Spannungen ein höherer Strom, wodurch deren Temperatur noch stärker ansteigt. Dieser Mitkopplung wirken die parasitären Emitterwiderstände der Transistoren als Gegenkopplung entgegen. Gegebenenfalls können zusätzlich externe Gegenkopplungswiderstände eingebracht werden. Stand der Technik zur Dimensionierung dieser Emitterwiderstände ist die Wahl einer Gegenkopplungsspannung in der Größenordnung $2U_T \approx 60\text{ mV}$ [80]. Im Gegensatz dazu wird im Folgenden eine Dimensionierungsvorschrift hergeleitet, die eine Abwägung ermöglicht zwischen einer Einschränkung des *Current Hogging Effects* und den Auswirkungen des Widerstands auf die Eigenschaften der Schaltung, wie einer zusätzlichen Verlustleistung durch den Spannungsabfall über dem Widerstand und beispielsweise im Fall der Transadmittanzstufe einer geringeren Verstärkung. Darüber hinaus wird ein Konzept entwickelt, das, im konkreten Fall der Ausgangsstufe des Treibers, den *Current Hogging Effect* für bestimmte Transistoren a priori ausschließt.

3.1.2.1 Dimensionierung von Emittergegenkopplung zur Verringerung des *Current Hogging Effects*

Die im folgenden hergeleitete Dimensionierungsvorschrift für Emittergegenkopplungswiderstände parallel geschalteter Transistoren wurde in verkürzter Form bereits in [37] präsentiert. Die folgenden Darstellungen sind etwas allgemeiner und ausführlicher gehalten, wobei naturgemäß inhaltliche Überschneidungen auftreten.

Um die Auswirkungen des *Current Hogging Effects* zu analysieren, wird zunächst ein Ensemble aus vier parallel geschalteten, normal aktiven Transistoren, die in einer Reihe angeordnet sind (vgl. Abb. 3.12a) betrachtet. Abb. 3.12b zeigt ein vereinfachtes thermisches Ersatzschaltbild der Anordnung, wobei zur vereinfachten Darstellung die thermischen Kapazitäten, die jeden Knoten mit dem Bezugspotenzial verbinden, nicht eingezeichnet sind. In dieses thermische Netzwerk wird an den Knoten T1, . . . , T4 jeweils die Verlustleistung des Transistors eingespeist (äquivalent zu einem elektrischen Strom), wodurch sich ein Temperaturanstieg gegenüber dem Bezugspotenzial ergibt. Bedingt durch die symmetrische Anordnung wird an den Torpaaren T1, T4 und T2, T3 jeweils die gleiche Verlustleistung eingespeist, sodass die Betrachtung einer Symmetriehälfte des Netzwerks ausreicht (dies entspricht der Gleichtaktzerlegung im elektrischen Netzwerk). Hierdurch ergibt sich eine effektive höhere thermische Impedanz $R_{th,i}$ für die inneren Transistoren T2, T3 gegenüber der äußeren $R_{th,o}$. Zusätzlich muss die Verkopplung $R_{th,io}$ berücksichtigt werden. Entsprechend gilt für die Temperatur der inneren und äußeren Transistoren T_i, T_o bezogen auf die Referenztemperatur an der Chiprückseite

$$T_i = R_{th,i} P_i + R_{th,io} P_o \quad T_o = R_{th,io} P_i + R_{th,o} P_o, \quad (3.26)$$

bedingt durch die Verlustleistungen P_i und P_o der inneren und äußeren Transistoren.

Die hierdurch zwischen den Transistoren hervorgerufene Temperaturdifferenz $T_i - T_o$ kann mit Hilfe des so genannten Konstant- ϕ -Modells [95]

$$\phi := - \left. \frac{\partial U_{be}}{\partial T} \right|_{I_C = \text{const.}} = \frac{1}{T} (U_{g0b} + m_b U_{T0} - U_{be} + r_{EB} I_C) \quad (3.27)$$

in einen äquivalenten Offset der Basis-Emitter-Spannung umgerechnet werden, wobei U_{g0b} die Bandlücke in der Basis des Transistors bei 0 K, m_b die Temperaturabhängigkeit der Elektronenmobilität und U_{T0} die Temperaturspannung kT_0/e bei einer Referenztemperatur (z. B. 400 K) wiedergeben. $r_{EB} \approx r_E + r_B/\beta$ enthält die Beiträge der Emitter- und Basiskontaktwiderstände r_E und r_B , wobei angenommen wird, dass die Stromverstärkung β ausreichend groß ist, sodass der Basisstrom vernachlässigt werden kann ($I_E \approx I_C$). Mit den Werten aus Tabelle 3.2 (Seite 73) sowie $U_{g0b} = 1,04$ V, $m_b = 3$, $U_{be} = 0,68$ V und $T = 400$ K ergibt sich ein Temperaturkoeffizient $\phi \approx 1,16$ mV K⁻¹, der durch Messungen im Temperaturbereich von 10 °C bis 125 °C bestätigt werden kann (vgl. Abb. 3.13).

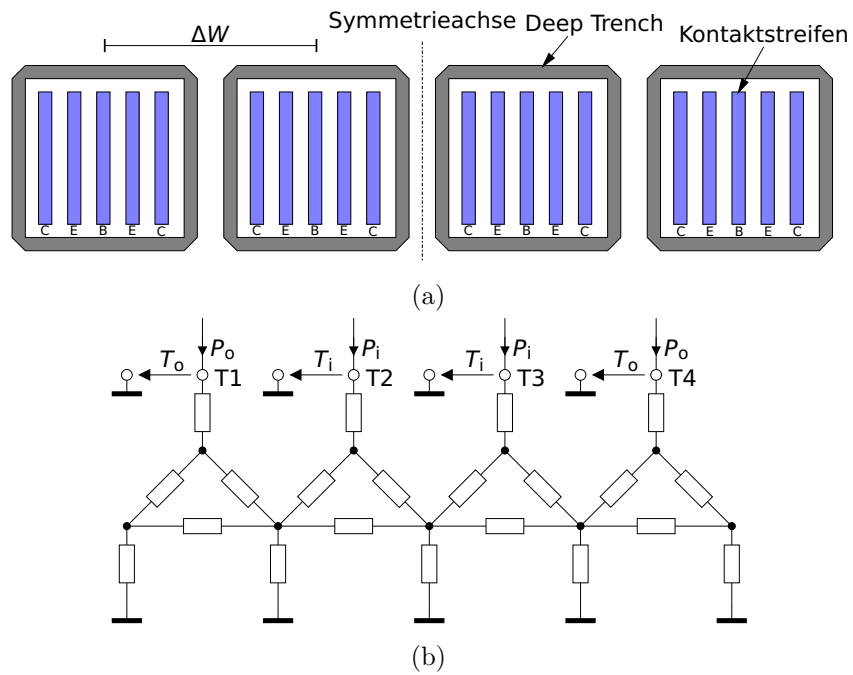


Abb. 3.12: a) Räumliche Anordnung eines Ensembles aus 4 parallel geschalteten Transistoren in einer Reihe (Draufsicht). b) Thermisches Ersatzschaltbild der Transistoren aus a), wobei die thermischen Kapazitäten aus Gründen der Übersichtlichkeit nicht eingezeichnet sind.

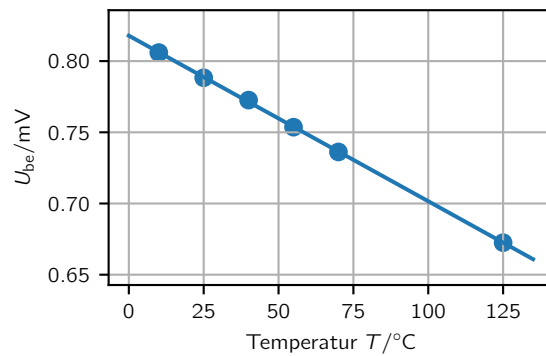


Abb. 3.13: Messung der Temperaturabhängigkeit der Basis-Emitter-Spannung. Die Ausgleichsgerade weist eine Steigung von $-1,16 \text{ mV K}^{-1}$ auf.

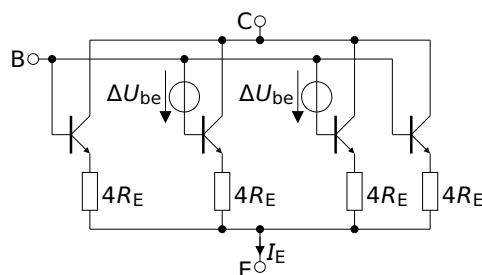


Abb. 3.14: Elektrische Modellierung der parallel geschalteten Transistoren.

Im elektrischen Ersatzschaltbild kann die Temperaturdifferenz $\Delta T = (T_i - T_o)$ zwischen den parallelen geschalteten Transistoren durch eine Offsetspannung $\Delta U_{be} = \phi \Delta T$ zwischen ihren Basisanschlüssen modelliert werden (vgl. Abb. 3.14). Für ausreichend kleine Offsetspannungen ΔU_{be} kann diese Konfiguration als Transadmittanzstufe im Bereich linearer Aussteuerung angesehen werden, womit sich die Transkonduktanz [57]

$$g_{TAS} = I_E / (2 U_T + 2 (R_E + r_{EB}) I_E) \quad (3.28)$$

ergibt³, wobei $4 R_E$ jeweils einem externen Emittergegenkopplungswiderstand entsprechen. Folglich ergeben sich die Kollektorströme der beiden Transistoren

$$I_i = \frac{I_E}{2} + \frac{1}{2} g_{TAS} \phi (T_i - T_o), \quad I_o = \frac{I_E}{2} - \frac{1}{2} g_{TAS} \phi (T_i - T_o), \quad (3.29)$$

und entsprechend die umgesetzten Verlustleistungen

$$P_o = I_o U_{CE} \text{ and } P_i = I_i U_{CE}, \quad (3.30)$$

wobei der Einfluss der in Relation zu den Kollektorströmen kleinen Basisströme vernachlässigt wird. Durch Einsetzen von Gl. 3.26 und Gl. 3.30 in Gl. 3.29 ergibt sich schließlich der resultierende Strom durch die inneren Transistoren

$$I_i = \frac{I_E}{2} \frac{\overbrace{2 - g_{TAS} \phi U_{CE} (2 R_{th,o} - 2 R_{th,io})}^{k_I}}{\underbrace{2 - g_{TAS} \phi U_{CE} (R_{th,i} + R_{th,o} - 2 R_{th,io})}_{f_b}}. \quad (3.31)$$

Im Fall identischer thermischer Impedanzen $R_{th,i} = R_{th,o}$, würde sich der Strom wegen $I_i = I_E/2$ erwartungsgemäß gleichmäßig auf die Transistoren verteilen ($k_I = 1$). Infolge der ungleichen thermischen Impedanzen $R_{th,i} > R_{th,o}$ wird jedoch der Nennerterm von k_I kleiner als der Zählerterm, woraus sich die Erhöhung des Stromes der inneren Transistoren

³Im Gegensatz zur Transkonduktanz in [57] werden hier die Widerstände R_E und r_{EB} nicht für die einzelnen Transistoren sondern für jeweils ein sich entsprechendes Transistorpaar, vgl. Abb. 3.14, definiert. Daher gilt für den Widerstand R_E^* aus [57]: $R_E^* = 2 (R_E + r_{EB})$.

ergibt. Der Nennerterm $2 - f_b$ repräsentiert dabei die zu Beginn des Kapitels beschriebene Gegen- bzw. Mitkopplungsschleife. Für $f_b \rightarrow 2$ liegt eine Mitkopplung vor, die sogar dazu führt, dass sich der gesamte Strom I_E auf die inneren Transistoren konzentriert.⁴

Die vorgestellte Modellierung lässt sich für Anordnungen mit mehr als vier Transistoren erweitern, wobei im Folgenden alle Bezeichner ihre Bedeutung behalten aber, zur Unterscheidung vom Fall mit vier Transistoren mit einem hochgestellten „*“ gekennzeichnet werden. Zur Vereinfachung werden die äußeren Transistoren zusammengefasst, sodass sich im Grenzfall der Strom ausschließlich auf die beiden inneren Transistoren konzentriert, was den kritischsten Fall darstellt. In der folgenden Berechnung wird der Flächenanteil der inneren Transistoren bezogen auf die gesamte Emitterfläche mit $\alpha = A_i/A_{\text{total}}$ bezeichnet. Im einfachen Beispiel mit vier Transistoren, beträgt α also $1/2$, im Fall von sechs Transistoren $1/3$, usw. Gl. 3.26 bleibt unverändert, wobei beachtet werden muss, dass sich $R_{\text{th},i}$ und $R_{\text{th},o}$ für den Fall größerer Anordnungen stärker unterscheiden, da $R_{\text{th},o}$ dann die effektive thermische Widerstand einer größeren Anzahl von Transistoren repräsentiert. Für den Fall von sechs Transistoren (vier äußere und zwei innere) gilt demnach $R_{\text{th},o} = R_{\text{th},i}/2 + \Delta R_{\text{th}}$, wobei ΔR_{th} im Folgenden den bezogen auf die Transistorfläche höheren thermischen Widerstands der inneren Transistoren repräsentiert. Entsprechend muss für die Transkonduktanz berücksichtigt werden, dass die Flächen der Transistoren der Transadmittanzstufe nicht gleich sind. Daher gilt für die Basis-Emitter-Spannungsdifferenz zwischen den inneren und äußeren Transistoren

$$\Delta U_{\text{be}}^* = U_T \ln \left(\frac{I_i}{I_o} \frac{1 - \alpha}{\alpha} \right) + \left(\frac{1}{\alpha} I_i - \frac{1}{1 - \alpha} I_o \right) (r_{\text{EB}} + R_E). \quad (3.32)$$

Mit $I_o = I_E - I_i$ gilt im Umschaltunkt ($I_i = \alpha I_E, I_o = (1 - \alpha) I_E$)

$$\frac{dU_{\text{be}}}{dI_i} = - \frac{dU_{\text{be}}}{dI_o} = \left(\frac{1}{\alpha} + \frac{1}{1 - \alpha} \right) \left((r_{\text{EB}} + R_E) + \frac{U_T}{I_E} \right), \quad (3.33)$$

woraus sich durch Differenzbildung der Kehrwerte die Transkonduktanz

$$g_{\text{TAS}}^* = \frac{dI_i}{dU_{\text{be}}} - \frac{dI_o}{dU_{\text{be}}} = \frac{2 I_E}{(U_T + (r_{\text{EB}} + R_E) I_E) \left(\frac{1}{\alpha} + \frac{1}{1 - \alpha} \right)} = \frac{g_{\text{TAS}}}{4} \left(\frac{1}{\alpha} + \frac{1}{1 - \alpha} \right)^{-1} \quad (3.34)$$

ergibt. Im äquithermischen Fall ($T_i = T_o$) teilen sich die Ströme flächenproportional auf die Transistoren auf ($I_i^* = \alpha I_E, I_o^* = (1 - \alpha) I_o$). Entsprechend ergibt sich für den Fall ungleicher Temperaturen für die Kollektorströme

$$I_i^* = \alpha I_E + g_{\text{TAS}}^* \phi (T_i - T_o)/2, \quad I_o^* = (1 - \alpha) I_E - g_{\text{TAS}}^* \phi (T_i - T_o)/2. \quad (3.35)$$

⁴Dabei ist zu beachten, dass Gl. 3.31 für $k_I \geq 2$ ihre Gültigkeit verliert, da die Modellierung darauf basiert, dass sowohl in den inneren als auch in den äußeren Transistoren positive Emitterströme fließen. Aufgrund der Näherungen, insbesondere der Linearisierung der TAS im Umschaltunkt, kann Gl. 3.31 nicht zur quantitativ exakten Analyse der Extremsituation der Mitkopplung, wohl aber für qualitative Aussagen, die das Zusammenspiel aus Verlustleistung und Temperaturverteilung verdeutlichen, herangezogen werden.

Gl. 3.30 gilt unverändert. Entsprechend gilt für den Strom durch die inneren Transistoren

$$\begin{aligned}
 I_i &= \alpha I_E \frac{2 - g_{\text{TAS}}^* \phi U_{\text{CE}} (R_{\text{th,o}} - R_{\text{th,io}}) \alpha^{-1}}{2 - g_{\text{TAS}}^* \phi U_{\text{CE}} (R_{\text{th,i}} + R_{\text{th,o}} - 2 R_{\text{th,io}})} \\
 &= \alpha I_E \underbrace{\frac{2 - g_{\text{TAS}}^* \phi U_{\text{CE}} (R_{\text{th,o}} \alpha^{-1} - R_{\text{th,io}} \alpha^{-1})}{2 - g_{\text{TAS}}^* \phi U_{\text{CE}} (R_{\text{th,o}} \alpha^{-1} + \Delta R_{\text{th}} - 2 R_{\text{th,io}})}}_{k_I^*}. \quad (3.36)
 \end{aligned}$$

In Gl. 3.36 tragen sowohl die Erhöhung des thermischen Widerstands ΔR_{th} der inneren Transistoren gegenüber den äußeren, als auch die thermische Kopplung $R_{\text{th,io}}$ zum Unterschied zwischen dem Zählerterm ($R_{\text{th,o}} \alpha^{-1} - R_{\text{th,io}} \alpha^{-1}$) und dem Nennerterm ($R_{\text{th,o}} \alpha^{-1} + \Delta R_{\text{th}} - 2 R_{\text{th,io}}$), jeweils im Produkt mit $G := g_{\text{TAS}}^* \phi U_{\text{CE}}$, bei.

Daher kann die prozentuale Stromerhöhung $k_I^* - 1$ begrenzt werden, indem entweder die räumliche Anordnung der Transistoren gestreckt wird, woraus eine geringerer thermische Kopplung und gleichmäßigere thermische Impedanzen resultieren, oder der Faktor G reduziert wird. Die Erhöhung des Abstands zwischen den Transistoren geht mit einem Anwachsen der parasitären Kapazitäten und Induktivitäten der sie verbindenden Leiterbahnen einher, das meist nicht toleriert werden kann. G kann durch externe Emittergegenkopplungswiderstände reduziert werden. Um diese dimensionieren zu können, wird Gl. 3.36 ausgewertet, sodass R_E für eine festgelegte prozentuale Erhöhung des Arbeitspunktstroms ermittelt werden kann. Mit den Werten aus Tabelle 3.2, die typisch für Transistoren in Treiber-Ausgangsstufen sind, ergeben sich die in Abb. 3.15 dargestellten Erhöhungen der Ströme der inneren Transistoren.

Anzahl Transistoren n	4	6	8
α	1/2	1/3	1/4
I_E/mA	40	60	80
T/K	400	400	400
$r_E/\Omega = 0.8/n$	0,2	0,133	0,1
$r_B/\Omega = 16/n$	4	2,67	2
β	200	200	200
$\phi/\text{mV K}^{-1}$	1,16	1,16	1,16
$R_{\text{th,i}}/\text{K W}^{-1}$	850	850	850
$R_{\text{th,o}}/\text{K W}^{-1}$	800	400	266,66
$R_{\text{th,io}}/\text{K W}^{-1}$	80	80	80

Tabelle 3.2: Parameterwerte der Arbeitspunkte typischer Transistorkonfigurationen von Treiber- ausgangsstufen, wobei ein Transistor jeweils als Ensemble aus 4, 6, oder 8 Transistoren realisiert wird.

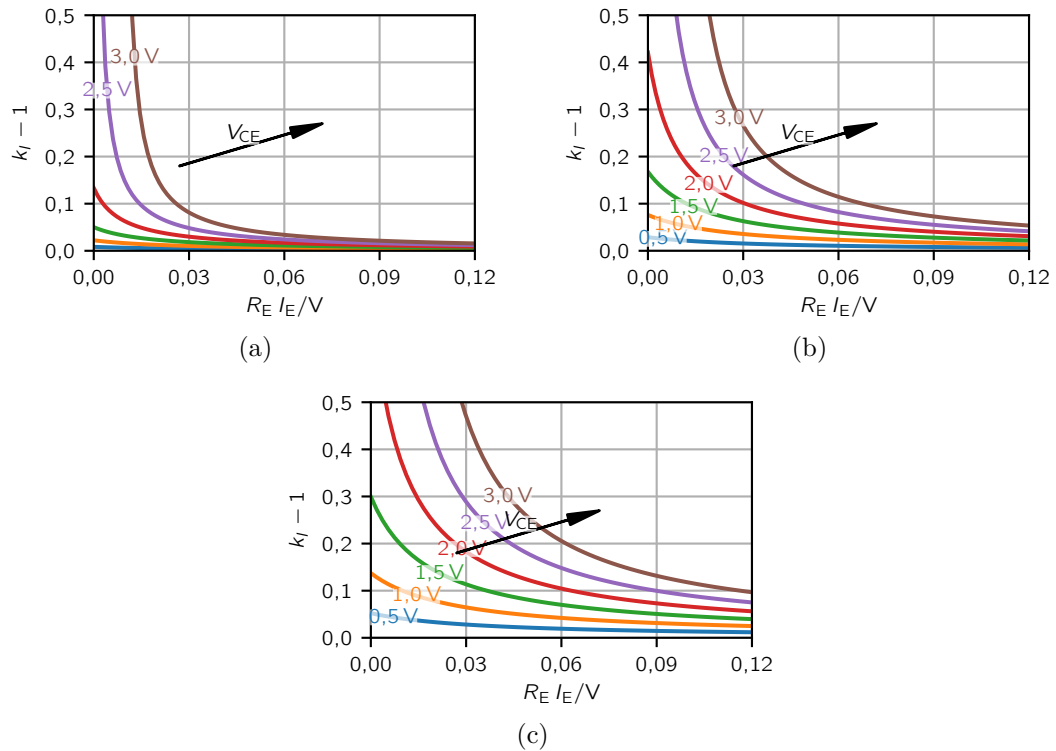


Abb. 3.15: Thermisch induzierte Stromerhöhung der inneren Transistoren T_i in Ensembles aus a) 4, b) 6 und c) 8 Transistoren.

Am Beispiel der in Abb. 2.2 vorgestellten Treiberschaltung mit $3V_{pp}$ Ausgangsspannungshub werden die Folgen der Emittergegenkopplung verdeutlicht. Da die Transistoren üblicherweise so dimensioniert werden, dass sie bei Vollaussteuerung ihre kritische Stromdichte erreichen, wird eine Stromerhöhung $k_I - 1$ von 10% als maximal zulässig angenommen. Dies bedeutet für die Basisstufe Q_{C2} , bei der die beiden Transistoren jeweils durch ein Ensemble aus acht Einzeltransistoren realisiert werden, bei einer Kollektor-Emitter-Spannung von $U_{CE} = 2,5V$ im Arbeitspunkt, dass eine Gegenkopplungsspannung $R_E I_E = 90mV$ erforderlich ist, die notwendigerweise zu einer Erhöhung der Versorgungsspannung und somit der Verlustleistung der Schaltung führt. Für die Transadmittanzstufe Q_{T2} , die eine geringere Kollektor-Emitter-Spannung $U_{CE} = 1V$ aufweist, ist eine Gegenkopplung von $R_E I_C = 15mV$ ausreichend. Diese führt nicht nur zu einer (geringfügigen) Erhöhung der Verlustleistung, sondern verringert auch die Transadmittanz der Transadmittanzstufe von $2,3S$ zu $1,9S$. Die Stromquelle I_{TAS2} , die in Form eines Stromspiegels mit ebenfalls acht parallel geschalteten Transistoren realisiert wird, erfordert nach Abb. 3.15c keine Gegenkopplung, da die Transistoren im gesättigten Bereich betrieben werden und entsprechend nur eine Kollektor-Emitterspannung von $U_{CE} = 0,5V$ aufweisen. Dies führt für $R_E = 0\Omega$ zu einer tolerablen Stromerhöhung von nur $k_I - 1 = 5\%$ der inneren

Transistoren.

Mit der hier vorgestellten Dimensionierungsvorschrift lassen sich die zur Vermeidung des *Current Hogging Effects* notwendigen Emittergegenkopplungswiderstände in Abhängigkeit der tatsächlich in der Schaltung auftretenden Gegebenheiten (thermische Impedanzen, umgesetzte Leistung, etc.) auslegen. Somit kann gegenüber dem Ansatz generell eine Gegenkopplungsspannung von ca. $2U_T$ anzustreben [80] eine unnötig große Gegenkopplung vermieden werden, die wie im Falle der TAS (s.o.) zu einem noch deutlicheren Rückgang der Transadmittanz auf 1,16 S (statt 1,9 S) führen würde. Für die CBS-Transistoren hingegen wäre eine Gegenkopplungsspannung von $2U_T$ aufgrund der höheren Kollektor-Emitter-Spannung zu niedrig und würde dazu führen, dass der Arbeitspunktstrom der inneren Transistoren um 15 % höher wäre als der der äußeren.

3.1.2.2 Ein spezielles Konzept zur Unterdrückung des *Current Hogging Effects* in Treiberausgangskaskoden

Die in Kap. 3.1.2.1 dargestellten Nachteile der Emittergegenkopplung, die zur Vermeidung des *Current Hogging Effects* eingeführt wird, können in Treiberausgangsstufen durch Anwendung eines alternativen Schaltungskonzepts vermieden werden. Anstatt die einzelnen Transistoren einer Treiberausgangsstufe (vgl. Q_{T2} und Q_{C2} Abb. 2.2) durch eine Parallelschaltung von n Transistoren zu realisieren, wird die gesamte Kaskode n -fach realisiert. Diese Einzelkaskoden werden ausschließlich am Eingang (Basis der Transadmittanzstufe), am Ausgang (Kollektor der Basisstufe) und am Basisknoten der Basisstufe miteinander verbunden (vgl. Abb. 3.16). Die Emitterknoten der Transadmittanz- $Q_{T2,1} \dots Q_{T2,n}$, $\overline{Q_{T2,1}} \dots \overline{Q_{T2,n}}$ und Basisstufentransistoren bleiben aber voneinander isoliert. Jede dieser einzelnen Kaskoden verfügt über eine dedizierte Stromquelle $Q_{CS,1}, \dots, Q_{CS,n}$, $\overline{Q_{CS,1}}, \dots, \overline{Q_{CS,n}}$, die den Arbeitspunktstrom der jeweiligen Kaskode vorgibt. Daher ist das Auftreten des *Current Hogging Effects* in den Transadmittanz- und Basisstufentransistoren a priori ausgeschlossen.

Da die Stromquellen als Stromspiegel mit gemeinsamer Spannungsreferenz ausgeführt sind, muss nur für diese auf die Vermeidung des *Current Hogging Effects* geachtet werden, um eine gleichförmige Stromverteilung zu gewährleisten. Dies kann, wie in Kap. 3.1.2.1 beschrieben, durch geeignet dimensionierte Emittergegenkopplungswiderstände $R_{E,CS}$ erreicht werden. Da sich im Allgemeinen die einzelnen Transistoren des Stromspiegels nicht nur gegenseitig erwärmen, sondern zusätzlich von den übrigen Transistoren der Kaskode, also den Transistoren der Transadmittanz- und der Basisstufe, erwärmt werden, ist die einfache Betrachtung aus Kap. 3.1.2.1 nicht ausreichend. Daher werden die Ergebnisse zusätzlicher thermischer Simulationen ausgewertet, um die Realität möglichst genau abbilden zu können. Abb. 3.17 zeigt das Ergebnis einer thermischen Simulation der Ausgangsstufe der in Abb. 2.2 dargestellten Schaltung nach dem in Kap. 3.1.1.2 vorgestellten Verfahren. Um die thermischen Einflüsse der Transistoren der Transadmittanzstufe $Q_{T2,1}, \dots, Q_{T2,6}$ und der Basisstufe $Q_{C2,1}, \dots, Q_{C2,6}$ auf die der Stromspiegel

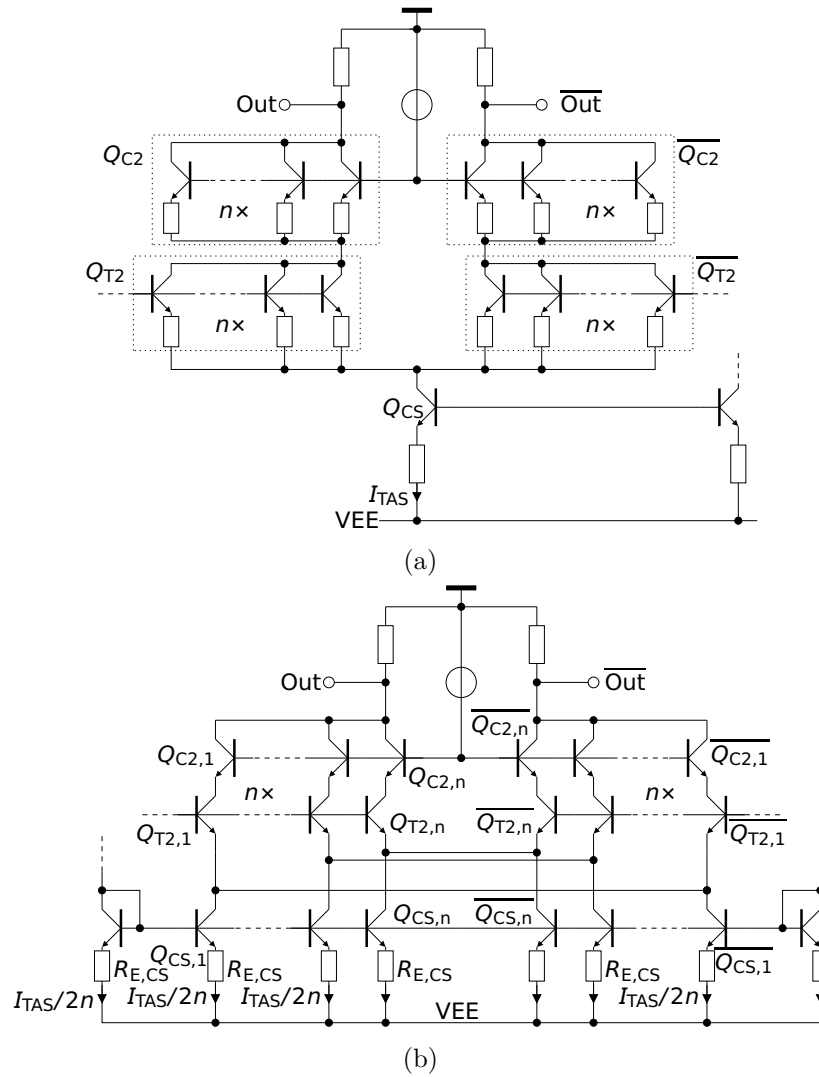


Abb. 3.16: a) Kaskode am Treiberausgang unter Verwendung der herkömmlichen Emitttergegenkopplung parallel geschalteter Transistoren zur Verringerung des *Current Hogging Effects*. b) Vermeidung des *Current Hogging Effects* durch Vorgabe der Arbeitspunktströme der Kaskodentransistoren durch Parallelschaltung ganzer Kaskoden anstelle einzelner paralleler Transistoren.

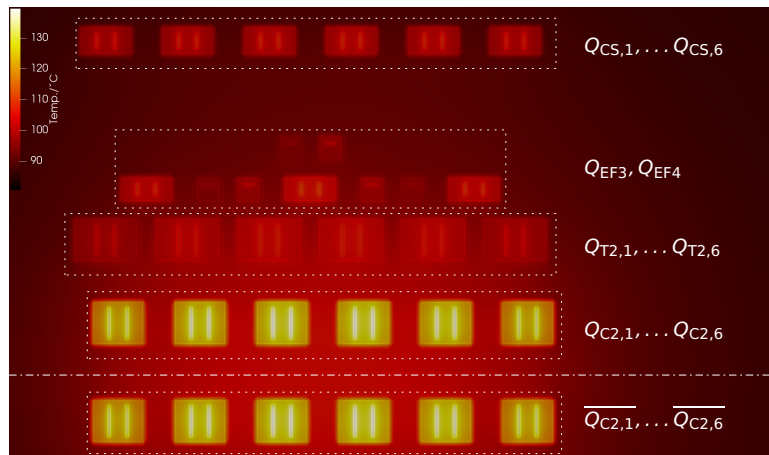


Abb. 3.17: Ergebnisse der thermischen Simulation der 2. Zelle aus Abb. 2.2, wobei die Ausgangskaskode mit Hilfe des in Abb. 3.16b vorgestellten Konzepts realisiert ist.

$Q_{CS,1}, \dots, Q_{CS,6}$ möglichst zu verringern, wurde der Abstand zwischen den Transistoren vergrößert. Da der vorhandene Platz im Layout der Treiber-Array-Schaltung stark begrenzt war, wurde der entstehende Zwischenraum zur Anordnung der ansteuernden Emitterfolger Q_{EF3} und Q_{EF4} (vgl. Abb. 2.2) genutzt, deren Verlustleistung deutlich geringer ist als die der Transistoren der Kaskode. Die Auswertung der thermischen Simulation ergibt, dass die Temperaturunterschiede zwischen den inneren und äußeren Transistoren des Stromspiegels 2 K betragen, was zu einer Erhöhung des Stroms der inneren Transistoren von 7%, anstelle der mit Hilfe des analytischen Modells ermittelten 5%, führt. Da diese Erhöhung immer noch unter der vorgegebenen Schranke von 10% liegt, wurden keine Emittergegenkopplungswiderstände in die Schaltung eingebracht.

Dieses Konzept vermeidet generell in Kaskoden die Notwendigkeit von Gegenkopplungswiderständen in der Transadmittanz- und Basisstufe, was ganz allgemein zur Verringerung der Betriebsspannung und somit zur Verlustleistungsreduktion genutzt werden kann. Im Falle begrenzender Verstärker ergibt sich ein weiterer, wesentlicher Vorteil: Durch die notwendige Gegenkopplung würde selbst bei der bereits optimierten Dimensionierung im auf Seite 74 beschriebenen Anwendungsfall die Transadmittanz um ca. 18% reduziert. Während bei linearen Verstärkern ohnehin eine Gegenkopplung zur Linearisierung der Übertragungsfunktion notwendig ist (vgl. Kap. 2.2.3), können mit dem vorgestellten Konzept begrenzende Treiber völlig ohne Gegenkopplung der TAS und somit ohne die Reduktion der Transadmittanz realisiert werden.

3.2 Transistorbetrieb außerhalb des spezifizierten Kollektor-Basis-Spannungsbereichs (Vermeidung des Transistordurchbruchs)

Bei der Entwicklung neuer Silizium-Germanium-Bipolar-Technologien ist ein Zunahme der Transitfrequenzen f_T der Transistoren zu beobachten, einhergehend mit einer sinkenden maximal zulässigen Kollektor-Basis-Spannung.⁵ Die Spannungen der zu treibenden Modulatoren nehmen nicht im gleichen Maße ab. Unter bestimmten Voraussetzungen, die im folgenden genauer untersucht werden, ist jedoch eine Überschreitung der maximal spezifizierten Kollektor-Basis-Spannung ohne negative Auswirkungen auf die Funktion und Lebensdauer der Schaltung möglich, sodass SiGe-Bipolar-Technologien zur Treiberentwicklung genutzt werden können. Diese besonderen Voraussetzungen werden im Folgenden ausführlicher diskutiert.

3.2.1 Grundlagen des Lawinendurchbruchs

Große Feldstärken in der Kollektor-Basis-Raumladungszone beschleunigen die sich dort befindlichen freien Elektronen sehr stark. Wenn diese genügend Energie aufgenommen haben, übertragen sie durch Stoßeffekte auf an Atomrümpfe gebundene Elektronen so viel Energie, dass diese sich von ihren Atomrümpfen lösen und ebenfalls zu freien Elektronen werden. Die zusätzlichen freien Elektronen werden ebenfalls beschleunigt und es entsteht eine Mitkopplung, der sogenannte Lawinendurchbruch.

Die zusätzlichen bewegten Ladungsträger führen zu einem Strom vom Kollektor zur Basis, der durch eine Stromquelle mit dem Wert $(M - 1) I_T$ modelliert werden kann, wobei I_T den Transferstrom des Transistors wiedergibt. Der Multiplikationsfaktor M ist in erster Näherung nur von der Kollektor-Basis-Spannung abhängig und wird häufig durch

$$M - 1 = c_1 \left(\frac{U_{C'B'}}{V} \right)^{m_1} + c_2 \left(\frac{U_{C'B'}}{V} \right)^{m_2} \quad \text{für } U_{C'B'} > 0 \quad (3.37)$$

angenähert, wobei c_1, c_2, m_1 und m_2 Fitting-Parameter sind [96]. Alternativ führt die Darstellung

$$M = \frac{1}{1 - (U_{C'B'}/U_{CBO})^n} \quad (3.38)$$

mit der inneren Kollektor-Basis-Spannung $U_{C'B'}$, der Durchbruchsspannung bei offenem Emitter U_{CBO} und dem Fitting-Parameter n zu ähnlichen Ergebnissen [96]. In [97] findet

⁵Zum Erreichen höherer kritischer Stromdichten und somit niedrigerer parasitärer Kapazitäten werden dünne und stark dotierte epitaktische Kollektorgebiete benötigt, die wiederum eine geringe Durchbruchsspannung zur Folge haben [96].

sich eine Erweiterung zu dem Modell aus Gl. 3.37,

$$M - 1 = c \left(\frac{1}{\xi} \ln \left(\exp \left(\xi \frac{U_{C'B'} - U_0}{V} \right) + 1 \right) \right)^\alpha, \quad (3.39)$$

die weitere Freiheitsgrade (ξ, U_0) aufweist und bei $U_{C'B'} = 0$ unendlich oft differenziert werden kann, was vorteilhaft ist bezüglich des Konvergenzverhaltens numerischer Simulationen.

Zusätzlich zur Durchbruchsspannung bei offenem Emitter U_{CBO} wird für Transistoren meist auch die Durchbruchsspannung bei offener Basis U_{CEO} angegeben. Im Zusammenhang mit der äußeren Beschaltung des Transistors erlauben diese beiden Spannungen eine Risikobewertung hinsichtlich des Lawinendurchbruchs.

3.2.2 Risikobewertung in Abhängigkeit der Schaltungstopologie

Die Schaltungstopologie, in die ein Transistor eingebettet ist, hat erheblichen Einfluss auf das Risiko eines Lawinendurchbruchs und auf dessen Auswirkungen. Im Wesentlichen sind drei Fälle zu unterscheiden [96]:

1. Ansteuerung mit konstantem Basisstrom I_B ,
2. Ansteuerung mit konstanter Basis-Emitter-Spannung U_{BE} , sowie
3. Ansteuerung mit konstantem Emitterstrom I_E .

Der 1. Fall $I_B = \text{konst.}$ hat in der Praxis kaum Bedeutung [96] und wird daher im Folgenden nicht näher betrachtet.

Abb. 3.18a zeigt den Fall einer konstanten Basis-Emitter-Spannung, der in den realisierten Treiberschaltungen beispielsweise bei Stromspiegeltransistoren vorkommt. Die äußeren Knoten des Transistors werden mit C (Kollektor), B (Basis) und E (Emitter) bezeichnet, die inneren Knoten werden jeweils mit einem ' gekennzeichnet. Die Knoten sind über die jeweiligen parasitären Widerstände r_B und r_E verbunden. Im dargestellten Fall führt der Multiplikationsstrom I_{mult} zu einer Verringerung des Basisstroms I_B . Der Transistorbetrieb bei Kollektor-Basis-Spannungen $U_{C'B'} \leq U_{CEO}$ ist unkritisch hinsichtlich des Lawinendurchbruchs, da in diesem Fall I_B zwar sinkt aber positiv bleibt. Im Bereich $U_{CEO} < U_{C'B'} < U_{CBO}$ übersteigt $I_{\text{mult}} = (M - 1) I_T$ den Wert des eigentlichen Basisstroms und kehrt so dessen Richtung um ($I_B < 0$). Es fließt daher ein Strom aus der Basis des Transistors heraus, der im Zusammenspiel mit dem Basisbahnwiderstand r_B und der Impedanz der Ansteuerung Z_x zur Erhöhung der inneren Basis-Emitter-Spannung $U_{B'E'}$ führt. In der Folge nimmt der Transferstrom $I_T = I_S \exp(U_{B'E'}/U_T)$ exponentiell zu, was den Multiplikationsstrom weiter vergrößert. Es besteht zwar die Gefahr einer Mitkopplung, dennoch kann der Transistor bei ausreichend niederohmiger Ansteuerung an der Basis in diesem Bereich betrieben werden. Bei den im Rahmen der vorliegenden Arbeit betrachteten Treiberschaltungen konnte die Kollektor-Basis-Spannungen der mit

konstanter Basis-Emitter-Spannung angesteuerten Transistoren in allen Fällen soweit gesenkt werden (beispielsweise durch in Serie zum Kollektor geschaltete Dioden), dass wegen $U_{C'B'} < U_{CEO}$ ein Lawinendurchbruch sicher ausgeschlossen werden konnte.

Die Basisstufentransistoren am Treiberausgang werden von der Transadmittanzstufe mit einem vorgegebenen Emitterstrom I_E angesteuert (3. Fall). Eine Erhöhung des Transferstroms und die damit einhergehende Gefahr der Mitkopplung ist somit ausgeschlossen. Infolge lokaler Effekte kann die Anordnung dennoch instabil werden [96]. Der Basisbahnwiderstand ist nämlich nicht an allen Orten innerhalb des Emitterstreifens identisch, sondern nimmt zum Zentrum hin zu. Daher erhöht sich durch den Multiplikationsstrom die Basis-Emitter-Spannung im Zentrum des Emitterstreifens stärker als am Rand des Transistors, was eine inhomogene Stromverteilung zur Folge hat. Im Extremfall führt dieser sogenannte *current pinch-in* effect dazu, dass der Strom sich auf eine kleine Fläche konzentriert, wodurch sich die Transistoreigenschaften stark verändern und der Transistor sogar irreversibel geschädigt werden kann. Daher wird dieser Fall im Folgenden detailliert untersucht.

3.2.3 Stromeinschnürung infolge des Lawinendurchbruchs

Da der Multiplikationsstrom im Zentrum des Emitterstreifens infolge des Basisbahnwiderstandes eine höhere lokale Basis-Emitter-Spannung $U_{B'E'}$ hervorruft und sich daher der Strom dort konzentriert, muss die Fläche des Emitterstreifens zur Modellierung des Effekts diskretisiert werden. Zur Vereinfachung wird ein langer, schmaler Emitterstreifen $l_E \gg \omega_E$ betrachtet, sodass unter Vernachlässigung von Randeffekten die Diskretisierung

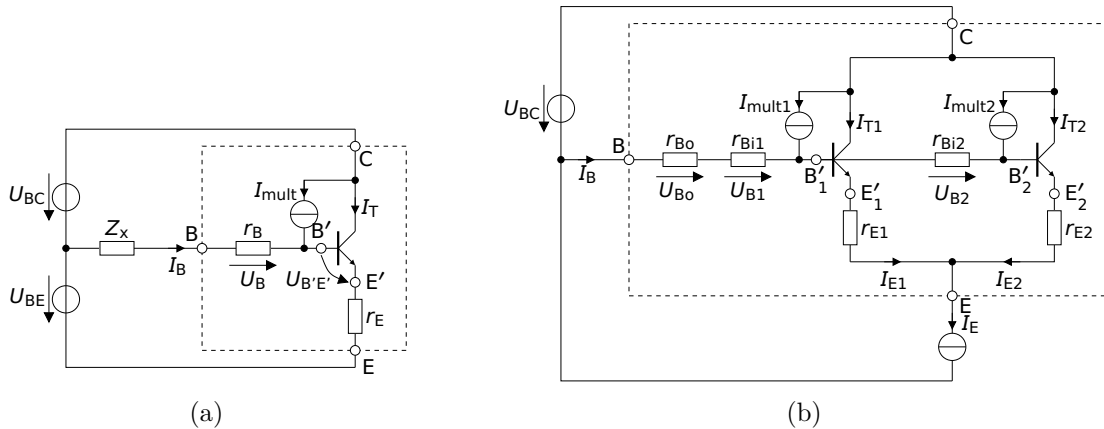


Abb. 3.18: Transistoren mit Multiplikationsstromquellen, parasitären Elementen und externer Beschaltung. a) Bei der Ansteuerung mit konstanter Basis-Emitter-Spannung führt der Multiplikationsstrom zu einer erhöhten inneren Basis-Emitter-Spannung $U_{B'E'}$. b) Bei Ansteuerung mit konstantem Emitterstrom I_E wird der Emitterstreifen in 2 Bereiche aufgeteilt, um die Einschnürung des Stromes abbilden zu können.

der Breite ausreichend ist. Für ein möglichst einfaches Modell, das ausreicht, um die prinzipielle Charakteristik der Stromeinschnürung zu beschreiben, wird diese Diskretisierung auf 2 Elemente je Symmetriehälfte beschränkt (vgl. Abb. 3.19). Die Flächenaufteilung zwischen dem inneren und dem äußeren Transistor wird bei der Modellierung mittels $0 < \alpha < 1$ variiert, sodass $A_i = \alpha w_E l_E$, $A_o = (1 - \alpha) w_E l_E$ gilt.

Entsprechend können die Ersatzschaltbildelemente aus Abb. 3.18b mit Index 2 dem inneren und mit Index 1 den äußeren Transistorflächen zugeordnet werden. Die Emittterkontaktwiderstände r_{E1}, r_{E2} sind jeweils umgekehrt proportional zur Fläche $r_{E1} = r_E/\alpha, r_{E2} = r_E/(1 - \alpha)$, wobei r_E den gesamten Emittterkontaktwiderstand des Transistors beschreibt. Die inneren Basisbahnwiderstände sind jeweils proportional zum Weg den der Strom in der Basis zurücklegen muss: $r_{Bi1} = (1 - \alpha) r_{Bi}$, $r_{Bi2} = \alpha r_{Bi}$. Der Basisstrom des inneren Transistors erzeugt an r_{Bi2} einen Spannungsabfall, der bei vernachlässigbarem Multiplikationsstrom dazu führt, dass der äußere Transistor mehr Strom führt als der innere (vgl. [98]). Wird der Multiplikationsstrom allerdings größer als der Strom, der in die Basis des inneren Transistors fließt, so kehrt sich die Spannung über r_{Bi2} um ($U_{B2} < 0$ V) und führt dementsprechend zu einer Erhöhung des Stroms des inneren Transistors.

Analog zur Betrachtung in Kap. 3.1.2.1 können auch diese beiden Transistoren als Transadmittanzstufe mit der Transkonduktanz

$$g_{TAS}^* = \frac{dI_{T2}}{dU_{B2}} - \frac{dI_{T1}}{dU_{B2}} = \frac{2 I_E}{(U_T + r_E I_E) \left(\frac{1}{\alpha} + \frac{1}{1-\alpha} \right)} \quad (3.40)$$

aufgefasst werden, womit sich der Strom durch den inneren Transistor zu

$$I_{E2} = \alpha I_E - \frac{1}{2} g_{TAS}^* U_{B2} \quad (3.41)$$

ergibt. Für den Spannungsabfall über r_{Bi2} ergibt sich $U_{B2} = -r_{Bi2} (I_{mult2} - I_{T2}/B) = -r_{Bi2} I_{T2} (M - 1 - 1/B)$, wobei M den in Kap. 3.2.1 definierten Multiplikationsfaktor und B die Stromverstärkung des Transistors darstellen. Da der Emittterstrom I_{E2} näherungsweise dem Transferstrom I_T entspricht, folgt durch Einsetzen in Gl. 3.41 und

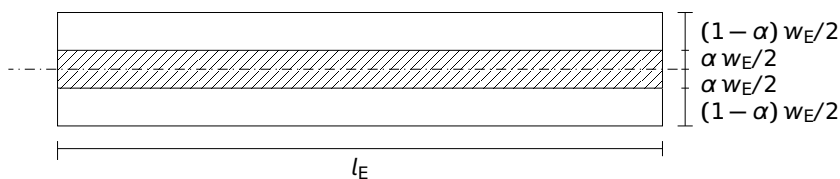


Abb. 3.19: Querschnitt des Emittterstreifens, aufgeteilt in den inneren und äußeren Transistor

Umstellen

$$\begin{aligned}
 I_{E2} &= \frac{\alpha I_E}{1 - \frac{1}{2} g_{\text{TAS}}^* \left(M - 1 - \frac{1}{B} \right) r_{\text{Bi}2}} \\
 &= \frac{\alpha I_E}{1 - \underbrace{\frac{I_E}{(U_{\text{T}} + r_{\text{E}} I_{\text{E}}) \left(\frac{1}{\alpha} + \frac{1}{1-\alpha} \right)}_{f_b} \left(M - 1 - \frac{1}{B} \right) \alpha r_{\text{Bi}}}}. \tag{3.42}
 \end{aligned}$$

Im Nennerterm $1 - f_b$ von Gl. 3.42 wird die Mitkopplung deutlich. Für $f_b \rightarrow (1 - \alpha)$ übernimmt der innere Transistor den gesamten Emittierstrom⁶. Die Bedingung $f_b \approx (1 - \alpha)$ lässt sich weiter vereinfachen und nach M auflösen

$$M = \frac{U_{\text{T}} + r_{\text{E}} I_{\text{E}}}{\alpha^2 r_{\text{Bi}} I_{\text{E}}} + 1 + \frac{1}{B}. \tag{3.43}$$

Somit lässt sich berechnen, wie groß M werden darf, wenn sich der Strom höchstens auf einen Flächenanteil α des Transistors konzentrieren soll. Wegen der notwendigen Näherungen und getroffenen Annahmen (Linearisierung der TAS, Vernachlässigung der Stromabhängigkeit von r_{B} , M und B , kein Early-Effekt), sollte das Ergebnis jedoch eher zu qualitativen Interpretationen als zur quantitativen Schaltungsdimensionierung genutzt werden. Da M eine monotone Funktion von U_{CB} darstellt (vgl. Gl. 3.39), kann Gl. 3.43 auch als Zusammenhang von I_{E} und U_{CB} bzw. von $I_{\text{C}} = M I_{\text{E}}$ und U_{CB} (Ausgangskennlinienfeld) interpretiert werden.

An Gl. 3.43 kann abgelesen werden, dass mit steigendem Basisbahnwiderstand r_{Bi} der maximal zulässige Multiplikationsfaktor M und somit auch die maximal zulässige Kollektor-Basis-Spannung U_{CB} absinken. Daher ist zur Vermeidung der Einschnürung die Verwendung von Transistoren mit schmalen Emittierstreifen, also kleinem r_{Bi} , empfehlenswert. In Treiberschaltungen werden aufgrund der hohen erforderlichen Ströme dennoch Transistoren mit breitem Emittierstreifen eingesetzt, um die kapazitive Belastung des Ausgangsknotens möglichst gering zu halten (vgl. Kap. 2.2.1). Der innere Emittierkontaktwiderstand wirkt als Gegenkopplung zur Einschnürung, kann aber in diesem Fall nicht durch einen externen Gegenkopplungswiderstand verstärkt werden, da dieser den gesamten Emittier kontaktieren würde und keine einzelnen Flächensegmente. Besonders bemerkenswert ist, dass der äußere Basisbahnwiderstand r_{Bo} in diesem vereinfachten Modell keinen Einfluss auf die Einschnürung hat, da er keinen Beitrag zur Differenzspannung des inneren und äußeren Transistors leistet. Im Allgemeinen wird eine niederohmige Ansteuerung an der Basis für den Transistorbetrieb oberhalb von U_{CEO} empfohlen [59], auf die Stromeinschnürung im Fall der Ansteuerung mit einem konstanten Emittierstrom hat dies jedoch einen untergeordneten Einfluss. Im Gegenteil, der Spannungsabfall am

⁶Im Fall $f_b > (1 - \alpha)$ verliert Gl. 3.42 ihre Gültigkeit, da für diesen Fall die Annahme, dass sich sowohl der innere als auch der äußere Transistor im normal-aktiven Bereich befinden, nicht erfüllt ist.

äußeren Basisbahnwiderstand r_{B_0} verringert sogar die innere Kollektor-Basis-Spannung $U_{C'B}$ gegenüber der äußeren und wirkt daher als Gegenkopplung zur Einschnürung.

Als Erweiterung zu der vereinfachten, analytischen Betrachtung werden Simulationen mit dem sogenannten 6-Transistor-Modell [96, 99] durchgeführt. Dieses Modell besteht aus sechs Einzeltransistoren, die aus Symmetriegründen eine Diskretisierung des Emittersstreifens in 24 einzelne Bereiche ermöglichen (6 Elemente in Längs- und 4 in Querrichtung, dargestellt in Abb. 3.20). Mit Hilfe dieses Modells kann die Stromeinschnürung in zwei Dimensionen abgebildet werden, wobei aufgrund der endlichen Fläche des zentralen Transistorelements keine punktförmige Einschnürung möglich ist. Als Maß für die Einschnürung definiert [97] den Quotienten

$$\delta_J = \frac{J_{\text{center}} - J_{\text{corner}}}{J_{\text{center}} + J_{\text{corner}}}, \quad (3.44)$$

wobei J_{center} und J_{corner} jeweils die Stromdichten im zentralen Transistorelement bzw. dem äußersten, an der Ecke des Emittersstreifens platzierten Transistorelement angeben. δ_J kann Werte zwischen -1 (der Strom fließt quasi nur im äußersten Bereich des Emittersstreifens) und 1 (Stromeinschnürung auf zentrales Transistorelement) annehmen, der Wert 0 repräsentiert eine gleichförmige Verteilung des Stroms über die gesamte Fläche des Streifens.

Abb. 3.21a zeigt δ_J in Abhängigkeit der äußeren Kollektor-Basis-Spannung für verschiedene vorgegebene Emittersströme J_E eines CEBEC-Transistors mit breiten Emittersstreifen mit maximaler in der Technologie verfügbarer Länge ($w_{E,\text{eff.}} = 0,38 \mu\text{m}$, $l_{E,\text{eff.}} = 9,83 \mu\text{m}$), der typisch für den entsprechenden Transistor der Basisstufe am Ausgang des Treibers ist. Besonders auffällig ist der abrupte Verlauf der Einschnürung, der durch die analysierte Mitkopplung verursacht wird. Für reale Transistoren kann angenommen werden, dass der Übergang etwas flacher verläuft, da beispielsweise hohe Stromdichten den Multiplikationsfaktor etwas verringern. Dennoch muss dieser Betriebsbereich vermieden werden. Durch Auftragen der (I_E, U_{CB}) -Wertepaare, bei denen dieser abrupte Anstieg erfolgt,

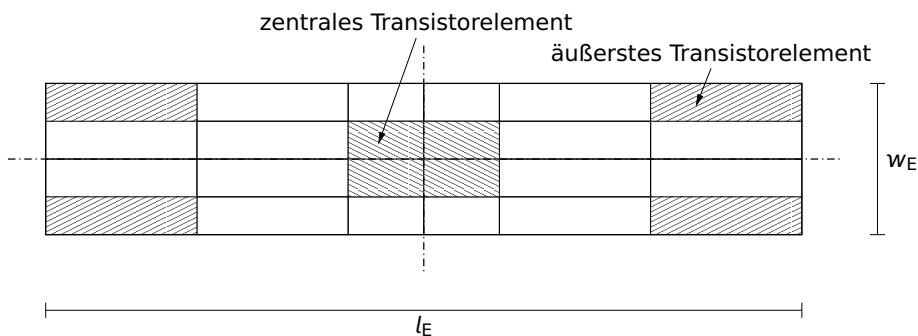


Abb. 3.20: Aufteilung des Emittersstreifens in 24 Elemente, die aus Symmetriegründen mit Hilfe von sechs Einzeltransistoren modelliert werden können (vgl. [96]).

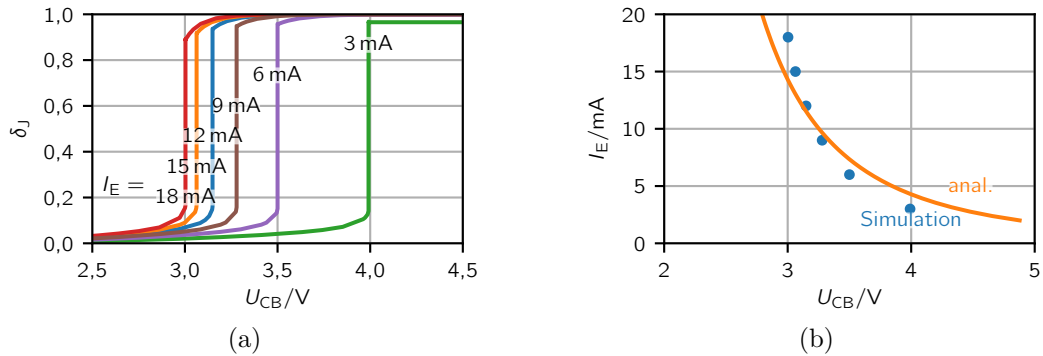


Abb. 3.21: a) Stromeinschnürung δ_J über der Kollektor-Basis-Spannung U_{CB} bei vorgegebenen Emitterströmen I_E . b) Durch die Stromeinschnürung vorgegebene Grenze des Betriebsbereichs des Transistors in der U_{CB} - I_E -Ebene, ermittelt durch Simulation mit dem 6-Transistor-Modell und durch die in Gl. 3.43 gegebene analytische Abschätzung.

ergibt sich in Abb. 3.21b der Verlauf, der unbedingt unterschritten werden muss. Im gleichen Diagramm wird auch das Ergebnis aus Gl. 3.43 aufgetragen, um die Ergebnisse auf Basis des analytischen Modells zu bestätigen. Qualitativ stimmt das analytische Modell mit den Ergebnissen der Simulation überein, quantitativ ergeben sich aus den Näherungen, insbesondere durch die unterschiedliche Diskretisierung, Abweichungen. Beim 6-Transistormodell ist eine Einschnürung in zwei Dimensionen, also in lateraler und vertikaler Richtung möglich [96], allerdings kann keine punktförmige Einschnürung abgebildet werden, da das zentrale Transistorelement eine endliche Fläche aufweist. Die Grenzverläufe in Abb. 3.21b bilden die Grundlage für die Dimensionierung der Transistoren, um den Durchbruch auch oberhalb von U_{CE0} zu vermeiden.⁷

Werden mehrere Transistoren parallel geschaltet, so ist die Gefahr der Einschnürung noch größer. Die Transistoren haben zwar sehr ähnliche Eigenschaften, sind aber durch Parameterschwankungen im Halbleiterprozess nicht völlig identisch. Daher konzentriert sich der Gesamtstrom im Fall parallel geschalteter Transistoren zunächst auf den Transistor mit dem größten Basisbahnwiderstand $r_{Bi} + r_{Bo}$, wobei auch der äußere Basisbahnwiderstand berücksichtigt werden muss, da die Transistoren erst am äußeren Basisknoten B miteinander verbunden werden können. Durch die hohe Stromdichte setzt in der Folge für diesen Transistor unmittelbar die Einschnürung auf einen sehr kleinen Bereich der Emitterfläche ein, wodurch er irreversibel geschädigt wird. Da in diesem Szenario der gesamte Bahnwiderstand berücksichtigt werden muss, ergeben sich geringere Durchbruchsspannungen. Wird stattdessen das Konzept aus Kap. 3.1.2.2 angewendet, so ist der Emitterstrom I_E jedes einzelnen Transistors der Basisstufe fest vorgegeben und eine ungleiche Stromverteilung zwischen den Transistoren ausgeschlossen. Eine Einschnürung kann nur noch innerhalb jedes einzelnen Emitterstreifens stattfinden.

⁷ U_{CE0} liegt in der verwendeten Technologie in der Größenordnung von ca. 1,7 V.

3.2.4 Maßnahmen zur Vermeidung des Transistordurchbruchs

Im Folgenden wird anhand der in Abb. 3.22 abgebildeten Ausgangsstufe dargestellt, wie sich die eingeführten Grenzkurven und der Einschnürquotient δ_J in der Praxis anwenden lassen, um die Gefahr des Lawinendurchbruchs und der damit verbundenen Stromeinschnürung beurteilen zu können. Die Ausgangsstufe des im Rahmen der Arbeit entwickelten Treiber-Arrays (vgl. Kap. 6.2) enthält neben der eigentlichen Signal-Basisstufe Q_{C2} eine weitere Basisstufe Q_{bias} zur Arbeitspunkteinstellung des angeschlossenen Modulators. Da diese beiden Basisstufen unterschiedlichen Lastfällen ausgesetzt sind, sind unterschiedliche Maßnahmen zur Vermeidung des Transistordurchbruchs notwendig.

Die Schaltung soll einen Ausgangsspannungshub von $3,5 V_{pp}$ erzeugen. Die minimale Kollektor-Basis-Spannung muss so groß gewählt werden, dass die Basisstufen-Transistoren auch bei maximaler Aussteuerung des Verstärkers höchstens schwach in den gesättigten Betriebsbereich gelangen, da in diesem Betriebsbereich die parasitäre Kollektor-Basis-Kapazität C_{CB} stark anwächst (vgl. Kap. 2.2.1, [76]). Daher wird eine minimale Kollektor-Basis-Spannung $U_{CB,min} = -300 \text{ mV}$ festgelegt. Zum Erreichen des Ausgangsspannungshubs ist folglich eine maximale Kollektor-Basis-Spannung von $U_{CB,max} = 3,2 \text{ V}$ notwendig. Da deshalb U_{CE0} überschritten werden muss und somit je nach Emittterstrom I_E des Transistors die Gefahr der Einschnürung gegeben ist (vgl. Abb. 3.21b), müssen der jeweiligen Situation angepasste Maßnahmen ergriffen werden. Dabei muss zwischen der Signal-Basisstufe Q_{C2} und der Basisstufe zur Arbeitspunkteinstellung Q_{bias} unterschieden werden.

Zunächst wird die Signal-Basisstufe Q_{C2} analysiert. Abb. 3.23a zeigt die transienten Verläufe der Kollektor-Basis-Spannung U_{CB} und des Kollektorstroms I_C . Die Stromspitzen, die beim Einschaltvorgang auftreten, deuten darauf hin, dass diese Phase besonders kritisch hinsichtlich der Stromeinschnürung ist. In Abb. 3.24a ist I_C über U_{CB} von Q_{C2}

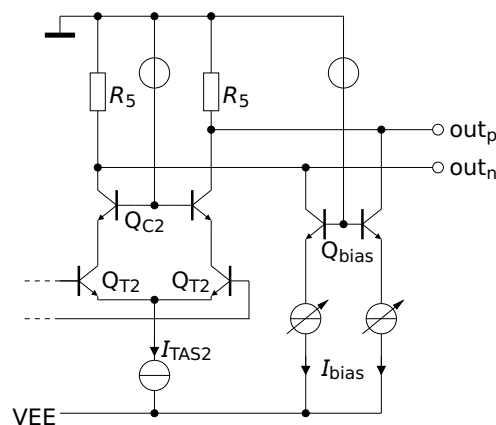


Abb. 3.22: Im Treiber-Array verwendete Ausgangsstufe mit zusätzlichen Stromquellen zur Arbeitspunkteinstellung der Last.

aufgetragen. Die Ortskurve der dynamischen Größen weicht deutlich von der Lastgeraden ab, die bei infinitesimal langsamem Umschalten durchlaufen würde. In dieser Darstellung ist zu erkennen, dass der Einschaltvorgang, bei dem der maximale statische Strom um mehr als 30 % überschritten wird, besonders kritisch hinsichtlich einer potentiellen Stromeinschnürung ist. Die Grenzkurven, die analog zu Abb. 3.21 ermittelt wurden, werden von der Ortskurve fast berührt.

Zur weiteren Beurteilung ist der zeitliche Verlauf des Einschnürfaktors δ_J in Abb. 3.24b aufgetragen. Zu den Schaltzeitpunkten des Transistors fallen besonders schmale Spitzen auf, die zunächst auf eine Stromeinschnürung hindeuten. Eine genauere Analyse der Stromdichte des zentralen und des äußeren Transistorelements des diskretisierten Emittersstreifens zeigen jedoch, dass keine Einschnürung stattfindet, sondern stattdessen das äußerste Element sogar eine höhere Stromdichte führt als das innerste. Verursacht wird dies dadurch, dass sich die innere Basis-Emitter-Spannung $U_{B'E'}$ im Emittersstreifen zeitlich verzögert von außen nach innen aufbaut, wie in Abb. 3.23b dargestellt. Daher sind auch die Einschalt-Flanken unkritisch bezüglich der Einschnürung des Stroms. Die schmalen Spitzen von δ_J während des Schaltvorgangs resultieren daher, dass zu Beginn des Einschaltvorgangs die Stromdichten insgesamt noch sehr klein sind. Der Nenner von δ_J wird jedoch definitionsgemäß durch die Summe dieser Stromdichten gebildet (vgl.

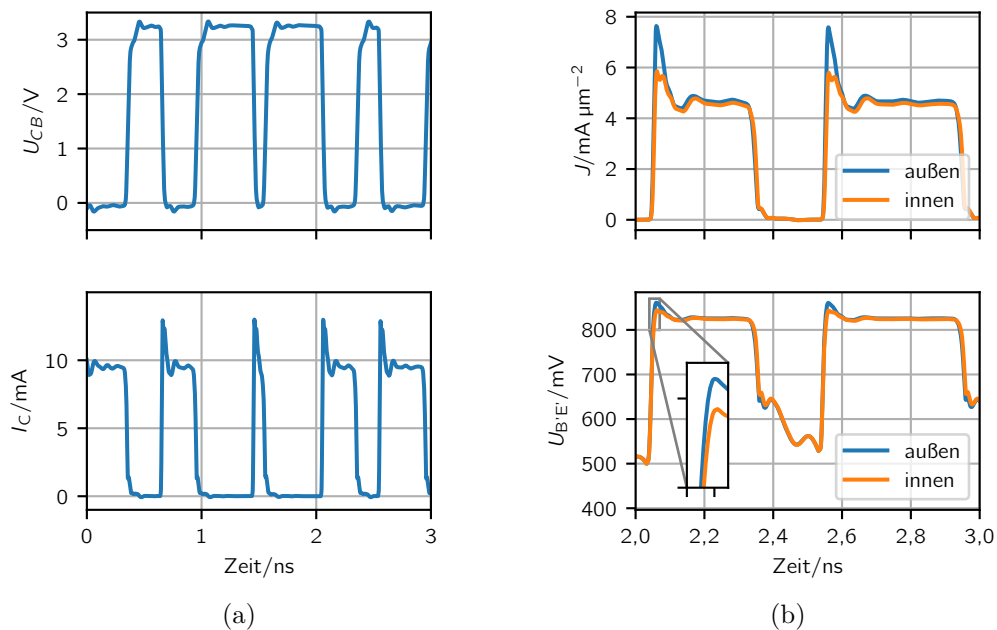


Abb. 3.23: a) Zeitlicher Verlauf der Kollektor-Basis-Spannung und des Kollektorstroms von Q_{C2} .
 b) Zeitlicher Verlauf der Stromdichten und der inneren Basis-Emitter-Spannung $U_{B'E'}$ des innersten und äußersten Transistorelements des diskretisierten Emittersstreifens.

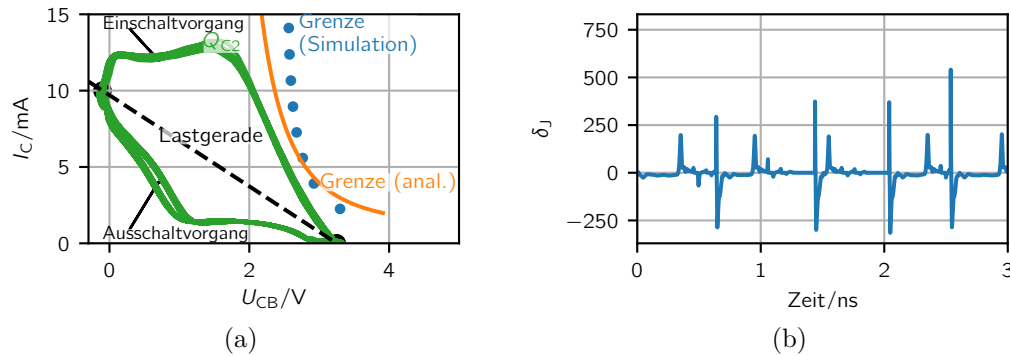


Abb. 3.24: a) Ortskurve des Kollektorstroms von Q_{C2} im Ausgangskennlinienfeld. Die Grenzkurven der Stromeinschnürung (vgl. Abb. 3.21b) werden nicht überschritten. b) Transient ermittelter Einschnürungsfaktor δ_J (vgl. Gl. 3.44).

Gl. 3.44). Daher reicht das leicht verzögerte Ansteigen der äußeren Stromdichte aus, um den Quotienten δ_J sehr groß werden zu lassen, obwohl keine Tendenz zur kritischen Einschnürung vorliegt. Zur Beurteilung des Risikos der Einschnürung bei dynamischen Vorgängen ist δ_J daher nicht geeignet. Stattdessen muss darauf geachtet werden, dass die Stromdichte J in den einzelnen Transistorsegmenten (vgl. Abb. 3.23b) den in der Technologie vorgegebenen Maximalwert nicht zu stark überschreitet. Inwiefern ein kurzfristiges Überschreiten der spezifizierten kritischen Stromdichte die Lebensdauer des Transistors beeinflusst, kann nur mittels aufwendigen Simulationen und Messungen an Referenzbauelementen abgeleitet werden [100]. Jedoch lassen die in [101] dargestellten Ergebnisse den Schluss zu, dass die in Abb. 3.23b dargestellten Stromdichten die Lebensdauer nicht merklich beeinträchtigen, insbesondere da keine Einschnürung vorliegt.

Eine ähnliche Betrachtung wird für die Basisstufe zur Arbeitspunkteinstellung Q_{bias} durchgeführt. In diesem Fall unterscheiden sich allerdings die Randbedingungen. Diese Basisstufe wird mit einem quasistatischen Arbeitspunktstrom betrieben, da der Arbeitspunkt des Modulators bei der Inbetriebnahme eingestellt wird und danach höchstens langsam nachgeregelt werden muss, um beispielsweise Temperaturänderungen zu kompensieren. Dies geschieht um Größenordnungen langsamer als die dynamische Auslenkung des Ausgangsknotens durch das zu übertragende Gegentaktsignal. Der Kollektor von Q_{bias} ist aber direkt mit dem Ausgangsknoten verbunden. Daher ändert sich die Kollektor-Basis-Spannung U_{CB} von Q_{bias} dynamisch, während der Arbeitspunktstrom konstant bleibt.

Die Ergebnisse einer transienten Simulation ermöglichen eine detaillierte Analyse. In Abb. 3.25a ist der Kollektorstrom I_C von Q_{bias} über U_{CB} aufgetragen. Durch das Umladen der Kollektor-Basis- und der Substrat-Kapazität von Q_{bias} erfährt auch der Kollektorstrom große dynamische Änderungen, die statischen Ruhelagen weisen aber den gleichen Strom $I_C = 10 \text{ mA}$ auf. Bei der maximalen Kollektor-Basis-Spannung $U_{CB,\text{max}} = 3,25 \text{ V}$

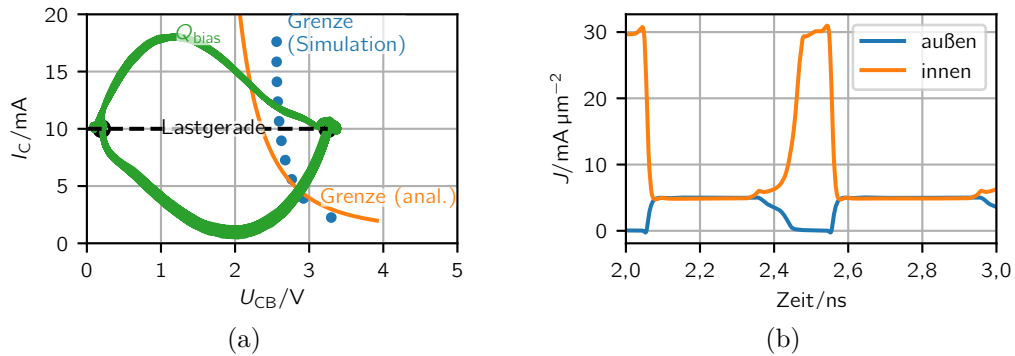


Abb. 3.25: a) Ortskurve des Kollektorstroms von Q_{bias} im Ausgangskennlinienfeld. Die Grenzkurven der Stromeinschnürung (vgl. Abb. 3.21b) werden in diesem Fall überschritten. b) Transienter Verlauf der Stromdichten im innersten und äußersten Transistorelement des diskretisierten Emitterstreifens von Q_{bias} .

fließt daher auch der volle statische Arbeitspunktstrom durch den Transistor. Die zugehörige Ruhelage in Abb. 3.25a liegt klar jenseits der Grenze zur Stromeinschnürung. Entsprechend ist im transienten Verlauf der Stromdichten in Abb. 3.25b erkennbar, dass zu den Zeitpunkten zu denen eine hohe Kollektor-Basis-Spannung anliegt (z. B. $t = 2,5$ ns) der Strom quasi vollständig vom innersten Transistorelement geführt wird, wodurch irreversible Schäden im Transistor entstehen würden.

Um die Einschnürung des Stroms für Q_{bias} zu verhindern, stehen verschiedene Optionen zur Verfügung.

- Eine Reduktion der Kollektor-Basis-Spannung würde den Multiplikationsfaktor M deutlich reduzieren. Dies ist jedoch nicht ohne komplexe Erweiterung des Schaltungskonzepts möglich, da die Kollektor-Basis-Spannung durch den fest vorgegebenen Ausgangsspannungshub des Treibers festgelegt ist.
- Für geringere Arbeitspunktströme tritt keine Einschnürung auf. Um den Arbeitspunktstrom bei gegebenem Gesamtbiasstrom zu reduzieren, könnten mehr Transistoren parallel geschaltet werden. Diese würden dann bei einer geringeren Stromdichte betrieben, wodurch das Risiko der Stromeinschnürung sinkt. Allerdings wird dadurch wegen der parasitären Transistorkapazitäten der Ausgangsknoten kapazitiv sehr stark belastet.
- Ähnliche Auswirkungen hätte auch die Verwendung von Transistoren mit schmalem Emitterstreifen. Dadurch könnte zwar der Basisbahnwiderstand und somit das Risiko der Stromeinschnürung verringert werden, aber die Transistorlänge müsste angepasst werden, um die notwendige Transistorfläche zur Verfügung zu stellen. Hierdurch wäre ebenfalls eine höhere kapazitive Belastung des Ausgangsknotens zu erwarten.

- In der gewählten Halbleitertechnologie steht eine weitere Transistorvariante mit anderem Dotierprofil zur Verfügung. Diese weist eine geringere Transitfrequenz, aber auch eine deutlich höhere Durchbruchsspannung auf. Durch Verwendung dieses Transistortyps kann ein Durchbruch sicher ausgeschlossen werden. Allerdings ebenfalls zum Preis einer erhöhten kapazitiven Belastung des Ausgangsknotens.

Letztendlich führen alle vorgeschlagenen Optionen zu einer unerwünschten, zusätzlichen kapazitiven Belastung des Ausgangsknotens. Bei der zuletzt vorgestellten Variante, bei der ein spezieller, langsamerer, aber für hohe Spannungen ausgelegter Transistor Verwendung findet, ist diese zusätzliche Kapazität am geringsten. Daher wurde ihr bei der Realisierung der Schaltung der Vorzug gegeben.

Vor allem im Fall der Signal-Basisstufe Q_{C2} wird deutlich, dass statische Betrachtungen nicht ausreichend sind, um Schaltungen hinsichtlich des Transistordurchbruchs bzw. der damit verbundene Stromeinschnürung zu beurteilen. Vielmehr bedarf es einer transienten Analyse der dynamischen Vorgänge. In diesem Fall stellt der in [97] eingeführte Quotient der Stromeinschnürung kein geeignetes Kriterium für kritische Betriebsfälle des Transistors dar. Stattdessen muss der transiente Verlauf der Stromdichte in den verschiedenen Segmenten der Transistorfläche bewertet werden, um beurteilen zu können, ob eine kritische Einschnürung des Stroms vorliegt. Alternativ kann das dynamische Ausgangskennlinienfeld des Transistors benutzt werden, um mit Hilfe der im Rahmen dieser Arbeit hergeleiteten Grenzkurven beurteilen zu können, ob die Gefahr einer Stromeinschnürung besteht. Diese Vorgehensweise kann auch bei Verwendung anderer Technologien eingesetzt werden, in denen kein Transistormodell mit diskretisierten Emitterstreifen zur Verfügung steht.

Kapitel 4

Minimierung der Leistungsaufnahme von Treiber-Schaltungen

Da die im Rahmen der vorliegenden Arbeit entwickelten Treiberschaltungen für den Dauereinsatz in Datenübertragungsstrecken konzipiert sind, wurde während der gesamten Entwicklungsphase von der Spezifikation bis zum fertigen Modul besonderen Wert auf eine möglichst geringe Leistungsaufnahme gelegt. Bedingt durch die großen Spannungshübe am Schaltungsausgang, die 50 Ω -Anpassung an die als Last angeschlossenen Modulatoren und die damit einhergehenden großen Ströme stellt diese Verlustleistungsoptimierung der Treiberschaltungen eine besondere Herausforderung dar. Zusätzlich zum Spannungshub ist zum Betrieb der Modulatoren meist eine bestimmte Arbeitspunktspannung an der Last gefordert, die als Randbedingung bei der Optimierung berücksichtigt werden muss.

Das vorliegende Kapitel beschäftigt sich mit zwei Themengebieten. Zum einen wird detailliert untersucht, welche Optionen zur Verfügung stehen, um den Arbeitspunkt der Last des Treibers flexibel einstellen zu können, und wie diese Optionen sich auf die Leistungsaufnahme auswirken. Im Rahmen dieser Untersuchung wird auch ein neuartiges Schaltungskonzept vorgestellt, das basierend auf einer aktiven Last am Treiberausgang die Leistungsaufnahme reduziert. Der zweite Teil des Kapitels beschäftigt sich mit einer Untersuchung der Abhängigkeit der Leistungsaufnahme von diversen Performancekriterien der Treiberschaltung, wie Ausgangsspannungshub und Bandbreite. Eine solche Beschreibung ist wichtig für die Optimierung eines Gesamtsystems, in dem die Treiberschaltung nur eine von vielen Komponenten darstellt. Gegebenenfalls kann in einem Übertragungssystem beispielsweise durch eine Erweiterung der Bandbreite und eine Reduktion der Kanäle die Gesamtleistungsaufnahme reduziert werden.

4.1 Verlustleistungsoptimierte Arbeitspunkteinstellung der Last

Die Anbindung des Treibers an seine Last hat großen Einfluss auf die umgesetzte Leistung und auf den Arbeitspunkt der Last. Zur Verdeutlichung wird ein typischer Treiber mit Ausgangskaskode (vgl. Kap. 2) mit unterschiedlich angebunden Lasten, wie in Abb. 4.1 dargestellt, betrachtet. Ist der Treiberausgang direkt mit der Last verbunden (DC-Kopplung, vgl. Abb. 4.1 a)), so entspricht das Arbeitspunktpotential des Treiberausgangs

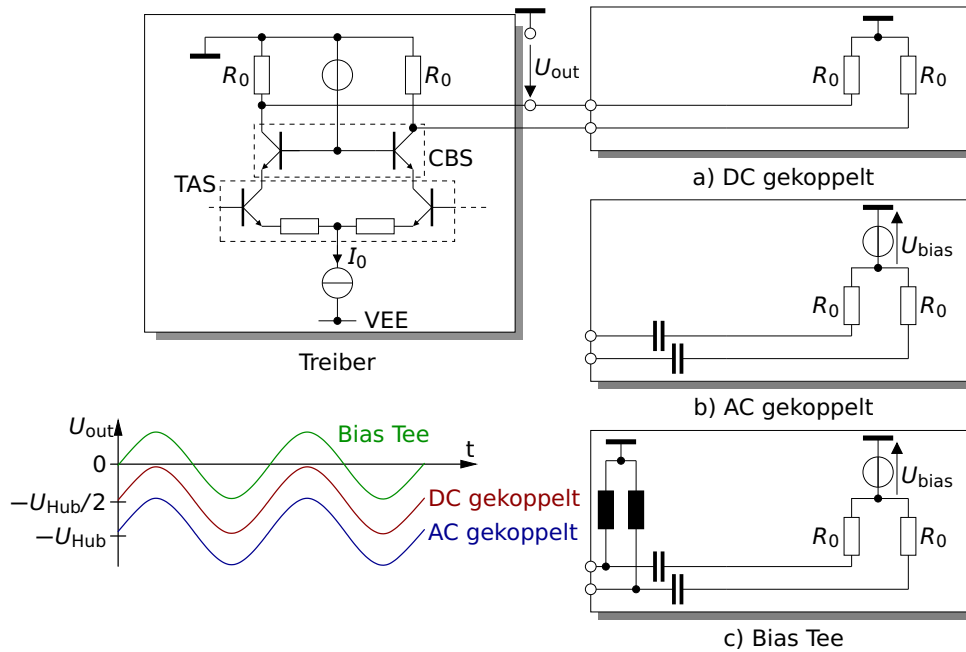


Abb. 4.1: Abhängigkeit des Arbeitspunktes am Treiberausgang von der Kopplung an die Last.

dem der Last. Somit wird der Arbeitspunkt um die Hälfte des maximal möglichen Spannungshubs U_{Hub} gegenüber dem Bezugspotential nach unten verschoben. Je nach gewähltem Modulationsformat und Modulator entspricht dies gerade dem gewünschten Arbeitspunkt. Ein Mach-Zehnder-Modulator benötigt beispielsweise für *non-return-to-zero on-off-keying* (NRZ-OOK) eine Vorspannung von $-U_{Hub}/2$ und eine Aussteuerung mit dem Hub U_{Hub} , wobei U_{Hub} eine charakteristische Eigenschaft des Modulators darstellt [102]¹.

Für andere Modulationsformate, wie beispielsweise *differential phase shift keying* (DPSK) werden jedoch davon abweichende Vorspannungen benötigt (z. B. für DPSK: $-2U_{Hub}$ bei einem Hub von $2U_{Hub}$ [102, 103]). Je nach Eigenschaften der optischen Übertragungsstrecke, bieten die unterschiedlichen Modulationsformate bestimmte Vorteile (z. B. spektrale Effizienz, Toleranz gegenüber Dispersion, etc.). Um eine möglichst hohe Flexibilität zu gewährleisten, wird für die Ankopplung zwischen Treiber und Last daher häufig eine kapazitive Kopplung spezifiziert (vgl. Abb. 4.1 b)). Mit Hilfe einer externen Spannungsquelle U_{bias} kann dann der Arbeitspunkt des Modulators nahezu beliebig eingestellt werden. In diesem Fall fließt jedoch der gesamte Arbeitspunktstrom I_0 über die beiden on-Chip-Abschlusswiderstände R_0 , während durch die Last kein DC-Strom fließt. Dadurch verschiebt sich der Arbeitspunkt am Treiberausgang zu $-U_{Hub}$. Dies erfordert eine Erhöhung der Betriebsspannung des Treibers um $U_{Hub}/2$ und eine Vergrößerung der

¹ U_{Hub} ist die Spannung, bei der ein einzelner Arm des Mach-Zehnder-Modulators eine Phasendrehung von 180° bzw. π erzeugt.

on-Chip Abschlusswiderstände, um eine ausreichende Stromtragfähigkeit zu gewährleisten. Folglich erhöht sich der Platzbedarf und die Bandbreite wird durch die parasitäre Kapazität der Widerstände verringert (vgl. Kap. 2.2.1).

Um diese Nachteile zu umgehen, kann eine *Bias-Tee*-Konfiguration zwischen Treiber und Last verwendet werden, dargestellt in Abb. 4.1c. Durch die externe Induktivität fließt in diesem Fall der gesamte Arbeitspunktstrom, was eine Verringerung der Betriebsspannung um $U_{\text{Hub}}/2$ und eine Verkleinerung der on-Chip Abschlusswiderstände im Vergleich zur DC-Kopplung ermöglicht. Dieser Idealfall hinsichtlich der Bandbreite und des Leistungsbedarfs wird jedoch häufig vermieden, da das Einbringen der externen *Bias-Tee*-Komponenten in den Signalpfad sehr aufwendig ist und die Signalübertragung zwischen Treiber und Last durch zusätzliche Reflexionen verschlechtert. Insbesondere für Massenanwendungen mit hohen Stückzahlen und entsprechendem Kostendruck müssen derartige, in der Produktion aufwendige Maßnahmen vermieden werden.

Im Rahmen der vorliegenden Arbeit wurden daher zwei alternative Konzepte zur energieeffizienten, aber dennoch flexiblen Arbeitspunkteinstellung der angesteuerten Modulatoren entwickelt, die keine weiteren externen Komponenten benötigen. Diese Konzepte werden im Folgenden vorgestellt.

4.1.1 Auftrennung des Bezugspotentials von Treiber und Modulator

Abb. 4.2 zeigt eine Weiterentwicklung der AC-gekoppelten Last aus Abb. 4.1 b). Statt die Verbindung zum Modulator an den Ausgangsknoten des Treibers aufzutrennen, wird die gemeinsame Masse aufgetrennt. Über die Spannungsquelle U_{bias} kann dann der Arbeitspunkt des Modulators variiert werden.

Der Vorteil dieser Lösung gegenüber der herkömmlichen AC-Kopplung zwischen Treiber und Last besteht darin, dass im Gegentaktbetrieb, der in aller Regel angestrebt

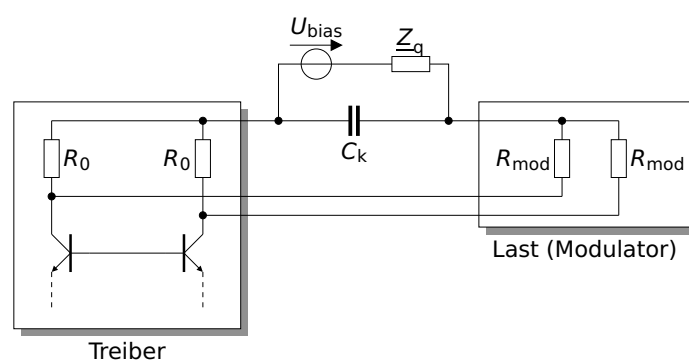


Abb. 4.2: Auftrennung des Bezugspotentials zwischen Treiber und Modulator durch die Kapazität C_k . Mit Hilfe von U_{bias} kann der Arbeitspunkt des Modulators flexibel eingestellt werden.

wird (vgl. [57]), kein Strom über diese Masseverbindung fließt. Folglich entsteht kein Spannungsabfall über der Quellimpedanz Z_q und die Koppelkapazität C_k kann entfallen bzw. sehr klein gewählt werden. In realen Schaltungen wird jedoch durch Nichtidealitäten, wie beispielsweise Asymmetrie durch nicht perfekte Anpassung, immer ein Teil des Gegentakt-Signals in einen Gleichtakt-Anteil konvertiert. Ohne geeignete Abschlüsse kann ein solcher Gleichtakt-Anteil zu unerwünschten Oszillationen des Treibers führen, die dessen Funktion beeinträchtigen. Mit einer ausreichend großen² Koppelkapazität C_k kann sicher gestellt werden, dass unabhängig von Z_q im gesamten relevanten Frequenzbereich ein Gleichtaktpfad realisiert werden kann, der so niederohmig ist, dass der Ausgang des Treibers wie in den in Abb. 4.1 dargestellten Fällen durch die Last abgeschlossen wird.

Problematisch ist bei dieser Lösung aber nach wie vor die Verschiebung des Arbeitspunktes am Ausgang des Modulators durch die Variation von U_{bias} . Da die Lastimpedanz R_{mod} und der interne Abschlusswiderstand R_0 einen Spannungsteiler bilden, wird das Ausgangspotential um $U_{\text{bias}} R_0 / (R_0 + R_{\text{mod}})$ verschoben, im Fall $R_0 = R_{\text{mod}}$ also um die halbe Biasspannung U_{bias} . Entsprechend müssen wie im in Abb. 4.1 b) dargestellten Fall die Versorgungsspannung des Treibers erhöht und die internen Abschlusswiderstände R_0 vergrößert werden (für $U_{\text{bias}} > 0$). Als Vorteil bleibt, dass nur eine kleinere Koppelkapazität C_c in den Massepfad eingebracht werden muss anstelle zweier Kapazitäten in den Signalpfaden.

Oft bestehen die elektrischen Ersatzschaltbilder der eingesetzten Mach-Zehnder-Modulatoren (MZMs) nur aus 50- Ω -Übertragungsleitungen, die extern abgeschlossen werden müssen. Diese Konfiguration ermöglicht ein Konzept zur Bias-Einstellung, das ohne höhere Betriebsspannung U_{EE} und ohne Vergrößerung der on-Chip-Abschlusswiderstände R_0 funktioniert. Wie in Abb. 4.3 dargestellt, werden die Abschlusswiderstände am Modulator-Ausgang $R_{0,\text{mod}}$ nicht an das Bezugspotential des Modulators, sondern wie die Abschlusswiderstände am Treiber-Ausgang R_0 an das einstellbare Bias-Potential U_{bias} angeschlossen. In diesem Fall können durch Variation von U_{bias} alle Spannungen des Treibers, also auch die Arbeitspunktspannungen des Modulators gegenüber dem externen Bezugspotential verschoben werden. Somit verschieben sich die Spannungen an beiden Anschlüssen der Abschlusswiderstände R_0 und $R_{0,\text{mod}}$, sodass die Arbeitspunktströme dieser Widerstände unverändert bleiben. Da durch die Spannungsquelle U_{bias} kein Strom fließt und der Strom durch die Betriebsspannungsquelle U_{EE} ebenfalls unabhängig von U_{bias} ist, erhöht sich durch diese Lösung auch die Leistungsaufnahme des Treibers nicht.

Da sich durch Variation von U_{bias} auch die Arbeitspunktspotentiale am differentiellen Eingang des Treibers verschieben, muss dieser kapazitiv gekoppelt werden. Oft ist aber ohnehin eine differentielle Ansteuerung mit kapazitiver Kopplung vorgesehen. Falls nicht, so muss überprüft werden, ob die ansteuernde Schaltung für AC-gekoppelte Lasten geeignet ist. Aufgrund der geringen Spannungshübe im Vergleich zum Treiberausgang ist

²Die tatsächlich notwendige Größe von C_k hängt davon ab, wie stark die Gegentakt-Gleichtakt-Konversion, also die erwartete Asymmetrie der Last ist.

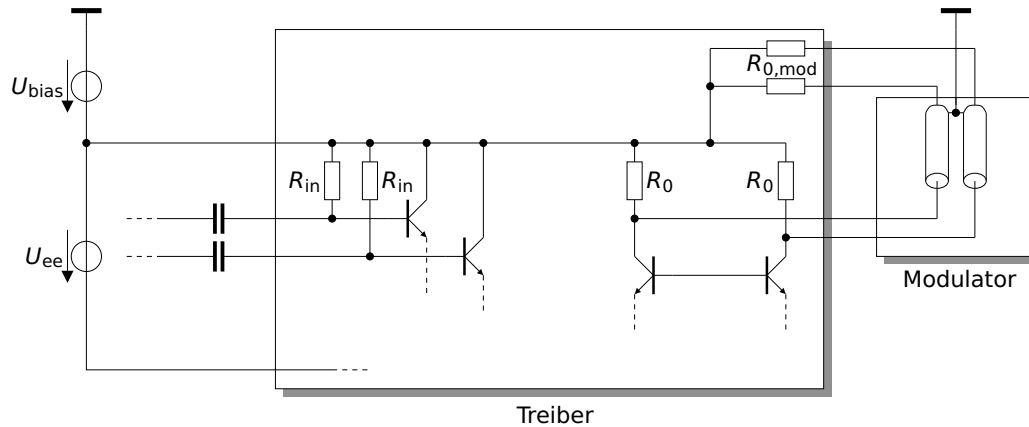


Abb. 4.3: Der Arbeitspunkt des Modulators wird durch Verschieben aller Potentiale der Treiberschaltung eingestellt. Ermöglicht wird dies, indem das Bezugspotential des Treiber, an das ebenfalls die Abschlusswiderstände $R_{0,\text{mod}}$ der Modulatorleitung angeschlossen werden, vom Bezugspotential des Modulators getrennt wird und mit Hilfe der Spannungsquelle U_{bias} variiert werden kann.

dies aber für die ansteuernde Schaltung relativ einfach zu realisieren. Darüber hinaus muss die Betriebsspannungsquelle U_{bias} vom externen Bezugspotential entkoppelt sein.

Insbesondere hinsichtlich der Stabilität ergeben sich durch die Auftrennung der Bezugspotentiale von Treiber und Modulator besondere Fragestellungen. Diese werden ausführlich in Kap. 5.3 behandelt.

4.1.2 Integration eines *Bias-Tees* auf den Treiber-Chip

Die Arbeitspunkteinstellung der Last mit Hilfe eines *Bias-Tees* (vgl. Abb. 4.1c)) weist den geringsten Leistungsbedarf auf. Allerdings ist die Realisierung eines *Bias-Tees* sehr aufwendig, da extern Komponenten in den Signalpfad eingebracht werden müssen, was bei hohen Frequenzen mit einem enormen Aufwand verbunden ist, um keine Störungen des Signals zu verursachen. Daher ist dies für viele Anwendungsfälle nicht praktikabel.

Stattdessen wurde im Rahmen der Arbeit ein Konzept entwickelt, um das *Bias-Tee* bzw. eine entsprechend wirkende Schaltung auf dem Treiber-Chip zu integrieren (vgl. Abb. 4.4a). Dies macht die Vorteile dieser Schaltungsvariante ohne den zusätzlichen Aufwand externer Komponenten im Signalpfad verfügbar. Der Arbeitspunktstrom für den CBS-Transistor fließt bei dieser Lösung über die Induktivität L_∞ , während das Wechselstromsignal über die Kapazität C_∞ zum Ausgang der Schaltung fließt. Dabei müssen L_∞ und C_∞ mindestens so groß gewählt werden, dass für alle Betriebsfrequenzen $\omega > \omega_{\text{min}}$

$$\omega_{\text{min}} C_\infty \gg R_o^{-1}, \quad \omega_{\text{min}} L_\infty \gg R_o \quad (4.1)$$

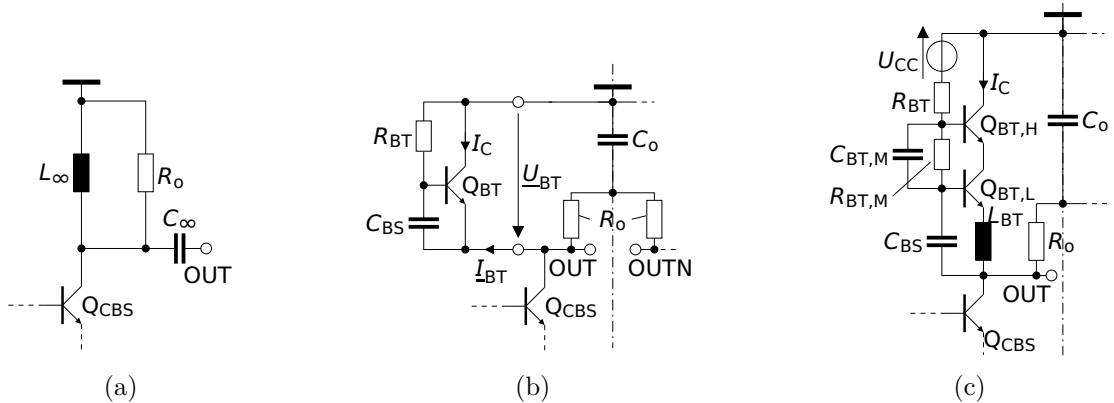


Abb. 4.4: On-chip bias-tee Konzept a) Prinzip, b) Grundkonzept, c) Realisierung.

gilt. Dabei besteht jedoch die Schwierigkeit, dass Induktivitäten der erforderlichen Größenordnung, aufgrund des Platzbedarfs und der parasitären kapazitiven Kopplung zwischen den Metallebenen und zum Halbleitersubstrat, nicht auf dem Chip integriert werden können.

Stattdessen wird ein Schaltungskonzept realisiert, das die Funktion der Induktivität nachbildet (vgl. Abb. 4.4b). Im Gegentakt wird der Knoten, der die beiden Abschlusswiderstände R_o verbindet und auf der Symmetrieachse liegt, nicht ausgelenkt (virtuelle Masse). Für den Gleichtakt wird von diesem Knoten mittels der Kapazität C_o ein Signalpfad zur Masse geschaffen. Durch den Transistor Q_{BT} kann bei einem geringen Spannungsabfall Gleichstrom zum Kollektor der Basisstufe Q_{CBS} fließen, um den Arbeitspunkt der Kaskode zu gewährleisten. Für ausreichend hohe Frequenzen koppelt die *Bootstrap*-Kapazität C_{BS} das Spannungssignal des Ausgangsknotens an die Basis von Q_{BT} . Der Spannungshub an der Basis von Q_{BT} entspricht daher im Frequenzbereich $\omega C_{BS} > R_{BT}^{-1}$ dem Hub am Emitter, sodass keine Modulation der Basis-Emitter-Spannung von Q_{BT} auftritt und dementsprechend der Transferstrom durch Q_{BT} konstant bleibt (*Bootstrap*-Schaltung). Um dies quantitativ bewerten zu können, wird die Impedanz $Z_{BT} = \frac{U_{BT}}{I_{BT}}$ bestimmt, die durch das *Bias-Tee* zwischen dem Ausgangsknoten der Schaltung und dem Bezugspotenzial eingebracht wird (vgl. Abb. 4.4b). Im Fall $|Z_{BT}| \gg R_o$ ist diese Impedanz gegenüber dem Abschlusswiderstand R_o vernachlässigbar.

In Abb. 4.5 ist der Betrag der Impedanz Z_{BT} über der Frequenz dargestellt (Kurve für $L_{BT} = 0$ pH). In dieser Darstellung wird deutlich, dass für Frequenzen im Bereich einiger Gigahertz und darüber, die Bedingung $\omega L_{BT} \gg R_o$ nicht erfüllt ist. In diesem Frequenzbereich beginnt die parasitäre Basis-Kollektor-Kapazität von Q_{BT} die Parallelschaltung mit R_{BT} zu dominieren und bildet mit der *Bootstrap*-Kapazität einen kapazitiven Spannungsteiler. Dadurch entsteht eine geringfügige Modulation der Basis-Emitter-Spannung von Q_{BT} . Infolge des hohen Arbeitspunktstromes I_C weist Q_{BT} eine hohe Transadmittanz

auf und verstärkt daher diese geringfügig modulierte Basis-Emitter-Spannung zu einer deutlichen Modulation des Stromes I_{BT} , die zu einer Verringerung der Impedanz Z_{BT} führt (Q_{BT} in Emitttergrundschtaltung). Um diese Strommodulation zu hemmen, kann eine zusätzliche Induktivität L_{BT} in Reihe zum Emittter von Q_{BT} in die Schaltung eingefügt werden, wie in vgl. Abb. 4.4c dargestellt. Diese wirkt als induktive Gegenkopplung zur Modulation der Basis-Emitter-Spannung. Daher genügen bereits relativ geringe Induktivitätswerte in der Größenordnung um 100 pH, um die Impedanz Z_{BT} im kritischen Frequenzbereich um 10 GHz deutlich zu erhöhen (vgl. Abb. 4.5). Induktivitäten mit derart geringen Werten können relativ leicht on-Chip realisiert werden (als Leitung mit großer charakteristischer Wellenimpedanz oder planare Spulen). Daher stellt eine solche Induktivität im Unterschied zu L_{∞} in Abb. 4.4b kein Hindernis bei der Realisierung eines *on-Chip-Bias-Tees* dar.

Über der Kollektor-Emitter-Strecke des Transistors Q_{BT} in Abb. 4.4b fällt die gesamte Ausgangsspannung der Treiberschaltung ab. Im konkreten Fall der im Rahmen der vorliegenden Arbeit realisierten Schaltung wurde ein maximaler Ausgangsspannungshub von 3,5 V_{pp} realisiert. Damit Q_{BT} nicht zu stark im gesättigten Bereich betrieben wird, wird eine maximale Schranke von 400 mV in Flussrichtung für die Kollektor-Basis-Spannung U_{BC} von Q_{BT} definiert. Folglich erreicht die Kollektor-Basis-Spannung U_{CB} bei minimaler Ausgangsspannung einen Wert von 3,1 V, der die Durchbruchspannung bei offener Basis U_{CEO} deutlich überschreitet (vgl. Kap. 3.2). Im Unterschied zu den Transistoren der Basisstufe der Kaskode ist der Basisknoten von Q_{BT} eher hochohmig. Außerdem fließt durch Q_{BT} ständig Strom, wohingegen in der Basisstufe zu den Zeitpunkten maximaler Kollektor-Basis-Spannung der Strom nahezu verschwindet und es daher nicht zum Lawinendurchbruch kommt. Daher zeigen Simulationen, dass sich der Strom durch Q_{BT} ohne weitere Maßnahmen punktförmig in der Mitte der rechteckigen Fläche des Emittterstreifens konzentriert (ähnlich wie in Abb. 3.21a gezeigt). Um dies zu vermeiden, wird die Ausgangsspannung auf zwei Kollektor-Emitter-Strecken aufgeteilt, indem zwei in Serie

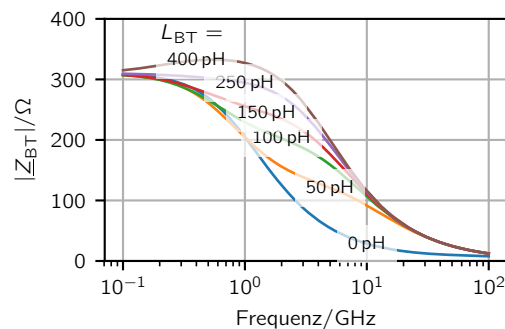


Abb. 4.5: Frequenzabhängiger Betrag der Impedanz Z_{BT} , die durch das *on-Chip-Bias-Tee* zwischen dem Ausgangsknoten der Treiberschaltung und dem Bezugspotential eingebracht wird. Durch eine zusätzliche, am Emittter von Q_{BT} eingebrachte, Induktivität L_{BT} kann diese Impedanz in einem bestimmten Frequenzbereich erhöht werden.

geschaltete *Bias-Tee*-Transistoren $Q_{BT,H}$, $Q_{BT,L}$ wie in Abb. 4.4c dargestellt, eingesetzt werden [31]. Durch geeignete Dimensionierung des Basis-Spannungsteilers bestehend aus $C_{BT,M}$, $R_{BT,M}$ und R_{BT} , sowie den parasitären Kapazitäten von $Q_{BT,M}$ und $Q_{BT,H}$ wird erreicht, dass an der Basis von $Q_{BT,H}$ in etwa der halbe dynamische Ausgangsspannungshub anliegt, sodass sich dieser gleichmäßig auf die Kollektor-Emitter-Strecken der beiden Transistoren aufteilt, wodurch die maximale Kollektor-Basis-Spannung auf 1,6 V reduziert und somit der Durchbruch vermieden wird. Um zu vermeiden, dass die Transistoren bei voller Aussteuerung zu stark im gesättigten Bereich betrieben werden, wird eine externe Hilfsspannungsquelle $U_{CC} > 0$ V in Serie zu R_{BT} verwendet. Deren Leistungsaufnahme ist wegen des geringen Basisstroms von $Q_{BT,H}$ vernachlässigbar.

Das Potential dieses Konzepts zur Reduktion der benötigten Versorgungsspannung und damit der Verlustleistung der Treiberschaltung hängt im Einzelfall von verschiedenen Faktoren ab:

- der Möglichkeit zur Herstellung geeigneter Koppelkapazitäten C_{BS} mit geringen parasitären Kapazitäten in der eingesetzten Halbleitertechnologie,
- der Durchbruchfeldstärke der eingesetzten Transistoren, da das *on-Chip-Bias-Tee* durch die Serienschaltung bereits eine relativ große Arbeitspunktspannung benötigt, die das Einsparpotenzial stark verringert³,
- der zu erzielenden Grenzfrequenz der Schaltung im Verhältnis zur parasitären Basis-Kollektor-Kapazität der Transistoren, da Abb. 4.5 bspw. zeigt, dass im vorliegenden Fall auch mit relativ großen Gegenkopplungsinduktivitäten das *Bias-Tee* für Frequenzen > 15 GHz nicht mehr ausreichend hochohmig ist.

Daher muss im konkreten Fall überprüft werden, ob das Konzept einsetzbar ist bzw. inwiefern es adaptiert werden kann.

Bei der im Rahmen der Arbeit realisierten Schaltung der Gleichspannungspegel am Ausgangsknoten von $-3,5$ V zu $-2,4$ V verringert und so die Leistungsaufnahme der Schaltung um 15 % reduziert werden [15]. Entsprechende Messergebnisse, sowie der Vergleich mit einer Referenzschaltung ohne *on-Chip Bias-Tee*, sind in Kap. 6.1 dargestellt.

4.2 Abhängigkeit der Leistungsaufnahme des Treibers von Performancekriterien

Im Rahmen des BMBF-Forschungsprojekts *Next Generation Optical Access* (NGOA), in dem auch der in dieser Arbeit vorgestellte lineare Modulatortreiber (vgl. Kap. 6.1) entworfen wurde, wurden zeitgleich Performancemodelle entwickelt mit dem Ziel, auf

³Falls sich das *on-Chip-Bias-Tee* mit einem einzelnen Bootstrap-Transistor realisieren ließe, könnte die über ihm abfallende Spannung weiter reduziert werden, was gegebenenfalls eine stärkere prozentuale Reduktion der Verlustleistung nach sich ziehen würde.

einer höheren Abstraktionsebene den Einfluss von spezifizierten, funktionsrelevanten Kriterien (Performancekriterien) auf die Energieeffizienz von Schaltungen zu untersuchen. Da integrierte Hochgeschwindigkeitsschaltungen definitionsgemäß mit einer so hohen Signalbandbreite (Geschwindigkeit) arbeiten, dass ihre Performance an der Grenze der Machbarkeit liegt, ergibt sich der Leistungsbedarf der Schaltung meist als Folge der Spezifikation. Bei einer gegebenen Schaltungstopologie und gegebenen Technologie-Parametern besteht kein wesentlicher Spielraum zur Verbesserung hinsichtlich der Leistungsaufnahme und somit der Energieeffizienz. Die Einführung der zuvor angesprochenen, zusätzlichen Abstraktionsebene soll ermöglichen, die Abhängigkeit der Leistungsaufnahme von sogenannten Technologie-Parametern und der Schaltungstopologie zu beschreiben (vgl. [104]). Wesentlich hierfür ist die Herleitung physikalischer Kompaktmodelle, sogenannter Performancemodelle, die einen transparenten analytischen Zusammenhang zwischen den Performancekriterien und den zur Optimierung einstellbaren Schaltungs- und Technologie-Parametern herstellen.

Im Rahmen der vorliegenden Arbeit soll hierzu ein Beitrag geleistet werden, indem am Beispiel der Treiberschaltung in der in Kap. 2.1 beschriebenen Topologie ein Zusammenhang zwischen den Performancekriterien Ausgangsspannungshub, Grenzfrequenz bzw. Bandbreite, sowie Linearität und der Leistungsaufnahme hergestellt wird. Dabei muss berücksichtigt werden, dass die Leistungsaufnahme nicht nur jeweils von Ausgangsspannungshub und Grenzfrequenz abhängt, sondern diese beiden Performancekriterien auch jeweils voneinander abhängig sind.

4.2.1 Abhängigkeit der Leistungsaufnahme vom Ausgangsspannungshub

Es wird angenommen, dass die gesamte Treiberschaltung aus einer einzigen, negativen Versorgungsspannungsquelle U_{EE} gespeist wird⁴. Außerdem sei der Treiber am Ausgang direkt (ohne kapazitive Kopplung, o.ä.) mit einer $50\ \Omega$ -Last verbunden (vgl. Abb. 4.1a). Die Verlustleistung ergibt sich zu

$$P_{\text{tot}} = |U_{EE}| I_{\text{tot}}, \quad (4.2)$$

wenn insgesamt der Strom I_{tot} durch die Schaltung fließt.⁵ Die Versorgungsspannung der Schaltung sei frei wählbar, d. h. es muss nicht auf eine ohnehin schon vorhandene Versorgungsspannung für weitere ICs, die vom gleichen Netzteil versorgt werden, zurück gegriffen werden.

⁴Im Fall von Schaltungen, bei denen unterschiedliche Zelle oder Transistorstufen aus verschiedenen Versorgungsspannungsquellen gespeist werden, ergeben sich Freiheitsgrade bzgl. der Optimierung der Leistungsaufnahme. Diese werden aufgrund der erhöhten Komplexität im Folgenden nicht betrachtet

⁵Für eine präzisere Betrachtung muss der zeitliche Mittelwert des Stroms herangezogen werden. Da der Gesamtstrom sich infolge der Schaltungstopologie (vgl. Kap. 2.1) aber als Summe der Arbeitspunktströme der einzelnen Stufen ergibt, die zeitlich kaum schwanken, kann auch der Gesamtstrom als konstant angesehen werden.

Die Versorgungsspannung wird bei der Schaltung basierend auf der in Kap. 2.1 vorgestellten Topologie durch die Transadmittanzstufe bzw. die Kaskode am Schaltungsausgang festgelegt.⁶ Der minimale Arbeitspunktstrom der TAS muss so groß sein, dass am Schaltungsausgang der gewünschte Spannungshub U_{Hub} (einphasig) realisiert werden kann. Mit dem on-Chip Abschlusswiderstand R_T und dem Widerstand der externen Last R_L folgt

$$I_{\text{TAS,min}} = U_{\text{Hub}} (R_L^{-1} + R_T^{-1}). \quad (4.3)$$

Zur Verbesserung der Linearität kann ein größerer Arbeitspunktstrom $I_{\text{TAS}} = I_{\text{TAS,min}} + 2I_{\text{aus}}$ gewählt werden, sodass bei Vollaussteuerung der TAS durch den ausgeschalteten Transistor noch ein Reststrom I_{aus} fließt.

Um die minimal benötigte Versorgungsspannung abzuschätzen, wird zunächst eine Schaltung ohne Basisstufe angenommen (vgl. Abb. 4.6a). In diesem Fall ergibt sich das minimale Potential am Kollektor des Strom führenden Transistors der TAS zu

$$U_{\text{C,TAS}} = -(R_T^{-1} + R_L^{-1})^{-1} (I_{\text{TAS,min}} + I_{\text{aus}}) = -|U_{\text{Hub}}| - (R_T^{-1} + R_L^{-1})^{-1} \cdot I_{\text{aus}}. \quad (4.4)$$

Die minimale Spannung, die über der Kollektor-Emitter-Strecke des TAS-Transistors abfällt, wird wie folgt abgeschätzt: Damit der Transistor im normal aktiven Bereich betrieben wird, darf die Basis-Kollektor-Diode nicht im Flussbereich betrieben werden,

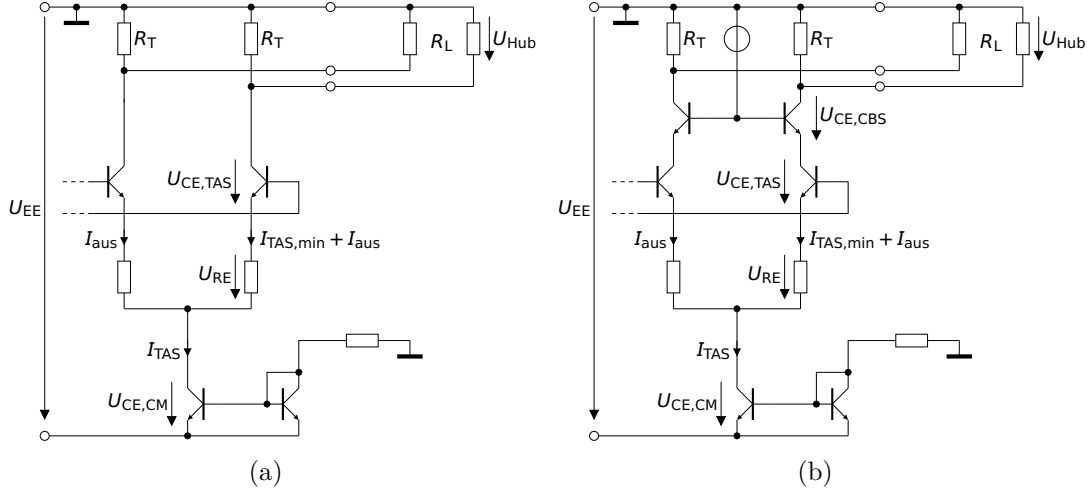


Abb. 4.6: Die Ausgangsstufe, bestehend aus a) einer Transadmittanzstufe bzw. b) einer Kaskode, legt den minimalen Betrag der Versorgungsspannung U_{EE} der Treiberschaltung fest.

⁶Theoretisch könnte eine große Anzahl an Emitterfolgern zur Ansteuerung der TAS bzw. Kaskode zu einer höheren minimalen Versorgungsspannung führen. Aber gerade im Hinblick auf Treiberschaltungen ist der Spannungshub U_{Hub} am Schaltungsausgang in der Regel so groß, dass die TAS bzw. die Kaskode die Versorgungsspannung festlegt.

entsprechend muss $U_{BC} < 0\text{ V}$ gelten, woraus unmittelbar folgt $U_{CE} > U_{BE} \approx 900\text{ mV}$, wobei die Flussspannung U_{BE} eines modernen HBT-Transistors zu 900 mV angenommen wird. Liegt die maximale Betriebsfrequenz des Treibers deutlich unter der in der Technologie erreichbaren Transitfrequenz f_T , so kann zur Verlustleistungsreduktion der Transistor auch leicht im gesättigten Bereich betrieben werden (vgl. [101]), wodurch sich die Transitfrequenz des Transistors verringert. Entsprechend wird eine maximale Flussspannung der Basis-Kollektor-Diode $U_{BC,\max}$ definiert, die nicht überschritten werden darf, und es gilt $U_{CE} > U_{BE} - U_{BC,\max}$. Für die im Rahmen der Arbeit realisierten Treiberschaltungen wird $U_{BC,\max} = 300\text{ mV}$ festgelegt.

Im Fall einer Emitttergegenkopplung, beispielsweise für lineare Treiber, fällt über dem Gegenkopplungswiderstand eine zum Widerstandswert proportionale Spannung $U_{RE} = R_E I_E$ ab. Wegen der hohen Stromverstärkung B des TAS-Transistors entspricht der Emittterstrom näherungsweise dem Kollektorstrom $I_E \approx I_C$ und es folgt

$$U_{RE} = R_E (I_{TAS,\min} + I_{aus}). \tag{4.5}$$

Um die erforderliche Versorgungsspannung zu reduzieren, kann die Stromquelle I_{TAS} auch aufgeteilt und direkt an die Emittterknoten der TAS-Transistoren angeschlossen werden (vgl. Abb. 4.7b). In diesem Fall fließt kein Gleichstrom über R_E und es fällt daher im Arbeitspunkt auch keine Spannung an R_E ab ($U_{RE} = 0\text{ V}$). Allerdings wirkt bei dieser Anordnung die parasitäre Kapazität der Stromquelle ohne Gegenkopplung direkt am Emittter des TAS-Transistors, wodurch sich die Gleichtaktunterdrückung der TAS verringert. Deshalb wird im folgenden der in Abb. 4.7a dargestellte Fall mit U_{RE} gemäß Gl. 4.5 angenommen.

Über der Stromquelle I_{TAS} sollte ähnlich wie beim TAS-Transistor eine Spannung $U_{CE} > U_{BE} - U_{BC,\max}$ abfallen. Da in diesem Fall der Strom durch den Transistor konstant bleibt, spielt die Transitfrequenz f_T keine Rolle zur Festlegung von $U_{BC,\max}$. Allerdings wird durch eine Vergrößerung von $U_{BC,\max}$ auch die Sperrschichtkapazität C_{CB} erhöht, weshalb auch in diesem Fall von $U_{BC,\max} = 300\text{ mV}$ ausgegangen wird.

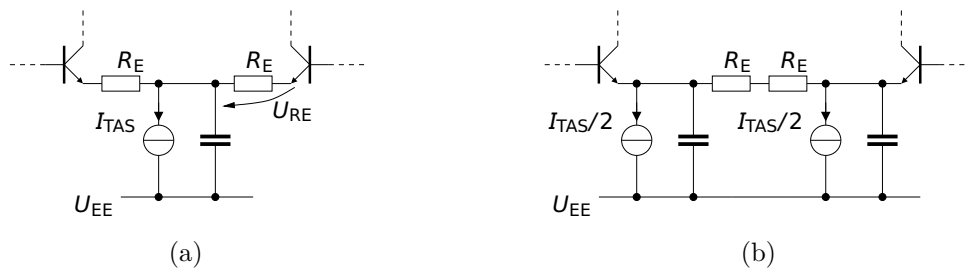


Abb. 4.7: Unterschiedliche Anordnung der Stromquelle der TAS: a) TAS-Stromquelle in Serie zum Emitttergegenkopplungswiderstand; b) aufgeteilte TAS-Stromquelle, angeschlossen direkt an den Emittterknoten der TAS-Transistoren.

Somit ergibt durch Addition der einzelnen Spannungsabfälle der Betrag der Spannung U_{EE} zu mindestens

$$|U_{EE}| \geq ((R_L^{-1} + R_T^{-1})^{-1} + R_E)(I_{TAS,\min} + I_{aus}) + 2(U_{BE} - U_{BC,\max}). \quad (4.6)$$

Im Sinne einer minimalen Leistungsaufnahme ist dieser Mindestwert als Versorgungsspannung zu wählen.

Falls die einfache Transadmittanzstufe mit einer zusätzlichen Basisstufe (CBS) zu einer Kaskode erweitert wird, gelten alle Abschätzungen entsprechend. Zusätzlich entsteht ein weiterer Spannungsabfall U_{CE} über der CBS, der sich analog zur TAS zu $U_{CE} = U_{BE} - U_{BC,\max}$ ergibt. Entsprechend folgt für die Betriebsspannung in Analogie zu Gl. 4.6

$$|U_{EE}| \geq ((R_L || R_T) + R_E)(I_{TAS,\min} + I_{aus}) + 3(U_{BE} - U_{BC,\max}). \quad (4.7)$$

Insbesondere wird an Gl. 4.6 und Gl. 4.7 deutlich, dass eine höhere Linearität der Schaltung, die eine Vergrößerung von R_E und meist auch von I_{aus} zur Folge hat, sowohl mit einem Anstieg des Betriebsstroms der Gesamtschaltung um I_{aus} , als auch mit einer Vergrößerung des Betrags der notwendigen Betriebsspannung U_{EE} einhergeht.

Neben der Betriebsspannung U_{EE} muss der Gesamtstrom I_{tot} der Treiberschaltung ermittelt werden. Zur Vereinfachung dieses Problems beschränkt sich die folgende Überlegung auf eine einzelne Verstärkerzelle. Mögliche Stufen zur Vorverstärkung des Signals werden nicht betrachtet. Die Leistungsaufnahme solcher Vorverstärker-Stufen fällt ohnehin meist deutlich geringer aus als die der eigentlichen Treiberzelle am Schaltungsausgang.

Zusätzlich zum Arbeitspunktstrom der TAS bzw. Kaskode werden die Arbeitspunktströme der ansteuernden Emitterfolger zur Berechnung der Leistungsaufnahme benötigt. Üblicherweise werden in den Treiberzellen zwei bis drei differentielle Emitterfolger zur Ansteuerung der TAS eingesetzt (vgl. [59]). Die Impedanztransformation eines einzelnen Emitterfolgers ist nicht ausreichend, um am Eingang eine ausreichend hohe Entkopplung von der geringen Eingangsimpedanz der TAS zu erreichen, die für eine hinreichend gute Anpassung am Treibereingang notwendig ist. Mehr als drei Emitterfolger erhöhen das Risiko von Instabilitäten derart, dass sie kaum zum Einsatz kommen.⁷

Der Betrag der Ausgangsimpedanz des Emitterfolgers wird mit steigendem Arbeitspunktstrom geringer. Um niederohmig Lasten ansteuern zu können, werden entsprechend größere Arbeitspunktströme benötigt (vgl. Kap. 2.2.3.3). Ein größerer Arbeitspunktstrom der TAS erhöht deren Eingangskapazität und erfordert daher einen größeren Arbeitspunktstrom des ansteuernden Emitterfolgers. Dadurch vergrößert sich auch dessen

⁷Die Verstärkerschaltung in [61] bildet eine Ausnahme. In diesem Fall kommen vier Emitterfolger zum Einsatz, die allerdings vom Eingang zum Ausgang kleiner werdende Flächen aufweisen. Es handelt sich jedoch nicht um eine Treiberschaltung im Sinne der vorliegenden Arbeit, da der maximal erreichbare differentielle Ausgangsspannungshub lediglich $1,5 V_{pp}$ beträgt.

Eingangskapazität, was entsprechend größere Arbeitspunktströme aller Emitterfolger in der Emitterfolgerkaskade notwendig macht. Zur groben mathematischen Beschreibung dieses Zusammenhangs soll angenommen werden, dass eine proportionale Beziehung zwischen dem Arbeitspunktstrom jedes Emitterfolgers und dem Arbeitspunktstrom seines jeweiligen Lasttransistors besteht. Im Fall einer Schaltung mit drei Emitterfolgern gilt daher

$$\begin{aligned} I_{EF3} &= \alpha_1 I_{TAS}, \\ I_{EF2} &= \alpha_2 I_{EF3} \text{ und} \\ I_{EF1} &= \alpha_3 I_{EF2}, \end{aligned} \tag{4.8}$$

wobei I_{EFi} jeweils den Strom des i -ten Emitterfolgers bezeichnet und die Emitterfolger entlang des Signalpfads aufsteigend nummeriert werden. Da die Eingangsimpedanzen der Emitterfolger und der TAS bei Frequenzen oberhalb von f_β durch die Kapazitäten am Basisknoten dominiert werden, hängen $\alpha_1, \alpha_2, \alpha_3$ stark von der Frequenz ab (vgl. Kap. 2.2.2)⁸. Wenn die Transistorfläche jeweils so skaliert wird, dass die Transistoren der Emitterfolger und der TAS bei gleich großen Stromdichten betrieben werden, dann sind sowohl Sperrschicht- als auch Diffusionskapazitäten proportional zum Arbeitspunktstrom und es gilt $\alpha_2 = \alpha_3$. Falls eine Kaskode verwendet wird, gilt zudem $\alpha_1 = \alpha_2$, da der Spannungshub am Kollektor der TAS vernachlässigbar ist. Im Fall einer reinen TAS ohne Basisstufe muss jedoch die Vergrößerung der am Basisknoten wirksamen Basis-Kollektor-Kapazität durch den Millereffekt berücksichtigt werden.

Zusätzlich zu den Arbeitspunktströmen der Emitterfolger und der Kaskode werden Ströme für die Referenzzweige der typischerweise eingesetzten Stromspiegel benötigt. Um diese möglichst gering zu halten, werden hohe Flächenverhältnisse zwischen dem eigentlichen Transistor der Stromquelle und dem Transistor im Referenzzweig angestrebt. Für zu große Flächenverhältnisse steigt jedoch der Fehler durch die nicht mehr zu vernachlässigenden Basisströme an (vgl. I_B in Abb. 4.8a). In der Praxis sind daher häufig Verhältnisse in der Größenordnung 10 : 1 sinnvoll (je nach der Stromverstärkung B der eingesetzten Transistoren). Entsprechend erhöht sich der fließende Strom um bis zu 10 %, je nachdem ob Stromspiegel oder Widerstände eingesetzt werden. Um den Strom in den Referenzzweigen weiter reduzieren zu können, kann der Basisstrom des Stromspiegels mit Hilfe eines Emitterfolgers vom Referenzstrom entkoppelt werden (vgl. Abb. 4.8b), wodurch sich größere Flächenverhältnisse realisieren lassen (in der Größenordnung von 100, je nach Stromverstärkung B der Transistoren). Der Einsatz von Widerständen als Stromquellen ist im Fall der im Signalpfad näher zum Eingang angeordneten Emitterfolger häufig sinnvoll. Bei diesen sorgen die relativ geringen Arbeitspunktströme in Kombination mit dem relativ großen Spannungsabfall vom Emitter zur Betriebsspannung U_{EE} für große Widerstandswerte. Im Vergleich zu einem Stromspiegel, dessen Transistoren bei den niedrigen Strömen gegebenenfalls die minimale Fläche der Technologie aufweisen und

⁸Typische Werte für $\alpha_1, \alpha_2, \alpha_3$ liegen für die im Rahmen der vorliegenden Arbeit entwickelten Treiberschaltungen im Bereich 0,2 bis 0,6.

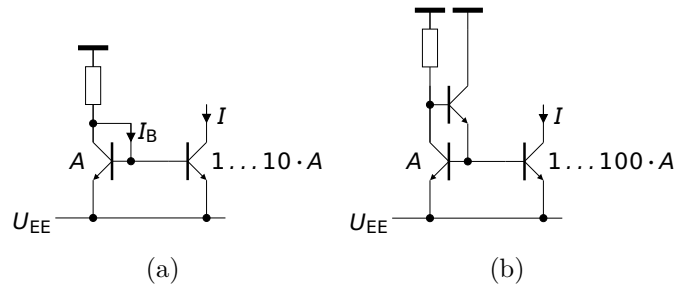


Abb. 4.8: a) Einfacher Stromspiegel mit einem maximalen Flächenverhältnis in der Größenordnung von 10. b) Stromspiegel mit Emitterfolger im Basiszweig, der größere Flächenverhältnisse ermöglicht.

nicht weiter verkleinert werden können, ergibt sich durch den Einsatz von Widerständen für höhere Frequenzen entsprechend ein größerer Betrag des Innenwiderstands der Stromquelle. Die weiter hinten im Signalpfad angeordneten Emitterfolger haben größere Arbeitspunktströme und ihre Emitterknoten liegen auf einem niedrigeren Potential, sodass das Einprägen der Arbeitspunktströme eher mittels Stromspiegeln erfolgen sollte, um eine hochohmige Last für den Emitterfolger zu gewährleisten.

Um geeignete Arbeitspunktpotentiale an den Basen der Emitterfolger und der Transistoren der Transadmittanzstufe einzustellen, sind unter Umständen zusätzliche Dioden zwischen den Emitterfolgern oder eine kapazitive Kopplung mit einem geeigneten Spannungsteiler am Eingang der Schaltung notwendig. In der in Abb. 2.2 gezeigten Schaltung befinden sich beispielsweise in der ersten Zelle zwischen den beiden Emitterfolgern Dioden zur Arbeitspunkteinstellung. Eine solche Anordnung mit n Dioden ermöglicht die Verminderung der Basispotentiale der folgenden Stufen um $n U_{BE}$. Diese Dioden beeinflussen jedoch häufig die Signalübertragungsfunktion in einer nicht erwünschten Weise (vgl. Anhang B). Alternativ bietet sich im Fall einer kapazitiven Kopplung am Eingang der Schaltung die Einstellung der Basispotentiale mit Hilfe eines einfachen Spannungsteilers an, wie in der in Abb. 2.8a dargestellten Schaltung. In diesem Fall fließt zusätzlich zu den Arbeitspunktströmen der einzelnen Stufen ein geringer Strom durch den Spannungsteiler am Schaltungseingang. Aufgrund der hohen statischen Stromverstärkung B der Transistoren kann dieser Spannungsteiler so hochohmig dimensioniert werden, dass der durch ihn fließende Strom um eine Größenordnung geringer ist als der Arbeitspunktstrom des ersten Emitterfolgers.

4.2.2 Abhängigkeit der Leistungsaufnahme von der Grenzfrequenz

Die Betriebsspannung wird, wie in Kap. 4.2.1 beschrieben, durch die Spannungsabfälle in der Kaskode bzw. der TAS bestimmt und ist somit von der angestrebten Grenzfrequenz unabhängig. Auch der Arbeitspunktstrom der TAS I_{TAS} hängt in erster Näherung nicht von der Grenzfrequenz ab, da er im Wesentlichen durch den Ausgangsspannungshub

und die Linearität vorgegeben wird. Die angestrebte Grenzfrequenz hat jedoch einen starken Einfluss auf die Dimensionierung der Emitterfolger und deren Arbeitspunktströme und beeinflusst daher die Gesamtstromaufnahme des Treibers und somit dessen Leistungsaufnahme.

Unabhängig von einer möglicherweise notwendigen Verstärkungsüberhöhung der Emitterfolgerkette zur Kompensation des Abfalls der Verstärkung im Bereich der Grenzfrequenz am Ausgang der Schaltung (vgl. Kap. 2.2.2.2) muss der Arbeitspunktstrom jedes Emitterfolgers ausreichend groß dimensioniert werden, damit der Emitterfolger die anzusteuernde Last treiben kann. Diese Last ist im Regelfall überwiegend kapazitiv und wird durch die Eingangsimpedanz des nachfolgenden Emitterfolgers oder der anzusteuernenden Transmittanzstufe hervorgerufen. Mit Hilfe des in Abb. 4.9 gezeigten, einfachen Modells eines belasteten Emitterfolgers, lässt sich der minimal benötigte Arbeitspunktstrom I_0 abschätzen. Für den Strom, der am Emitter des Transistors fließt, gilt: $i_E = I_0 + i_L(t)$. Beim Laden der Kapazität wird der Emitterstrom des Transistors wegen $i_L > 0$ vergrößert, beim Entladen verringert ($i_L < 0$). Wenn sich der Transistor im normal-aktiven Bereich befindet, tritt jedoch nie ein negativer Emitterstrom auf, d.h. es fließt zu keinem Zeitpunkt ein Strom in den Emitter des Transistors hinein. Der maximal fließende Entladestrom beträgt also I_0 . Der Emitterfolger wird an seiner Basis mit einer Spannung $u_{in}(t) = U_0 \sin(2\pi f t)$ angesteuert. Im angestrebten Fall hat der Emitterfolger eine Spannungsübertragungsfunktion von näherungsweise 1, sodass die gleiche Spannung an der Lastkapazität anliegt. Für den Strom $i_L(t)$ gilt dann

$$i_L(t) = C_L \frac{du_{in}(t)}{dt} = -U_0 C_L 2\pi f \cos(2\pi f t). \quad (4.9)$$

Zu den Zeitpunkten $t = 0, f^{-1}, 2f^{-1}, \dots$ soll der maximale Entladestrom $I_{\max} = U_0 C_L 2\pi f$ fließen. Um dies zu ermöglichen, muss

$$I_0 > I_{\max} = U_0 C_L 2\pi f \quad (4.10)$$

gelten. Der minimale Arbeitspunktstrom des Emitterfolgers wird also durch die Amplitude des zu übertragenden Spannungssignals U_0 , die Lastkapazität C_L und die maximale Signalfrequenz f festgelegt. Da die Größe der kapazitiven Last in erster Linie vom

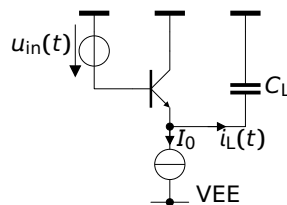


Abb. 4.9: Einfaches Modell eines Emitterfolgers mit Ansteuerung und Last zur Abschätzung des minimal benötigten Arbeitspunktstromes.

Arbeitspunktstrom des nachfolgenden Emitterfolgers oder der nachfolgenden Transadmittanzstufe abhängt, legt Gl. 4.10 letztendlich über U_0 und f fest, wie groß die Faktoren α_i in Gl. 4.8 gewählt werden müssen.

Im Allgemeinen sollte I_0 deutlich (erfahrungsgemäß im zweistelligen Prozentbereich) größer gewählt werden, als in Gl. 4.10 abgeschätzt, damit durch den Emitterfolger weiter ein gewisser Reststrom fließt. Sonst verringert sich bei zu großer Aussteuerung des Emitterfolgers die Amplitude des übertragenen Spannungssignals und somit auch die Linearität des Emitterfolgers. Detaillierter als in Gl. 4.10 lässt sich dies mit Hilfe der Linearitätsberechnung mit Volterra-Reihen (vgl. Kap. 2.2.3) ermitteln. Allerdings muss hierbei beachtet werden, dass diese Abschätzungen nur für schwach nicht-lineare Systeme gelten (vgl. Kap. 2.2.3.3). Insbesondere bei der Dimensionierung begrenzender Treiberschaltungen ist die Linearität so gering bzw. die Verzerrungen so groß, dass Volterra-Reihen keine brauchbaren Ergebnisse liefern. In diesem Fall ist Gl. 4.10 anzuwenden und ein entsprechend größerer Strom zu wählen. Die Ergebnisse müssen letztendlich durch transiente Simulationen verifiziert werden.

Wird die Emitterfolgerkaskade nicht nur zur Impedanztransformation benötigt, sondern auch um eine Verstärkungsüberhöhung zu generieren, so sind die Emitterlängen und -breiten, sowie die Arbeitspunktströme der Emitterfolger zusätzliche Optimierungsparameter (vgl. Kap. 2.2.2.2). Da sich Emitterlängen und -breiten auf die parasitären Kapazitäten und somit auch auf die Arbeitspunktströme der jeweils ansteuernden Emitter auswirken, haben alle diese Optimierungsparameter ebenfalls Einfluss auf die Stromaufnahme der Emitterfolgerkaskade. Die Optimierung der Emitterfolgerkaskade mit dem Zweck der Verstärkungsüberhöhung ist derart komplex, dass für diesen Fall keine einfache Abschätzung des zusätzlich benötigten Stromes angegeben werden kann. Er ist aber im Allgemeinen zumindest in der Größenordnung des minimal in der Emitterfolgerkaskade benötigten Stromes, sodass dieser als Abschätzung verwendet werden kann. Insbesondere wenn die Möglichkeiten der zur Verfügung stehenden Halbleitertechnologie voll ausgeschöpft werden müssen, also wenn die Grenzfrequenz des zu entwickelnden Verstärkers die Größenordnung von $f_T/4$ erreicht, sollten zu diesem Zweck aber Reserven eingeplant werden (vgl. [59]).

4.2.3 Fazit

Die Angabe einer geschlossenen Formel zur Abschätzung der Leistungsaufnahme eines Treiber-Verstärkers ist nicht einfach möglich. Aber im Sinne der Herleitung einfacher Abschätzungen, beispielsweise zur Erstellung von Performancemodellen, kann die Leistungsaufnahme von Treiberschaltungen, die der im Rahmen der vorliegenden Arbeit betrachteten Topologie (vgl. Kap. 2.1) folgen, zumindest mit einigen einfachen Fallunterscheidungen näherungsweise ermittelt werden.

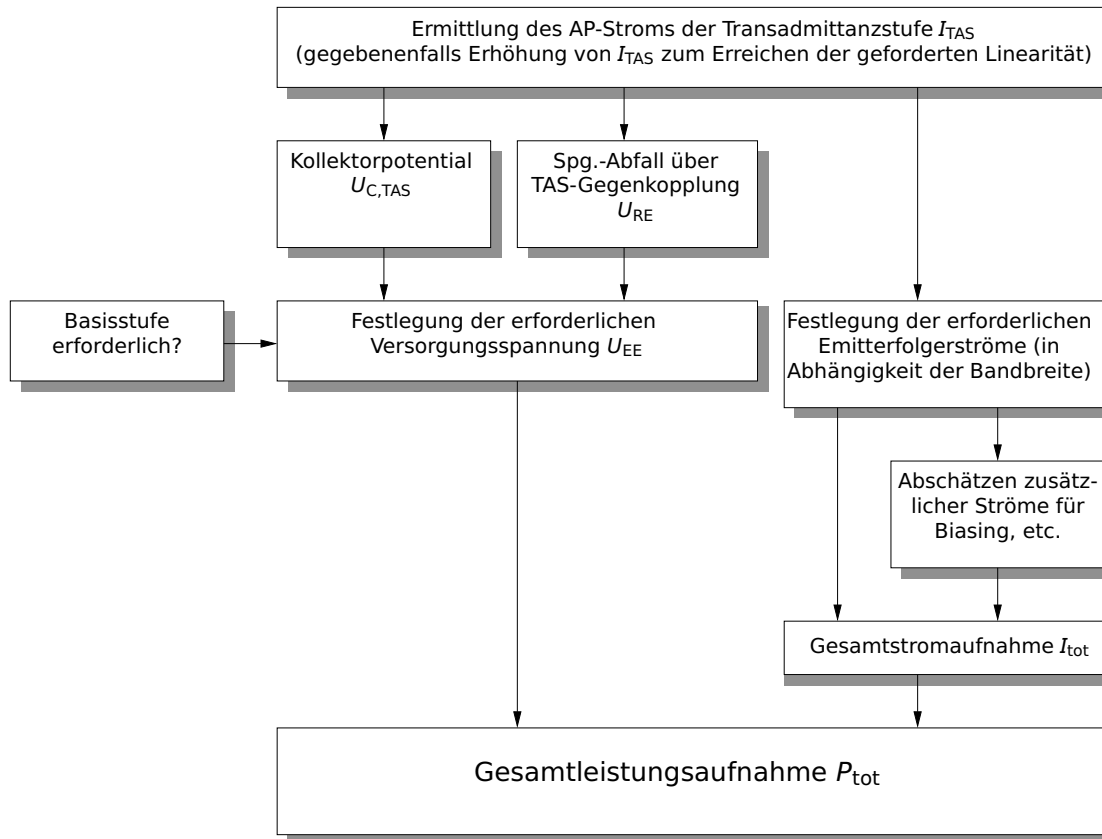


Abb. 4.10: Graphische Darstellung der einzelnen Schritte, die zur Abschätzung der gesamten Leistungsaufnahme der Treiberschaltung notwendig sind.

Ein Überblick über die gesamte Vorgehensweise ist in Abb. 4.10 dargestellt. Zunächst muss der Arbeitspunktstrom der Transadmittanzstufe I_{TAS} festgelegt werden (vgl. Gl. 4.3), wobei gegebenenfalls Linearitätsanforderungen zu berücksichtigen sind. Dann muss entschieden werden, ob eine zusätzliche Basisstufe notwendig ist, um die geforderte Bandbreite zu erreichen. Dementsprechend ergibt sich schließlich die benötigte Versorgungsspannung U_{EE} der Schaltung aus Gl. 4.6 bzw. Gl. 4.7. Die Linearitätsanforderung beeinflusst über die Festlegung der Gegenkopplung der TAS R_E schließlich deren Spannungsverstärkung und legt somit auch die benötigte Amplitude U_0 des ansteuernden Signals fest. Diese Ansteuerungsamplitude U_0 , die geforderte Bandbreite sowie die geforderte Linearität bestimmen die Wahl der Faktoren α_i in Gl. 4.8 (vgl. Kap. 4.2.2) und somit die Stromaufnahme der Emitterfolger. Gegebenenfalls werden zusätzlich noch weitere (geringe) Ströme zur Realisierung von Stromspiegeln (*Biasing*), etc. benötigt, die sich sinnvoll als Bruchteil β (im einstelligen Prozentbereich) der Gesamtstromaufnahme beschreiben lassen. Mit diesen Festlegungen ergibt sich die minimale Leistungsaufnahme der Treiberschaltung

zu

$$P_{\text{tot}} = |U_{\text{EE}}| I_{\text{TAS}} \left(1 + \sum_i \alpha_i + \beta\right). \quad (4.11)$$

Die Angabe einer geschlossenen Formel für die Verlustleistung einer Treiberschaltung ist zwar nicht möglich, aber durch Einsetzen von Gl. 4.6 bzw. Gl. 4.7 in Gl. 4.11 ist beispielsweise unmittelbar zu erkennen, dass die Verlustleistung vom Quadrat des Arbeitspunktstromes der TAS I_{TAS} abhängt. Aufbauend auf den hier vorgestellten Erkenntnissen lassen sich daher typische Fragestellungen beantworten, wie z. B.:

- Wie viel zusätzliche Verlustleistung benötigt eine bestimmte Anforderung an die Linearität oder die Bandbreite?
- Welche Datenrate/Bandbreite ist optimal um Daten möglichst energieeffizient zu übermitteln?
- Wie stark kann die Leistungsaufnahme reduziert werden, wenn eine Technologie mit Transistoren mit geringeren parasitären Kapazitäten verwendet wird?

Konkrete Antworten auf solche Fragestellungen sind nach wie vor schwierig, auch weil häufig Wissen aus vielen verschiedenen Disziplinen involviert ist. Beispielsweise beinhaltet die Verlustleistung eines Übertragungssystem nicht nur Einflüsse der elektronischen Komponenten, sondern ist auch abhängig von komplexen Algorithmen in digitalen Signalprozessoren (DSPs), von optischen Komponenten und Effekten, etc. Die hier vorgestellten Zusammenhänge bilden daher erste Schritte um zumindest bezüglich der Systemkomponente „Modulatortreiber“ Fragen und Abhängigkeiten bzgl. der Leistungsaufnahme beantworten zu können.

Kapitel 5

Stabilitätsbetrachtungen

Treiberschaltungen sind in besonderem Maße anfällig für Stabilitätsprobleme, da hohe Frequenzen und große Strom- und Spannungshübe, die zu im Vergleich mit anderen Hochgeschwindigkeitsschaltungen niederohmigen Schaltungsknoten führen, aufeinandertreffen [59]. Die Destabilisierung der Schaltung wird meist durch Rückkopplungsschleifen über parasitäre Elemente hervorgerufen, die zunächst nicht offensichtlich sind. Betrachtet man beispielsweise den Spannungshub an einer parasitären Induktivität des Massennetzwerks, der proportional zur zeitlichen Änderung des Stromes ist, so wird schnell deutlich, dass die Kombination aus hohen Strömen und hohen Grenzfrequenzen eine besonders gewissenhafte Stabilitätsuntersuchung erfordert.

Neben den parasitären Elementen spielt auch die Impedanztransformation durch die Transistoren eine Rolle. Insbesondere erscheinen im Frequenzbereich oberhalb ihrer Grenzfrequenz ω_β an der Basis eines Transistors angeschlossene Impedanzen an dessen Emitter um 90° in der komplexen Ebene gedreht. Aus parasitären Induktivitäten werden daher in der Kleinsignalbetrachtung im entsprechenden Frequenzbereich negative Widerstände (vgl. Kap. 2.2.2.1, [6]). Solche Impedanzen mit negativem Realteil können ebenso wie Rückkopplungsschleifen zu aufklingenden Oszillationen führen.

Zur zielgerichteten Entwicklung von Schaltungen ist es neben der Information, ob eine Schaltung stabil ist oder nicht, wichtig zu wissen, wie sensitiv die Stabilität von einzelnen Schaltungsparametern oder der Topologie der Schaltung abhängt. Insbesondere ist es für den Schaltungsentwickler hilfreich, mittels geeigneter Methoden Erkenntnisse über die Ursache-Wirkung-Zusammenhänge potenzieller Instabilitäten zu erlangen. Daher stehen im Folgenden Methoden im Vordergrund, die auf der Untersuchung von Spannungen und Strömen an geeigneten Knoten bzw. Zweigen der Schaltung basieren, im Gegensatz zu alternativen Zugängen basierend auf der Knotenadmittanzmatrix, die für ein tieferes Verständnis der Schaltung kaum hilfreich sind. Zudem soll die Stabilitätsanalyse unter Verwendung kommerzieller Schaltungssimulatoren durchgeführt werden können, da in der Zusammenarbeit mit Dritten (beispielsweise Partner in Drittmittelprojekten/Hersteller der Mikrochips/...) eine einheitliche Softwareumgebung meist unabdingbar ist¹. In diesen Schaltungssimulatoren ist die Ermittlung von Spannungen und Strömen an bestimmten

¹Im Regelfall werden beim Einsatz kommerzieller Halbleitertechnologien sogenannte *Design Kits* nur für eine bestimmte Software veröffentlicht.

Knoten und Zweigen leicht möglich, die Knotenadmittanzmatrix aber steht beispielsweise nicht zur Verfügung.

5.1 Untersuchung und Bewertung von Methoden zur Stabilitätsanalyse

Zur Untersuchung der Stabilität von Schaltungen gibt es eine Vielzahl von Methoden, die oft an bestimmte Probleme und Fragestellungen angepasst sind, aber nicht allgemeingültig angewendet werden können und daher leicht zu Fehlinterpretationen führen. Ziel dieses Kapitels ist es, diese Problematik aufzuzeigen und Lösungen vorzustellen, die sich möglichst allgemein anwenden lassen. Dennoch kann bereits vorweg genommen werden, dass es nicht *eine* allgemeingültige Methode gibt, die immer auf einfache Art und Weise zum Ziel führt. Vielmehr bedarf es für die meisten Problemstellungen auch der Erfahrung des Schaltungsentwicklers, eine geeignete Methode auszuwählen, um im konkreten Fall die Stabilität der Schaltung sicherzustellen.

5.1.1 Stabilitätsbegriff

Eine Schaltung ist genau dann stabil, wenn sich für verschwindende Eingangssignale alle Knotenspannungen $u_n(t)$ ihrem Arbeitspunktwert $U_{n,0}$ annähern

$$\lim_{t \rightarrow \infty} u_n(t) = U_{n,0}. \quad (5.1)$$

Daraus folgt auch, dass eine stabile elektrische Schaltung, die sich im Arbeitspunkt befindet, in Abwesenheit eines externen Eingangssignals den Arbeitspunkt nicht verlässt (im Gegensatz zu Oszillatoren, bei denen bereits infinitesimal kleine Störungen ausreichen, um eine aufklingende Schwingung hervorzurufen). Die Kleinsignalstabilität im Arbeitspunkt ist daher für die korrekte Funktion der Treiberschaltung unbedingt erforderlich.

Zur Analyse der Kleinsignalstabilität werden häufig Wirkungsfunktionen herangezogen [105]. Diese lassen sich aus dem Gleichungssystem

$$\mathbf{Y} \mathbf{U} = \mathbf{I}, \quad (5.2)$$

das sich aus dem Knotenpotentialverfahren (gegebenenfalls zur *modified nodal analysis* erweitert, um beispielsweise ideale Spannungsquellen abbilden zu können [106, 107])

ergibt, mit Hilfe der Cramerschen Regel

$$\underline{H}(s) = \frac{\underline{U}_i(s)}{\underline{I}_j(s)} \quad (5.3)$$

$$\begin{aligned} &= \frac{\det \begin{pmatrix} y_{1,1} & \cdots & y_{1,i-1} & 0 & y_{1,i+1} & \cdots & y_{1,n} \\ \vdots & & \vdots & \vdots & \vdots & & \vdots \\ y_{j,1} & \cdots & y_{j,i-1} & 1 & y_{j,i+1} & \cdots & y_{j,n} \\ \vdots & & \vdots & \vdots & \vdots & & \vdots \\ y_{n,1} & \cdots & y_{n,i-1} & 0 & y_{n,i+1} & \cdots & y_{n,n} \end{pmatrix}}{\det \mathbf{Y}} \\ &= \frac{\det \mathbf{Y}_i}{\det \mathbf{Y}} \end{aligned} \quad (5.4)$$

$$= \frac{\underline{a}(s)}{\underline{b}(s)} = \frac{a_m s^m + a_{m-1} s^{m-1} + \cdots + a_1 s + a_0}{b_n s^n + b_{n-1} s^{n-1} + \cdots + b_1 s + b_0} \quad (5.5)$$

herleiten. Dabei ist zu erkennen, dass alle Wirkungsfunktionen das gleiche Nennerpolynom $\underline{b}(s)$ teilen. Die zum Gleichungssystem aus Gl. 5.2 gehörende Schaltung ist instabil, wenn das Nennerpolynom $\underline{b}(s)$ Nullstellen in der rechten offenen Halbebene (RHE) besitzt, also $\underline{b}(s) = 0$ mit $\Re(s) > 0$ (oder mehrfache Nullstellen auf der imaginären Achse). Dies wird für den Fall einfacher Polstellen an der Impulsantwort des Netzwerks im Zeitbereich deutlich, die sich mit Hilfe der inversen Laplace-Transformation zu

$$u_i(t) = \sum_{k=1}^n \alpha_k \exp(s_k t) \quad (5.6)$$

ergibt [75]. Polstellen s_k mit positivem Realteil führen demnach zu aufklingenden Signalkomponenten und stehen daher im Widerspruch zu einer stabilen Schaltung. Die Betrachtung mehrfacher Nullstellen auf der imaginären Achse wird in [105] durchgeführt.

In realen Schaltungen treten, bedingt durch deren Nichtlinearität im Großsignalbetrieb, noch weitere Formen der Instabilität auf. So kann man z. B. bei Leistungsverstärkern beobachten, dass das zugehörige Differentialgleichungssystem ab bestimmten Eingangsleistungspegeln, also im nicht-linearen Großsignalbetrieb, quasiperiodische Lösungen, (d. h. in der Schaltung tritt zusätzlich zur Eingangsfrequenz ω_{in} eine weitere Frequenz ω_0 auf, die zur Eingangsfrequenz in keinem rationalen Verhältnis steht) oder periodische Lösungen mit zusätzlichen Frequenzanteilen bei der halben Eingangsfrequenz $\omega_{\text{in}}/2$ aufweist [108]. Bei der Entwicklung von Treiberverstärkern muss neben der Kleinsignalstabilität auch sicher gestellt werden, dass solche Effekte nicht auftreten (vgl. Kap. 5.1.6).

5.1.2 Unbedingte Stabilität von Zweitoren nach Rollett

Das wohl am häufigsten zitierte Stabilitätskriterium stammt von Rollett und basiert auf gemessenen oder simulierten Immittanzen von Zweitoren. In [109] wird der Stabilitäts-

faktor

$$k = \frac{2 \Re(\gamma_{11}) \Re(\gamma_{22}) - \Re(\gamma_{12}\gamma_{21})}{|\gamma_{12}\gamma_{21}|} \quad (5.7)$$

definiert, wobei $\gamma_{i,j}$ die Einträge einer beliebigen Immittanz-Matrix des Zweitores darstellen. Wenn $k > 1$ gilt und die beiden Nebenbedingungen

$$\Re(\gamma_{11}) > 0, \quad \Re(\gamma_{22}) > 0 \quad (5.8)$$

erfüllt sind, dann *bleibt* das Zweitor bei beliebigen passiven Abschlüssen stabil. Der von Bode [110] geprägte Begriff der Immittanz ist dabei als Oberbegriff zu Admittanz und Impedanz zu verstehen, sodass die mit γ bezeichneten Parameter sowohl Z -, Y -, G - oder H -Parameter sein können. Neben der bekannten Formulierung von Rollett (Gleichungen 5.7, 5.8) gibt es eine Vielzahl äquivalenter Formulierungen [111–115]. Weit verbreitet ist die Darstellung in Streuparametern

$$k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta_s|^2}{2 |S_{12}S_{21}|} < 1 \quad (5.9)$$

unter der Bedingung

$$|\Delta_s| < 1, \quad (5.10)$$

mit $\Delta_s = S_{11} S_{22} - S_{12} S_{21}$, da diese im Bereich hoher Frequenzen die größte praktische Bedeutung einnehmen. Ebenfalls sehr populär ist die hierzu äquivalente Darstellung nach [116–118]

$$\mu = \frac{1 - |S_{11}^2|}{|S_{22} - S_{11}^* \Delta_s| + |S_{12} S_{21}|} > 1. \quad (5.11)$$

Da sich alle diese Darstellungen aus der Darstellung von Rollett (Gleichungen 5.7, 5.8) ergeben, unterliegen sie alle der gleichen Einschränkung: Rollett [109] formuliert, dass ein Zweitor mit beliebigen passiven Abschlussimpedanzen stabil *bleibt*, d. h. es muss für ein bestimmtes Paar aus Abschlussimpedanzen stabil sein, damit es auch für beliebige andere Kombinationen stabil bleibt. Ist das Zweitor aber bereits intern instabil (also beispielsweise durch eine innere Rückkopplungsschleife), so führt dies nicht notwendigerweise zu einer Verletzung der Bedingung von Rollett (Gleichungen 5.7, 5.8) oder der anderen hierzu äquivalenten Bedingungen [119]. Rollett hebt dies in [109] kaum hervor, was der Tatsache geschuldet sein dürfte, dass zur Zeit der Veröffentlichung seiner Ergebnisse die Komplexität der Schaltungen eher gering war und Instabilitäten daher meist erst durch Reflexionen an den Toren verursacht wurden. Außerdem erkennt man bei gemessenen S-Parametern die Instabilität der Schaltung im Regelfall bereits bei der Messung [112, 120, 121]. Um sicher zu stellen, dass eine Schaltung, deren S-Parameter gemessen wurden, auch unter allen anderen Fällen passiver Eingangs- und Ausgangsterminierung stabil bleibt, reicht die Überprüfung obiger Bedingungen aus. Soll allerdings beim Schaltungsentwurf sicher gestellt werden, dass eine Schaltung stabil ist, so genügt es nicht nur obige Bedingungen zu überprüfen. Vielmehr muss gleichzeitig sicher gestellt werden, dass die Schaltung auch intern stabil ist. Daher sind weitere Analysen erforderlich.

5.1.3 Weitere immittanzbasierte Stabilitätsanalysen

Die hier vorgestellten Methoden zur Analyse der Stabilität einer Schaltung sind eng mit denen aus Kap. 5.1.2 verwandt. Sie dienen allerdings nicht zur Analyse von Zweitoren, vielmehr soll bei diesen Methoden die Stabilität einer Schaltung analysiert werden, indem zwischen geeigneten Knoten Testimpedanzen (oder -admittanzen) ausgewertet werden. Sie basieren auf Überlegungen zu autonomen Schaltungen, also Oszillatoren, für die eine auf Zweitoren basierende Analyse nicht direkt anwendbar ist.

[122] enthält einen Überblick über häufig verwendete Methoden. Der untersuchte Oszillator wird an einer Referenzebene in einen aktiven Teil (Generator), der eine negative Immittanz enthält, und einen passiven Teil (Resonator) zerlegt. Prinzipiell sind aber beliebige Aufteilungen des Netzwerks möglich. Am in der Referenzebene liegenden Tor, das die beiden Schaltungsteile verbindet, wird die Admittanz für jeden der beiden Schaltungsteile bestimmt (vgl. Abb. 5.1a). Die Schaltung wird instabil, wenn die Impedanz am Tor in der Referenzebene Pole in der rechten Halbebene aufweist bzw. die Summe der beiden Admittanzen eine Nullstelle

$$\underline{Z} = \frac{\underline{U}_{\text{test}}}{\underline{I}_{\text{test}}} = \frac{1}{\underline{Y}_1 + \underline{Y}_2}, \quad (5.12)$$

$$\underline{Y}_{\text{tot}}(s_0) := \underline{Y}_1(s_0) + \underline{Y}_2(s_0) = 0 \quad \text{für } \Re(s_0) > 0. \quad (5.13)$$

Anstelle der Admittanzen können aber auch die Impedanzen beider Schaltungsteile bestimmt werden und man erhält mit analoger Vorgehensweise (vgl. Abb. 5.1b) die Bedingung

$$\underline{Y} = \frac{\underline{I}_{\text{test}}}{\underline{U}_{\text{test}}} = \frac{1}{\underline{Z}_1 + \underline{Z}_2}, \quad (5.14)$$

$$\underline{Z}_{\text{tot}}(s_0) := \underline{Z}_1(s_0) + \underline{Z}_2(s_0) = 0 \quad \text{für } \Re(s_0) > 0. \quad (5.15)$$

Als Bedingungen für das Anschwingen eines Oszillators werden in [122]

$$\Re(\underline{Z}_1) + \Re(\underline{Z}_2) < 0, \quad \Im(\underline{Z}_1) + \Im(\underline{Z}_2) = 0 \quad \text{bzw.} \quad (5.16)$$

$$\Re(\underline{Y}_1) + \Re(\underline{Y}_2) < 0, \quad \Im(\underline{Y}_1) + \Im(\underline{Y}_2) = 0 \quad (5.17)$$

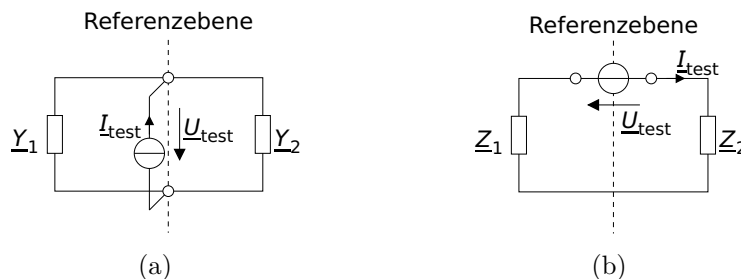


Abb. 5.1: Bestimmung der Admittanz (a) und der Impedanz (b) an der Referenzebene.

angegeben. Diese Bedingungen basieren auf der Überlegung, dass im Fall einer harmonischen Anregung bei der Eigenfrequenz des Oszillators durch den negativen Realteil der Impedanz bzw. Admittanz am in der Referenzebene liegenden Tor die angeregte Schwingung weiter aufklingt. Im Fall eines positiven Realteils hingegen, würde die Schwingung mit der Zeit abklingen, was ein stabiles System kennzeichnet. Dies entspricht dem in [123] präsentierten Ansatz: In ein elektrische Netzwerk wird eine fiktive Stromquelle \underline{I} eingefügt und gefolgert, dass das Netzwerk stabil ist, wenn aus $\underline{I} \rightarrow 0$ auch für die an der Quelle anliegende Spannung $\underline{U} \rightarrow 0$ folgt bzw. instabil, wenn trotz $\underline{I} \rightarrow 0$ eine Spannung $\underline{U} \neq 0$ auftritt.

Die in Gl. 5.16, 5.17 gezeigten Bedingungen werden häufig zur Analyse der Stabilität von Schaltungen eingesetzt (z.B. [59, 61]), können allerdings auch zu Fehlinterpretationen führen, wie das folgende Beispiel zeigt. Betrachtet wird der Serienresonanzkreis aus Abb. 5.2. Für die beiden Impedanzen ergibt sich:

$$\underline{Z}_1(j\omega) = R_1 + j\left(\omega L - \frac{1}{\omega C}\right), \quad \underline{Z}_2(j\omega) = R_2. \quad (5.18)$$

Für $R_1 + R_2 < 0$ und $\omega_0 = (LC)^{-1}$ sind die Bedingungen 5.16 erfüllt und die Schaltung ist instabil. Bei der Entwicklung eines Verstärkers ist dies aber unerwünscht. Daher wird zur Stabilisierung häufig die folgende Vorgehensweise angewendet: Der Entwickler bestimmt die Impedanz (bzw. Admittanz) an einem Zweitor (beispielsweise am Eingang) der Schaltung. Ist der Realteil negativ, so muss entsprechend ein Widerstand in Serie (bzw. im Fall der Admittanz ein Leitwert parallel) zum entsprechenden Zweitor geschaltet werden, damit die Schwingbedingung aus Gl. 5.16 nicht erfüllt ist. Wenn in obigem Beispiel die Impedanz \underline{Z}_1 den Eingang der Schaltung repräsentiert und $R_1 < 0$ gilt, so muss der Entwickler

$$R_2 > -R_1 \quad (5.19)$$

wählen um eine Schwingung zu unterbinden.

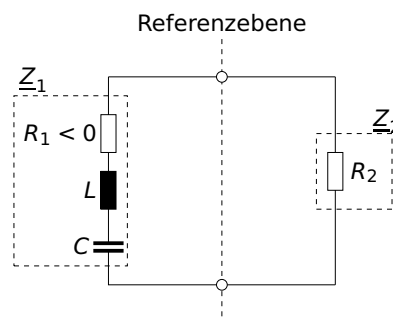


Abb. 5.2: Serienresonanzkreis mit externer Beschaltung zur Stabilisierung.

Bei Betrachtung der Admittanzen der Beispielschaltung aus Abb. 5.2 ergibt sich analog zu Gl. 5.18:

$$\underline{Y}_1(j\omega) = \frac{1}{\underline{Z}_1} = \frac{1}{R_1 + j\left(\omega L - \frac{1}{\omega C}\right)} = \frac{R_1 - j\left(\omega L - \frac{1}{\omega C}\right)}{R_1^2 + \left(\omega L - \frac{1}{\omega C}\right)^2}, \quad \underline{Y}_2(j\omega) = \frac{1}{R_2}. \quad (5.20)$$

An der Nullstelle des Imaginärteils von \underline{Y}_1 ($\omega_0 = 1/\sqrt{LC}$), ergibt sich für den Realteil entsprechend $\Re(\underline{Y}_1(\omega_0)) = 1/R_1$. Für $R_1 < 0$ signalisiert auch diese Analyse dem Schaltungsentwickler, dass stabilisierende Maßnahmen notwendig sind. Um die Schaltung (vermeintlich) zu stabilisieren, ist man versucht einen Leitwert G_2 parallel zu schalten, für den

$$G_2 = \frac{1}{R_2} > -\frac{1}{R_1} \quad \Leftrightarrow \quad R_2 < -R_1 \quad (5.21)$$

gilt. Das Ergebnis steht aber im Widerspruch zum Ergebnis der auf Impedanzen basierenden Stabilitätsanalyse (Gl. 5.19). Eine genauere Analyse basierend auf Polstellen der Schaltung

$$s_{1,2} = -\frac{R_1 + R_2}{2L} \pm \sqrt{\left(\frac{R_1 + R_2}{2L}\right)^2 - \frac{1}{LC}} \quad (5.22)$$

ergibt, dass das Ergebnis der auf Impedanzen basierenden Stabilitätsanalyse richtig ist und sich die Schaltung mit der auf Admittanzen basierenden Überlegung nicht stabilisieren lässt.

Offensichtlich lässt sich jedoch nicht verallgemeinern, dass die impedanzbasierte Stabilitätsanalyse zu richtigen und die admittanzbasierte Stabilitätsanalyse zu falschen Ergebnissen führt, da sich bei Betrachtung des dualen Netzwerks (also einem Parallelschwingkreis) die umgekehrten Verhältnisse einstellen. Im Fall des einfachen Beispiels aus Abb. 5.2 sieht der erfahrene Schaltungsentwickler u.U. der Schaltung noch an, welche Maßnahmen erforderlich sind. Ähnlich verhält es sich, wenn dem Entwickler die Ursache des negativen Widerstands bekannt ist [124]. Im Fall komplexerer Schaltungen wird aber eine zusätzliche Bedingung erforderlich: Die Schaltung ist instabil, wenn die Bedingungen aus Gl. 5.16 bzw. Gl. 5.17 erfüllt sind und zusätzlich

$$\frac{d}{d\omega} \Im(\underline{Z}_1(\omega) + \underline{Z}_2(\omega)) > 0 \quad \text{bzw.} \quad \frac{d}{d\omega} \Im(\underline{Y}_1(\omega) + \underline{Y}_2(\omega)) > 0 \quad (5.23)$$

gelten [125]. Dies zusätzliche Bedingung ist für die Impedanzbetrachtung erfüllt (vgl. Gl. 5.18), für die Admittanzbetrachtung jedoch nicht (vgl. Gl. 5.20). Somit ermöglicht die Bedingung dem Schaltungsentwickler festzustellen, welcher der beiden Fälle vorliegt und geeignete Maßnahmen zur Stabilisierung zu ergreifen.

Die ausführliche Herleitung von Gl. 5.23 findet sich in [126, S. 382] und wird daher hier nur kurz skizziert. Das Netzwerk ist instabil, wenn der Nenner einer Wirkungsfunktion

$\underline{b}(s)$ (vgl. Gl. 5.5) Nullstellen in der rechten Halbebene aufweist

$$\underline{b}(s_0) = \underline{b}(\sigma_0 + j\omega_0) = 0 \quad \text{mit} \quad \sigma_0 > 0. \quad (5.24)$$

Für typische Oszillatoren und dominante Polstellen von Verstärkern gilt häufig $\sigma_0 \ll \omega_0$, der Phasenwinkel der dominanten Polstelle ist daher nahe bei $+90^\circ$ bzw. -90° . Die Lösung s_0 wird in einer Umgebung der Frequenz ω_1 betrachtet, die nahe bei ω_0 liegt

$$s_0 = \sigma_0 + j\omega_0 = \sigma_0 + j(\omega_1 + \delta\omega), \quad (5.25)$$

wobei sowohl σ_0 als auch $\delta\omega$ klein gegenüber ω_1 sind. Die Entwicklung von $\underline{b}(s)$ in einer Taylor-Reihe um $s = j\omega_1$ liefert

$$\underline{b}(s) = \underline{b}(j\omega_1) + \left. \frac{d\underline{b}(j\omega)}{d\omega} \right|_{\omega=\omega_1} (\delta\omega - j\sigma_0) + \underline{b}_{\text{Rest}} = 0. \quad (5.26)$$

Auflösen von Gl. 5.26 nach σ_0 für $\underline{b}_{\text{Rest}} \approx 0$, getrennt nach Real- und Imaginärteil, ergibt schließlich

$$\sigma_0 = -\underline{b}(j\omega_1) \frac{\Im \left(\left. \frac{d\underline{b}(j\omega)}{d\omega} \right|_{\omega=\omega_1} \right)}{\left| \left. \frac{d\underline{b}(j\omega)}{d\omega} \right|_{\omega=\omega_1} \right|^2}. \quad (5.27)$$

Somit ist der Realteil der Nullstelle des Nennerpolynoms positiv, wenn $\underline{b}(j\omega_1)$ und $\Im \left(\left. \frac{d\underline{b}(j\omega)}{d\omega} \right|_{\omega=\omega_1} \right)$ unterschiedliche Vorzeichen haben. Dies führt unmittelbar auf die Bedingungen in Gl. 5.23.

Bei der Untersuchung der Stabilität komplexerer Schaltungen liegt allerdings in den häufigsten Fällen kein Serien- oder Parallelresonanzkreis in Reinform vor. Der Entwickler kann zwar an charakteristischen Stellen der Schaltung Impedanzen (bzw. Admittanzen) bestimmen (beispielsweise am Eingang einer Emitterfolgerkette), diese sind aber nicht einem einzelnen Resonanzkreis in der Referenzebene zwischen aktivem und passivem Teil zugeordnet. Daher lässt sich mit der beschriebenen Methodik die Stabilität einer Schaltung nicht garantieren. Dies wird auch anhand der folgenden Überlegung klar.

Wie in [56] dargestellt, lässt sich aus dem Theorem von Tellegen herleiten, dass die Eingangsimpedanz \underline{Z}_p eines Netzwerks der mit den Quadraten der Zweigströmen gewichteten Summe aller Zweigimpedanzen \underline{Z}_k des Netzwerks entspricht

$$\underline{Z}_p = \sum_{k=1}^N \underline{Z}_k \left| \frac{I_k}{I_p} \right|^2, \quad (5.28)$$

wobei mit $k = 1 \dots N$ die N Zweige des Netzwerks indiziert werden. Im Folgenden wird angenommen, dass sich alle abhängigen (gesteuerten) Quellen eines Netzwerk bzgl. der Eingangsimpedanz (bzw. -admittanz) an bestimmten Knoten durch äquivalente RLC-

Ersatzschaltbildelemente darstellen lassen. Dann lässt sich die Eingangsimpedanz $\underline{Z}_p(s)$ in ihren Real- und Imaginärteil aufspalten

$$\underline{Z}_p = \sum_k R_k \left| \frac{\underline{I}_k}{\underline{I}_p} \right|^2 + j \sum_k X_k \left| \frac{\underline{I}_k}{\underline{I}_p} \right|^2, \quad (5.29)$$

wobei R_k jeweils die Resistanz und X_k die Reaktanz des k -ten Zweigs enthält. Die Zweige werden so nummeriert, dass die Zweige mit negativer Resistanz die niedrigeren Nummern erhalten (Zweige $1 \dots m$) und die, deren Resistanz verschwindet oder positiv ist die höheren Nummern (Zweige $m+1 \dots N$). Der Realteil der Eingangsimpedanz (oder die Eingangsresistenz) ergibt sich zu

$$R_p = \Re(\underline{Z}_p) = \sum_{k=1}^m R_k \left| \frac{\underline{I}_k}{\underline{I}_p} \right|^2 + \sum_{k=m+1}^N R_k \left| \frac{\underline{I}_k}{\underline{I}_p} \right|^2 \quad (5.30)$$

$$= - \sum_{k=1}^m |R_k| \left| \frac{\underline{I}_k}{\underline{I}_p} \right|^2 + \sum_{k=m+1}^N R_k \left| \frac{\underline{I}_k}{\underline{I}_p} \right|^2 \quad (5.31)$$

$$= \frac{1}{|\underline{I}_p|^2} \left(- \sum_{k=1}^m |R_k| |\underline{I}_k|^2 + \sum_{k=m+1}^N R_k |\underline{I}_k|^2 \right). \quad (5.32)$$

Ist die Stromverteilung, die sich im Netzwerk infolge der Testquelle am Tor p ergibt derart, dass

$$\sum_{k=1}^m |R_k| |\underline{I}_k|^2 > \sum_{k=m+1}^N R_k |\underline{I}_k|^2, \quad (5.33)$$

so wird der Realteil der Eingangsimpedanz negativ, andernfalls positiv. Analoge Überlegungen lassen sich auch für den Realteil der Eingangsadmittanz anstellen, wobei in diesem Fall die einzelnen Zweigadmittanzen mit den Quadraten der Zweigspannungen gewichtet werden müssen. Liegt in Serie zum Eingangstor ein großer (positiver) Widerstand, oder parallel zum Eingangstor ein großer (positiver) Leitwert, so ergeben sich positive Eingangsimpedanzen (bzw. -admittanzen) auch in Fällen, in denen das Netzwerk im Inneren instabil ist [127]. Hierzu wird als einfaches Beispiel die Schaltung aus Abb. 5.3 betrachtet. Ist der Leitwert $G_2 = 1/R_2$, der dem Eingangstor parallel geschaltet ist, groß genug ($R_2 < |R_1|$), so ergibt sich ein positiver Realteil der Eingangsimpedanz. Nach Gl. 5.16 ist dann keine Destabilisierung des Netzwerks durch passive Impedanzen, die an das Eingangstor angeschlossen werden, möglich, da die Summe der Realteile beider an die Klemmen angeschlossener Impedanzen immer positiv ist. Es lässt sich jedoch zeigen, dass das Netzwerk instabil ist. Ohne extern an das Eingangstor angeschlossene Impedanz, ergeben sich die Pole

$$s_{1,2} = -\frac{R_1 + R_2}{2L} \pm \sqrt{\left(\frac{R_1 + R_2}{2L}\right)^2 - \frac{1}{LC}}, \quad (5.34)$$

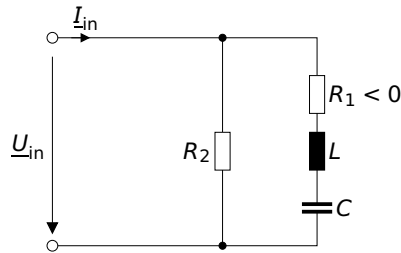


Abb. 5.3: Im Innern instabiles Netzwerk mit positivem Realteil der Eingangsimpedanz (für $R_2 < |R_1|$).

die unter der Bedingung $R_2 < -R_1$ einen positiven Realteil aufweisen. Durch eine zusätzlich extern angeschlossene, passive Impedanz, die parallel zu R_2 liegt, werden die beiden Pole noch weiter in die rechte Halbebene verschoben. Die auf den Polstellen basierende Analyse offenbart also die Instabilität des Netzwerk, die mit Hilfe der Eingangsimpedanz nicht beobachtbar ist.

Eine weitere Überlegung [128] zeigt, dass Stabilitätstests, die die Stabilität einer Schaltung zeigen sollen, immer die komplette Schaltung einbeziehen müssen und die Betrachtung einzelner Impedanzen oder Admittanzen nicht ausreichend ist. Zur Erläuterung wird die Schaltung aus Abb. 5.4 betrachtet. Unter der Annahme $L = R^2C$ gilt für die Eingangsimpedanz $Z_{in} = \underline{U}_{in}/\underline{I}_{in} = R$. Das Netzwerk weist einen über der Frequenz konstanten, positiven Realteil der Eingangsimpedanz (und der -admittanz) auf. Das Netzwerk ist aber im Fall beliebiger externer Beschaltung instabil. Darüber hinaus kann man in einem Gedankenexperiment jeden beliebigen Widerstand einer komplexeren Schaltung durch das Netzwerk aus Abb. 5.4 ersetzen, ohne, dass sich an den Impedanzen oder Admittanzen an den Toren dieser Schaltung etwas ändert. Der Pol-Nullstellen-Konstellation des Netzwerks werden aber zwei weitere Polstellen mit positivem Realteil hinzugefügt, sodass das Netzwerk instabil wird. Daraus lässt sich folgern, dass es nicht ausreicht, individuelle Knoten oder Zweige eines Netzwerks zu betrachten, um die Stabilität dieses Netzwerks sicherstellen zu können. In jedem Netzwerk können instabile Pole existieren, die durch Immittanzbetrachtungen an einem Tor nicht beobachtbar sind. In einem solchen Fall nicht beobachtbarer Pole ist auch die zusätzliche Bedingung Gl. 5.23 nicht hilfreich, da

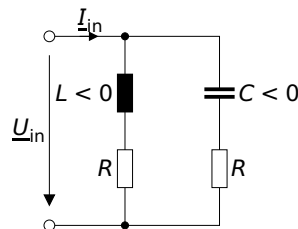


Abb. 5.4: Instabiles Netzwerk mit Eingangsimpedanz R .

bereits Gl. 5.16 bzw. Gl. 5.17 zu falschen Aussagen führen.

[129] schlägt als Lösung des Problems vor, paarweise alle Knoten eines Netzwerks zu untersuchen, was zu $N(N - 1)/2$ Knotenpaaren in einem Netzwerk mit N Knoten führt. Mit diesem Ansatz lässt sich zwar die Stabilität des Netzwerk sicherstellen, er ist aber aufgrund der hohen Anzahl an Knoten in realen Anwendungsbeispielen für die praktische Anwendung nicht besser geeignet als eine direkte Auswertung der Knotenadmittanzmatrix nach Kap. 5.1.1.

Generell bleibt festzuhalten, dass die Stabilität eines Netzwerks nicht alleine basierend auf einer einzelnen Immittanz an einem Tor dieses Netzwerks gezeigt werden kann, da innerhalb des Netzwerks instabile Zustände existieren können, die an diesem Tor nicht beobachtbar sind. Wenn das Tor, an dem die Immittanz bestimmt wird, aber so ausgewählt wird, dass die Ursache der möglichen Instabilität des Netzwerks einen großen Einfluss auf die Immittanz hat und somit gut beobachtbar ist, dann kann mit Hilfe der Immittanz bestimmt werden, mit welchen Maßnahmen sich das Netzwerk stabilisieren lässt. In Kap. 5.2.1 wird am Beispiel einer Emitterfolgerkaskade vorgestellt, wie ein geeignetes Tor zur Immittanzbestimmung ausgewählt wird und wie mit Hilfe der dort simulierten Immittanzen ein Serienwiderstand bzw. ein Parallelleitwert dimensioniert werden muss, um das Netzwerk zu stabilisieren. Die Stabilität der Gesamtschaltung muss jedoch letztendlich mit anderen Methoden verifiziert werden, die im Folgenden vorgestellt werden.

5.1.4 Schleifenbasierte Stabilitätsanalyse

Weitere Verfahren zur Stabilitätsanalyse basieren auf der Identifikation von Rückkopplungsschleifen. Hat der Schaltungsentwickler eine solche Schleife identifiziert (vgl. Abb. 5.5), so kann er anhand der Amplituden- bzw. Phasenreserve der Verstärkung der offenen Schleife (Schleifenverstärkung) $\underline{F}_o = \underline{F}_a \cdot \underline{F}_2$ die Stabilität beurteilen (z.B. [75, 130]). Alternativ kann die Ortskurve der Schleifenverstärkung für s auf einer Nyquist-Kurve, die die gesamte rechte Halbebene umschließt, ermittelt werden. Die Anzahl der Umläufe der Ortskurve im Uhrzeigersinn um den Punkt $-1 + j0$ ergibt die Differenz der

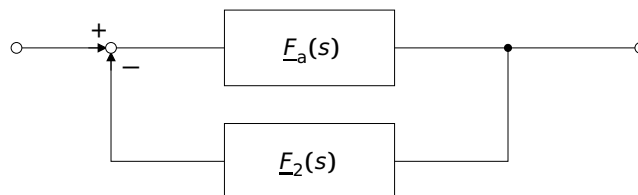


Abb. 5.5: Einfache Rückkopplungsschleife.

Anzahl der Pole und Nullstellen der Übertragungsfunktion

$$\underline{F}(s) = \frac{\underline{F}_a(s)}{1 + \underline{F}_a(s)\underline{F}_2(s)} \quad (5.35)$$

in der rechten Halbebene (RHE, also mit positivem Realteil) an (Nyquist-Kriterium). Problematisch ist hierbei, dass die Anzahl der Polstellen nicht a priori bekannt ist, sodass, selbst wenn die Ortskurve den Punkt $-1 + j0$ nicht umschließt, nur geschlossen werden kann, dass genauso viele Nullstellen in der RHE liegen, wie Polstellen. Um die Stabilität der Schaltung zu zeigen, muss bereits bekannt sein, dass $\underline{F}_a(s)$ und $\underline{F}_2(s)$ stabil sind, d. h. keine Polstellen in der RHE besitzen. Um insbesondere die Stabilität der den Vorwärtspfad beschreibenden Funktion \underline{F}_a sicherzustellen, wird die Rückkopplungsschleife so definiert, dass \underline{F}_a ausschließlich die gesteuerte Quelle repräsentiert, die das aktive Element der Schaltung, also beispielsweise ein Transistor, enthält. Wenn das Netzwerk ausschließlich ein aktives Element enthält, ist damit gleichzeitig sichergestellt, dass $\underline{F}_2(s)$ stabil ist, da diese Funktion dann nur passive Elemente beschreibt. Für Netzwerke mit mehreren aktiven Elementen, muss die Stabilität von $\underline{F}_2(s)$ explizit gezeigt werden, wie im folgenden Verfahren beschrieben.

In einem komplexen Schaltkreis können nicht ohne Weiteres eine oder mehrere kritische Rückkopplungsschleifen identifiziert werden. Allerdings kann jedem aktiven Element, bzw. jeder im Netzwerk enthaltenen gesteuerten Quelle, eine Rückkopplungsschleife zugeordnet werden. In der englischsprachigen Literatur wird die oben definierte Schleifenverstärkung \underline{F}_o als *Return Ratio* bezeichnet. Um die *Return Ratio* einer spannungsgesteuerten Quelle zu ermitteln, wird zunächst die gesteuerte Spannung durch eine (unabhängige) Spannungsquelle $\underline{U}_{\text{ext.}}$ ersetzt, womit die Rückkopplungsschleife aufgetrennt wird. Dann wird ermittelt, wie groß in diesem Fall die Steuerspannung $\underline{U}_{\text{st.}}$ wird. Die *Return Ratio* RR ergibt sich zu [131]

$$RR = -\frac{\underline{U}_{\text{st.}}}{\underline{U}_{\text{ext.}}} \quad (5.36)$$

Enthält das verbleibende Netzwerk weitere gesteuerte Quellen, so wird mit diesen iterativ genauso verfahren. Die erste gesteuerte Quelle wird zu Null gesetzt und die *Return Ratio* der nächsten Quelle RR_2 ermittelt, usw. Für jede der n gesteuerten Quellen des Netzwerks, ergibt sich eine *Return Ratio* RR_1, RR_2, \dots, RR_n . Gemäß obigen Erläuterungen bezüglich \underline{F}_o ist ein Netzwerk mit einer gesteuerten Quelle stabil, wenn die zugehörige Ortskurve den Punkt $-1 + j0$, bzw. die Ortskurve von $1 + \underline{F}_o$ den Ursprung, nicht umschließt. Entsprechend ist ein Netzwerk mit mehreren gesteuerten Quellen stabil, wenn die Ortskurve der sogenannte normalisierte Determinantenfunktion (NDF) den Ursprung nicht umschließt. Diese wird nach [119] definiert als

$$\text{NDF} = \frac{\Delta}{\Delta_0} = (RR_1 + 1)(RR_2 + 1) \dots (RR_n + 1), \quad (5.37)$$

wobei Δ die Determinante des Gesamtnetzwerks darstellt und Δ_0 die Determinante des zugehörigen passiven Netzwerks, in dem alle abhängigen Quellen zu Null gesetzt werden. Damit erübrigt sich auch die Suche nach den Rückkopplungsschleifen im Netzwerk. Durch das Aufstellen der NDF werden quasi nacheinander alle Rückkopplungsschleifen aufgetrennt, die im Netzwerk vorhanden sind, wobei die Reihenfolge, in der die gesteuerten Quellen behandelt werden, keine Rolle spielt.

Das Verfahren erfordert für ein Netzwerk mit n Quellen insgesamt n Simulationen, wobei in der letzten Simulation nur noch eine gesteuerte Quelle aktiv ist. Damit ist es immer noch relativ aufwendig, wobei der Aufwand zumindest für kleinere Teilschaltungen vertretbar ist. Die Auswertung von *Return Ratios* muss aber vom Schaltungssimulator unterstützt werden, da es beispielsweise bei komplexen Transistormodellen nicht ohne weiteres möglich ist, die gesteuerten Quellen von ihrer Ursache (Steuerspannung oder Steuerstrom) zu trennen. Alternativ wird in [132] auch ein Verfahren namens *Null Double-Injection Technique* beschrieben, mit dem *Return Ratios* durch Einfügen von zwei Quellen in ein Netzwerk bestimmt werden können, deren Wirkungen sich gegenseitig kompensieren. Da in diesem Fall jeweils zwei Simulationen durchgeführt werden müssen um die *Return Ratio* zu ermitteln, verdoppelt sich der Simulationsaufwand.

Ein Nachteil der Stabilitätsanalyse mit Hilfe der Ortskurve der NDF besteht darin, dass zwar ermittelt wird, ob das Netzwerk stabil oder instabil ist, aber über Ursachen einer möglichen Instabilität werden keine Informationen bekannt. Somit ist die Erfahrung eines Schaltungsentwicklers unabdingbar, um Maßnahmen zur Stabilisierung eines instabilen Netzwerks zu erarbeiten. Diesbezüglich ermöglichen die Verfahren aus Kap. 5.1.3 einen konstruktiveren Zugang. Wenn bezüglich der Stabilität kritische Immittanzen identifiziert werden können, sollten diese zur Dimensionierung des betrachteten Netzwerks mit einer ausreichenden Stabilitätsreserve genutzt werden. Anschließend muss jedoch verifiziert werden, dass das Netzwerk auch insgesamt stabil ist. Hierzu ist die NDF eine mögliche Option, die insbesondere dann attraktiv ist, wenn der eingesetzte Simulator die Ermittlung der NDF automatisch unterstützt. Die im folgenden vorgestellten Pol-/Nullstellenanalyse und die Absicherung der Stabilität mittels transienter Simulationen können als Alternativen eingesetzt werden.

5.1.5 Pol-/Nullstellenanalyse

Um die Kleinsignalstabilität eindeutig bestimmen zu können, genügt es zu analysieren, ob das Netzwerk Polstellen in der RHE hat. Die Schwierigkeit besteht bei elektrischen Netzwerken allerdings darin, die Polstellen zu bestimmen.

Die Polstellen ergeben sich als Nullstellen des Nennerpolynoms $\underline{b}(s)$ (vgl. Gl. 5.5). Da die Bestimmung der Nullstellen eines Polynoms höherer Ordnung numerisch sehr aufwendig ist, steht mit dem Stabilitätstest von Hurwitz ein alternatives Verfahren zur Verfügung, für dessen Anwendung die Kenntnis der Polynom-Koeffizienten ausreicht [133]. Da in

kommerziell verfügbaren Schaltungssimulatoren meist weder auf die Knotenadmittanzmatrix \mathbf{Y} noch auf die Koeffizienten des Nennerpolynoms $\underline{b}(s)$ zugegriffen werden kann, lässt sich dieses Verfahren in der Praxis aber kaum einsetzen.

Allerdings bietet Spectre die Möglichkeit, direkt nach den Polen und Nullstellen eines Netzwerks zu suchen [66], die sogenannte *pz analysis*. Da diese Analyse alle Polstellen des um den Arbeitspunkt linearisierten Netzwerks ausgibt, und somit leicht überprüft werden kann, ob eine oder mehrere Polstellen einen positiven Realteil aufweisen, eignet sie sich gut zur Verifikation der Kleinsignal-Stabilität des Netzwerks. Sie bietet auch die Möglichkeit die Ausgabe von Polstellen zu erzwingen, die durch Nullstellen kompensiert (also gekürzt) werden. Da es sich um eine kommerzielle Software handelt, ist leider unklar, wie das Verfahren funktioniert. Die Konfigurationsmöglichkeiten der Software legen jedoch nahe, dass die Eigenwerte der Knotenadmittanzmatrix (vgl. Kap. 5.1.1) mit Hilfe einer QR-Zerlegung ermittelt werden. Zur Analyse der Stabilität einzelner Zellen eignet sich dieses Verfahren auch sehr gut, mit der Einschränkung, dass für verteilt-parametrische Subsysteme (beispielsweise Übertragungsleitungen) eine feste Frequenz angegeben werden muss, bei der diese betrachtet werden. Im Falle komplexerer Schaltungen, wie beispielsweise ganzer ICs, die eine Vielzahl von miteinander verschalteten Zellen enthalten oder deren Versorgungsspannungs- und Substratnetzwerke ebenfalls modelliert werden, führen die Simulationen aber häufig nicht zu Ergebnissen, sondern brechen mit dem Verweis auf den begrenzten Speicher ab. Leider existieren keine Möglichkeiten, direkt auf die Knotenadmittanzmatrix \mathbf{Y} zuzugreifen, um effektivere Eigenwertalgorithmen einzusetzen. Neuere Versionen der Software bieten jedoch eine Konfigurationsoption, mit der das Arnoldi-Verfahren zur Eigenwertbestimmung eingesetzt werden kann. Die im Rahmen der Arbeit verwendete Halbleitertechnologie ist allerdings nur für ältere Spectre-Versionen verfügbar.

In [134] und [135] werden Verfahren zur Bestimmung von Polen und Nullstellen von Übertragungsfunktionen $\underline{H}(s)$ anhand der Ergebnisse von AC-Simulationen (also basierend auf $\underline{H}(j\omega)$) beschrieben. Diese basieren auf Identifikationsmethoden, die die Pole und Nullstellen von $\underline{H}(s)$ so bestimmen, dass die Abweichung zu $\underline{H}(j\omega)$ minimiert wird [136]. Die Schwierigkeit dieser Identifikationsmethoden besteht in erster Linie im Festlegen der Anzahl der Pole und Nullstellen: Sind es zu wenige, so kann der Verlauf von $\underline{H}(j\omega)$ nicht in allen Details nachgebildet werden. Sind es dagegen zu viele, so ergeben sich Freiheitsgrade, die in sehr nah beieinander liegende Pol-/Nullstellenpaaren resultieren (beispielsweise durch Rundungsfehler). So können Paare in der RHE entstehen, die im identifizierenden System nicht vorhanden sind. Dadurch kann der Eindruck entstehen, dass das System instabil ist, obwohl dies nicht den Tatsachen entspricht. Die Schwierigkeit, die Anzahl der Pole und Nullstellen festzulegen, nimmt mit der Komplexität des Systems zu. Mit der Argumentation aus Kap. 5.1.3, dass jegliche Analyseverfahren, die nicht das gesamte Netzwerk ins Kalkül ziehen, nicht zur zweifelsfreien Analyse der Stabilität geeignet sind, lässt sich auch die Identifikation von Pol- und Nullstellen hinterfragen. Wird ein Widerstand des Netzwerks durch das Schaltbild aus Abb. 5.4 ersetzt, so ist in der Übertragungsfunktion kein Unterschied erkennbar. Folglich wird auch die zusätzliche

Polstelle in der RHE nicht identifiziert. Solche Fälle treten in der Praxis zwar selten auf, sie genügen aber, um zu zeigen, dass instabile Pole in einem bestimmten Teil der Schaltung nicht (oder kaum) in einer Wirkungsfunktion beobachtbar sind, die maßgeblich durch andere Schaltungsteile beeinflusst wird. Insbesondere bei der Simulation symmetrischer Schaltungen treten Fälle auf, bei denen Zustände einer Mode (z. B. Gleichtakt) in einer anderen Mode (z. B. Gegentakt) nicht beobachtbar sind [137].

Die direkte Bestimmung von Pol- und Nullstellen durch die Eigenwerte der das Netzwerk beschreibenden Knotenadmittanzmatrix liefert eine eindeutige Aussage bzgl. der Stabilität einer Schaltung. Das Verfahren lässt sich zumindest für einzelne Schaltungszellen gut anwenden und durch Verbesserungen der eingesetzten, kommerziellen Simulationssoftware in naher Zukunft wohl auch für komplexere Schaltungen. Um Maßnahmen zur Stabilisierung einer möglicherweise instabile Schaltung zu identifizieren, reicht eine einzelne Pol-/Nullstellen-Analyse jedoch nicht aus. Stattdessen muss die Sensitivität der Polstellen bzgl. der zur Stabilisierung in Frage kommenden Schaltungsparameter untersucht werden, was eine Vielzahl von Polstellen-Analysen voraussetzt. Dies ist nur praktikabel, wenn eine einzelne Analyse mit einer geringen Simulationszeit abgeschlossen werden kann. Da derzeit das Auffinden der Polstellen noch sehr aufwendig ist, bietet es sich eher an, die Schaltung mit den in Kap. 5.1.3 vorgestellten Methoden zu stabilisieren und die Pol-/Nullstellenanalyse nur einzusetzen, um die Stabilität letztendlich zu verifizieren. Alternativ kann die Sensitivität der Pole mit einer vereinfachten Schaltung untersucht werden, die die anschließende Übertragung der Erkenntnisse auf die vollständige Schaltung ermöglicht, wie in Kap. 2.2.2.2 vorgestellt.

5.1.6 Transiente Simulationen

Tritt in einer transienten Simulation eine unerwünschte Oszillation auf, dann ist die simulierte Schaltung instabil. In diesem Fall muss die Ursache für diese unerwünschte Oszillation gefunden werden. Möchte der Schaltungsentwickler sicherstellen, dass eine Schaltung stabil ist, so reicht es aber im Allgemeinen nicht aus, wenn eine transiente Simulation keine unerwünschten Oszillationen zeigt. Es kann passieren, dass instabile Zustände nicht angeregt werden oder dass die numerische Dämpfung ausreicht, um eine instabile Schaltung stabil erscheinen zu lassen.

Um möglichst alle potenziell vorhandenen Instabilitäten anzuregen, bietet es sich an, die Schaltung mit einem pulsformigen Eingangssignal mit steilen Flanken anzusteuern. Häufig ist es sinnvoll, einen kurzen Impuls einzusetzen, der dann wieder auf den Wert Null abfällt, sodass sich die Schwingung um die Ruhelage der Schaltung aufbauen kann, falls diese instabil ist. Es kann aber auch sinnvoll sein, den Puls zusätzlich zu nutzen, um die Schaltung aus der Ruhelage auszulenken, da durch die nichtlinearen Elemente der Schaltung in diesem Fall Asymmetrien entstehen, die ein instabiles Verhalten begünstigen können. Regt man eine differentielle Schaltung nur an einem der beiden Eingänge mit einer Puls-Quelle an, so kann man mit einer transienten Simulation gleichzeitig

die Stabilität im Gleich- und im Gegentakt überprüfen, da eine solche Ansteuerung beide Modi gleichermaßen anregt. Durch die Ansteuerung am Eingang der Schaltung werden in einer einzigen transienten Simulation viele Schaltungsteile angeregt. Es obliegt allerdings dem erfahrenen Schaltungsentwickler, die Schaltung zusätzlich noch an weiteren (empfindlichen) Punkten anzuregen. Beispielsweise muss immer beachtet werden, dass eine Schaltung auch außerhalb des Frequenzbereichs, für den sie konzipiert wurde, schwingen kann. Die Stabilitätsuntersuchung muss daher Frequenzen bis zur max. Schwingfrequenz f_{\max} der schnellsten eingesetzten Transistoren mit einbeziehen. Werden z. B. mehrere Verstärkerstufen kaskadiert, so ist es sinnvoll, die Schaltung nicht nur am Eingang der im Signalpfad vorderen Verstärkerstufen anzuregen, sondern auch in weiteren transienten Simulation an anderen Knoten des Signalpfades. Bei einer Anregung am Eingang der Verstärkerkette kann nämlich die begrenzte Bandbreite des im Signalpfad zuerst liegenden Verstärkers dazu führen, dass sonst die weiteren Verstärker nicht mehr ausreichend im gesamten zu betrachtenden Frequenzbereich angeregt werden und somit potenzielle Instabilitäten unentdeckt bleiben.

Neben einer sinnvollen Ansteuerung der Schaltung, muss bei transienten Simulationen zur Stabilitätsanalyse besonders darauf geachtet werden, dass keine künstliche numerische Dämpfung auftritt, die dazu führen kann, dass sich instabile Schaltungen in der Simulation stabil verhalten [138]. Bedingt wird dieses Phänomen durch die numerische Integrationsmethode, die genutzt wird, um das Differentialgleichungssystem, welches die Schaltung beschreibt, in ein System aus Differenzgleichungen zu überführen, also vom s - in den z -Bereich. In [138] wird die Abbildung von Polstellen aus dem s - in den z -Bereich für verschiedene, in Schaltungssimulatoren gebräuchliche Integrationsmethoden diskutiert. Dabei zeigt sich, dass bei der Trapez-Methode die linke s -Halbebene gerade in den Einheitskreis im z -Bereich abgebildet wird, also keine numerische Dämpfung auftritt. Bei anderen Integrationsmethoden, wie z. B. dem Integrationsverfahren nach Gear [139] werden auch noch Bereiche der rechten s -Halbebene ins Innere des Einheitskreises abgebildet, es kommt zu numerischer Dämpfung. Daher ist für transiente Simulationen, die mit dem Ziel der Stabilitätsuntersuchung durchgeführt werden, immer die Trapez-Methode als Integrationsmethode zu wählen. Zusätzlich muss darauf geachtet werden, dass die Schrittweite des Simulators fein genug ist, um die Entstehung von Oszillationen bei hohen Frequenzen zu ermöglichen.

5.1.7 Fazit

Je nach Ziel, das der Schaltungsentwickler verfolgt, haben verschiedene der vorgestellten Verfahren Vorteile. Um eine Schaltung hinsichtlich ihrer Stabilität zu dimensionieren, bieten sich insbesondere Verfahren an, die auf der Analyse einzelner Impedanzen bzw. Admittanzen basieren (vgl. Kap. 5.1.3). Um jedoch sicherzustellen, dass die damit gefundene Dimensionierung auch wirklich stabil ist, müssen Methoden verwendet werden, die das gesamte Netzwerk, unabhängig von der Beobachtbarkeit einzelner Zustände an

bestimmten Toren, analysieren. Am geeignetsten erscheint diesbezüglich die Analyse von Pol-/Nullstellen, die der Schaltungssimulator direkt anbietet, wie in Kap. 5.1.5 vorgestellt. Die transiente Simulation der untersuchten Schaltungen füllt eine Nische zwischen beiden Anwendungen. Sie kann verwendet werden, um die Stabilität zu überprüfen, wenn die Pol-/Nullstellenanalyse aufgrund der Komplexität der Schaltung zu keinem Ergebnis führt. Gleichzeitig können in der transienten Simulation Schaltungsbereiche identifiziert werden, in denen die Schwingungsamplituden besonders ausgeprägt sind und so zumindest Hinweise auf die Ursachen der Instabilität extrahiert werden. Im Folgenden wird an typischen Beispielschaltungen gezeigt, wie die einzelnen Verfahren eingesetzt werden können.

5.2 Stabilität häufig verwendeter Schaltungstopologien

5.2.1 Emitterfolgerkette

Am Beispiel einer Emitterfolgerkette werden im Folgenden die zuvor vorgestellten Methoden zur Analyse der Stabilität und zur Dimensionierung um eine stabile Schaltung sicherzustellen im Detail erläutert. Im Vordergrund stehen dabei die Analyse der Verteilung von Pol- und Nullstellen (vgl. Kap. 5.1.5) sowie die Betrachtung einzelner Kleinsignalimmittanzen (vgl. Kap. 5.1.3). Wird der zu analysierende Verstärker im Umschaltunkt betrachtet, so lässt sich das Netzwerk aufgrund der Symmetrie stark vereinfachen und basierend auf der sich ergebenden Zweitordarstellung effizient die Polstellen berechnen (vgl. Kap. 2.2.2.2). Zusätzlich wird der Fall des ausgelenkten Verstärkers betrachtet, wo aufgrund des komplexen Netzwerks nur numerische Simulationen in Betracht kommen, mit denen einerseits Immittanzen berechnet werden und andererseits die Stabilität basierend auf transienten Simulationen (vgl. Kap. 5.1.6) analysiert werden kann. Die Ergebnisse der unterschiedlichen Analysemethoden werden jeweils miteinander verglichen, sodass die Zusammenhänge ersichtlich werden.

Dass schon ein einzelner, kapazitiv belasteter Emitterfolger instabil sein kann, ist bereits seit 1964 bekannt [140]. Ursache für diese Instabilität ist die komplexe Impedanztransformation des Emitterfolgers im Frequenzbereich $\omega \gg \omega_\beta = \omega_T/\beta_0$, wobei ω_T die Transitfrequenz und β_0 die Kleinsignal-Stromverstärkung des Transistors bei niedrigen Frequenzen beschreiben (vgl. Kap. 2.2.2.1).

In [6, 57, 60] wird diese Impedanztransformationen systematisch beschrieben. Vor allem im Fall kaskadierter Emitterfolger ist die Beschreibung mittels Zweitor-Kettenparametern von Vorteil. Das darauf basierende, in Kap. 2.2.2.2 beschriebene Verfahren zur Optimierung der Verstärkungsüberhöhung einer Emitterfolgerkaskade liefert auch Erkenntnisse hinsichtlich der Stabilität der Schaltung. Für die Optimierung der Kleinsignalverstärkung der symmetrischen Schaltung werden allerdings ausschließlich Gegentaktsignale betrachtet, die Stabilität muss aber auch im Gleichtakt sichergestellt werden. Die Zerlegung der

Schaltung in Gleich- und Gegentakt ist prinzipiell nur im Umschaltpunkt möglich, da durch die Arbeitspunkt-Abhängigkeit der Elemente des Transistorersatzschaltbildes im ausgelenkten Zustand keine symmetrische Schaltung vorliegt. Daher kann die Kleinsignal-Stabilitätsanalyse der symmetrischen Schaltung nur als Basis für weitere Betrachtungen angesehen werden. Diese Basis bietet jedoch die Möglichkeit, grundlegende Erkenntnisse über die Auswirkungen der Parameterkonfiguration der Emitterfolgerkette (vgl. Kap. 2.2.2.2) auf die Stabilität zu erlangen.

Das Kleinsignal-Gleichtaktersatzschaltbild zu der in Abb. 2.8a dargestellten Schaltung aus Emitterfolgerkaskade und Transadmittanzstufe ist in Abb. 5.6 dargestellt. Gleich- und Gegentaktersatzschaltbild unterscheiden sich im Wesentlichen durch die parasitären Elemente. Im Gegentaktersatzschaltbild bilden alle auf der Symmetrielinie befindlichen Knoten eine sogenannte „virtuelle Masse“, sind also miteinander verbunden, sodass parasitäre Elemente häufig kurzgeschlossen werden (beispielsweise die Kapazität C_{p3}). Daher sind die parasitären Induktivitäten, die aus den Masseflächen der Versorgungsspannungnetzwerke resultieren, ausschließlich im Gleichtakt relevant. Im Gleichtaktersatzschaltbild in Zweitor-Darstellung können sie aufgrund der Torbedingung mit den parasitären Verbindungsinduktivitäten im Signalpfad zusammengefasst werden. Daher haben die Induktivitäten $L_{p1} \dots L_{p4}$ im Gleichtaktersatzschaltbild größere Werte als im Gegentaktersatzschaltbild (vgl. Tabelle 5.1). Die Analyse der Lage der Polstellen geschieht für das Gleichtaktersatzschaltbild aus Abb. 5.6 in völliger Analogie zu dem in Kap. 2.2.2.2 dargestellten Verfahren. Sie hat zum Ergebnis, dass das Risiko einer Instabilität der Emitterfolgerkaskade im Gleichtakt häufig größer ist als im Gegentakt, da die parasitäre Kapazität, mit der der Emitterknoten des Transadmittanzstufen-Transistors belastet wird (C_{p3} in Abb. 5.6), eine zusätzliche komplex konjugierte Polstelle hervorruft. Das Verhalten gleicht daher dem einer um einen Emitterfolger erweiterten Kaskade im Gegentakt, in dem der TAS-Transistor eine ähnliche kapazitive Last für die Emitterfolgerkette darstellt. Dies Erkenntnis korrespondiert mit der Erfahrung, dass die Stabilitätsproblematik mit steigender Anzahl der Emitterfolger-Transistoren in der Emitterfolgerkaskade zunimmt.

Die Stabilität wird, ähnlich wie bei der Optimierung der Übertragungsfunktion (vgl. Kap. 2.2.2.2), anhand der Transadmittanz $\underline{Y}_T = \underline{I}_4 / \underline{U}_1$ untersucht, wobei die Ansteuerungsspannung \underline{U}_1 hier in Form einer Spannungsquelle mit $50\ \Omega$ Innenwiderstand realisiert werden soll (vgl. Abb. 5.6). Abb. 5.7a zeigt die Position der dominanten Polstelle von \underline{Y}_T , in Abhängigkeit der parasitären Kapazität der Stromquelle der Transadmittanzstufe C_{p3} . Im Vergleich zum Gegentaktfall (vgl. Kap. 2.2.2.2) liegt die Polstelle sehr

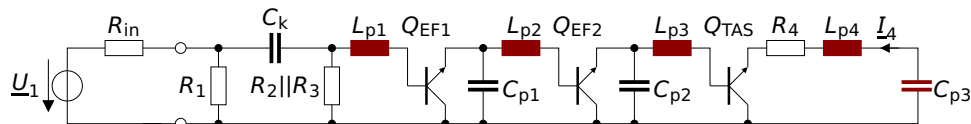


Abb. 5.6: Kleinsignal-Gleichtaktersatzschaltbild (inklusive parasitäre Induktivitäten und Kapazitäten) zu Abb. 2.8a.

	L_{p1}/pH	L_{p2}/pH	L_{p3}/pH	L_{p4}/pH	C_{p3}/fF
Gegentakt	10	6	70	9	–
Gleichtakt	20	16	80	9	96

Tabelle 5.1: Bauteilwerte der parasitären Elemente des Ersatzschaltbildes aus Abb. 5.6 für Gegen- und Gleichtaktbetrachtung.

nahe an der imaginären Achse und ist daher für die Stabilität der Schaltung von entscheidender Bedeutung. Bereits eine geringfügige Erhöhung der Kapazität kann zur Destabilisierung der Schaltung führen. Mit Hilfe des in Kap. 2.2.2.1 vorgestellten Konzepts lässt sich dies anschaulich erklären: An der Basis der Transadmittanzstufe erscheint die Impedanz der Kapazität $Z_C = (j\omega C_{p3})^{-1}$ transformiert mit dem T-Operator $\underline{T} \approx \omega_T/(j\omega)$ (für $\omega_\beta \ll \omega \ll \omega_T$) und somit als negative, frequenzabhängige Resistanz $R_{C, \text{trans.}} = \underline{T} Z_C = -\omega_T/(\omega^2 C_{p3})$. Diese entdämpft den Schwingkreis, bestehend aus der parasitären Induktivität L_{p3} und der kapazitiven Eingangsimpedanz der Transadmittanzstufe, sodass eine aufklingende Oszillation entsteht. Ein sehr ähnliches Resultat ergibt sich bei Erhöhung der parasitären Induktivität im Signalpfad zwischen den beiden Emitterfolgern L_{p2} (vgl. Abb. 5.7b). Diese wird durch den zweiten Emitterfolger Q_{EF2} ebenfalls zu einer negativen Resistanz $R_{L_{p2}, \text{trans.}} = j\omega L_{p2}/\underline{T} \approx -\omega^2 L_{p2}/\omega_T$ an der Basis des Transadmittanzstufentransistors transformiert. Ebenfalls vergleichbar wirkt sich eine Erhöhung des Basisbahnwiderstands des Transistors des ersten Emitterfolgers Q_{EF1} aus, der durch zweimalige Transformation (Q_{EF1} und Q_{EF2}) ebenfalls als negative, frequenzabhängige Resistanz $R_{r_{B1}, \text{trans.}} = r_{B1}/\underline{T}^2 = -r_{B1} \omega^2/\omega_T^2$ am Basisknoten des Transadmittanzstufentransistors erscheint (vgl. Abb. 5.7c). Die parasitäre Kapazität der Stromquelle der TAS C_{p3} , die parasitäre Induktivität zwischen den beiden Emitterfolgern

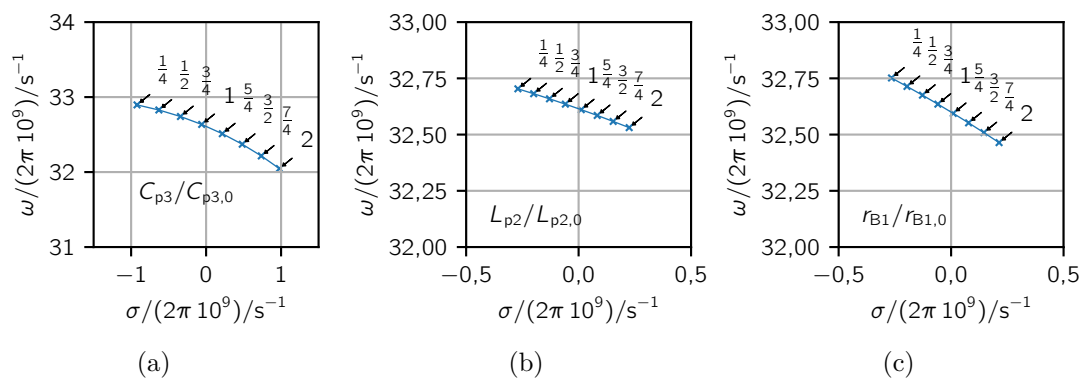


Abb. 5.7: Verschiebung der dominanten Polstelle der in Abb. 5.6 gezeigten Schaltung bei Variation a) der parasitären Kapazität der TAS-Stromquelle C_{p3} , b) der parasitären Induktivität zwischen den beiden Emitterfolgern L_{p2} und c) des Basisbahnwiderstands des ersten Emitterfolgers r_{B1} .

L_{p2} und der Basisbahnwiderstand von Q_{EF1} wirken sich daher alle destabilisierend aus, da ihre Erhöhung zu einer Verschiebung der dominanten Polstelle in die rechte Halbebene führt. Daher werden Maßnahmen ergriffen, um diese Elemente zu minimieren:

- Die Stromquelle der Transadmittanzstufe wird als Stromspiegel realisiert. Für die Transistoren dieses Stromspiegels wird eine Transistorkonfiguration mit möglichst geringer parasitärer Basis-Kollektor-Kapazität C_{CB} gewählt, also ein Transistor mit möglichst breitem Emittierstreifen in CEBC-Konfiguration, der bei der maximalen Stromdichte betrieben wird (vgl. Kap. 2.2.1).
- Die Metall-Verbindung zwischen erstem und zweitem Emittierfolger wird möglichst kurz gehalten um die parasitäre Induktivität L_{p2} zu minimieren. Weiter reduzieren lässt sich diese, indem die Masseverbindung, die als Rückleiter fungiert, parallel in kurzer Distanz zum Hinleiter geführt wird, um eine hohe induktive Kopplung zu erreichen.
- Der Transistor des ersten Emittierfolgers Q_{EF1} wird mit einem möglichst schmalen Emittierstreifen in BEBC-Konfiguration realisiert, um den Basisbahnwiderstand r_{B1} zu minimieren. Eine Erhöhung der Emittierlänge l , durch die r_{B1} weiter reduziert werden könnte, wird vermieden, da diese Maßnahme zu einer Erhöhung der Basis-Kollektor-Kapazität C_{CB1} führen würde und somit zu einer schlechteren Impedanzanpassung am Eingang der Verstärkerzelle.

Als weitere stabilisierende Maßnahme kann das Einfügen eines Widerstands in die Zweitorkette zwischen dem zweiten Emittierfolger Q_{EF2} und der Transadmittanzstufe Q_{TAS} in Betracht gezogen werden. Dieser zu L_{p3} in Serie liegende Widerstand führt zu einer Reduktion des Realteils des dominanten Pols und somit zu einer Stabilisierung (vgl. Abb. 5.8a). Dabei muss jedoch auch bedacht werden, dass diese Maßnahme sich auch im Gegentakt auswirkt, wie in Abb. 5.8b gezeigt. Eine beabsichtigte Überhöhung des

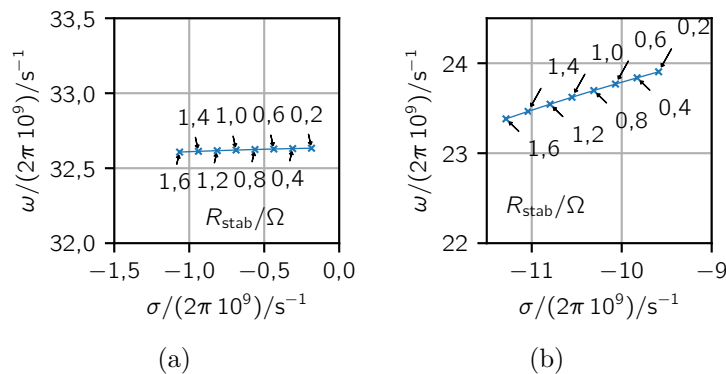


Abb. 5.8: Verschiebung der dominanten Polstelle im a) Gleichtakt und im b) Gegentakt durch Einfügen eines Serienwiderstandes zwischen Emittierfolgerkaskade und Transadmittanzstufe.

Betragsanges der Transadmittanz kann dadurch verringert und bezüglich ihrer Frequenz verschoben werden (vgl. Kap. 2.2.2.2).

Da bei der Gleichtaktbetrachtung im Gegensatz zur Gegentaktbetrachtung das gesamte Versorgungsspannungsnetzwerk berücksichtigt werden muss, lassen sich die Schaltungen meist nicht exakt mit Hilfe einer Zweitor-Kette, wie in Abb. 5.6 darstellen. So müssen beispielsweise die Impedanzen der Dioden in den Kollektorzweigen (vgl. Abb. 2.8) mit Hilfe von Ersatzschaltbildern angenähert werden. Diese Ersatzschaltbilder setzen sich für Betriebsfrequenzen $\omega \ll \omega_T$ aus Serienschaltungen von Widerständen und Induktivitäten zusammen, analog zur Herleitung für Dioden im Signalpfad in Kap. 2.2.2.2. Darüber hinaus ist es nicht möglich das komplexe RLC-Versorgungsnetzwerk, das die gesamte Metallisierung und die entsprechenden Abblock-Kapazitäten beinhaltet, in Form der einfachen Zweitor abzubilden. Dennoch stellt das Zweitor-Ersatzschaltbild aus Abb. 5.6 ein essentielles Hilfsmittel dar, um qualitative Erkenntnisse zu gewinnen. Obwohl es die quantitativen Zusammenhänge aufgrund der zuvor geschilderter Näherungen nur ungenau wiedergibt, stimmen die qualitativen Zusammenhänge mit denen der numerischen Simulation überein. Numerische Simulationen mit der Verstärkerschaltung mit Modellen, die die komplexen Versorgungsnetzwerke repräsentieren, sind daher unerlässlich, um die Stabilität der Schaltung sicher zu stellen. Aus den Erkenntnissen, die mit Hilfe des Zweitor-Ersatzschaltbildes gewonnen werden, lassen sich entsprechend Handlungsrichtlinien ableiten, mit deren Einsatz eine Stabilisierung der Schaltung möglich ist.

Um die Stabilität der Schaltung mit Hilfe numerische Simulationen überprüfen zu können, werden wie in Kap. 5.1.6 beschrieben, transiente Simulationen mit pulsformiger Anregung verwendet. Die Anregung mit einem Puls von 1 ps Dauer und jeweils 1 ps Anstiegs- bzw. Abfallzeit erfolgt dabei an einem der beiden differentiellen Eingänge, sodass sowohl Gleich- als auch Gegentakt angeregt werden. Zusätzlich müssen bestimmte Einstellparameter des Simulators beachtet werden (Integrationsmethode: trapezoidal, max. Schrittweite: 10 ps, vgl. Kap. 5.1.6). Abb. 5.9 zeigt die Zeitverläufe des Emitterstroms eines TAS-Transistors bei pulsformiger Anregung an einem Eingang. Bis zum Zeitpunkt des Anregungspulses (bei $t = 100$ ps) bleibt der Strom konstant im Arbeitspunkt. Nach erfolgter Anregung hängt es von der Parameterkonfiguration und der daraus resultierenden Position der Polstelle in der komplexen Ebenen ab, ob der Strom wieder in Form einer gedämpften Schwingung zum Arbeitspunkt zurück kehrt (Polstelle links der imaginären Achse), eine harmonische Schwingung konstanter Amplitude annimmt (Polstelle genau auf der imaginären Achse) oder die Schwingung aufklingt (Polstelle in der rechten Halbebene). Die qualitative Lageveränderung der Polstelle, die sich durch die Zweitor-Betrachtung ergibt (vgl. Abb. 5.7), wird durch die numerische Simulation in Abb. 5.9 bestätigt.

Die numerische Simulation bietet demnach die Möglichkeit, die Erkenntnisse, die durch die symbolische Betrachtung der aus Zweitor-Ketten bestehenden Ersatzschaltbilder gewonnen werden, quantitativ zu beurteilen. Aus dem Ergebnis der transienten Simulation kann jedoch nur abgelesen werden, ob sich die Schaltung stabil verhält oder nicht, eine

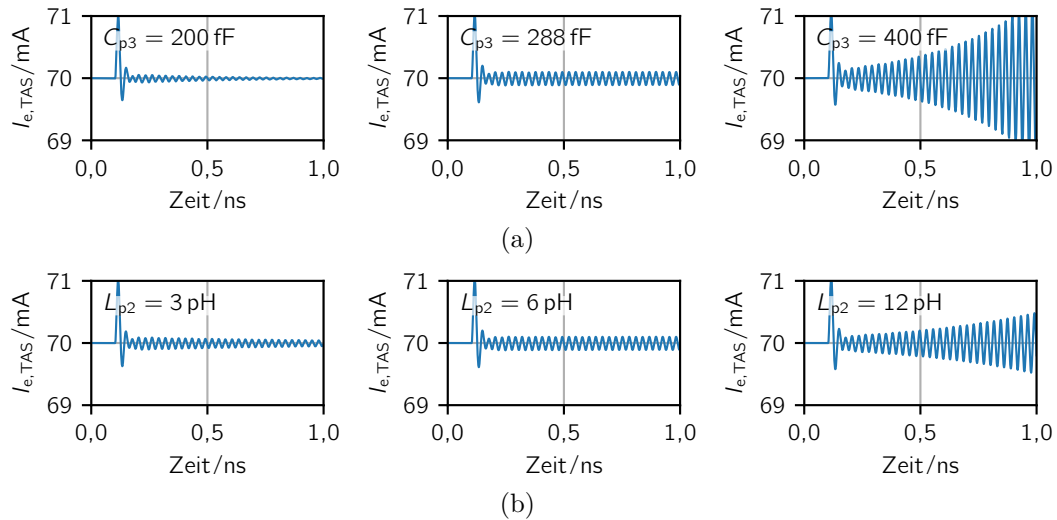


Abb. 5.9: Zeitverlauf des Emitterstroms der Transadmittanzstufe bei pulsformiger Anregung am Eingang des Verstärkers für unterschiedliche Werte a) der parasitären Kapazität der TAS-Stromquelle C_{p3} und b) der parasitären Induktivität im Signalpfad L_{p2} .

quantitative Aussage über die Stabilität ist nicht möglich. Dies bedeutet beispielsweise, dass im Fall einer instabilen Schaltung die notwendige Maßnahme, also etwa das Einfügen eines zusätzlichen dämpfenden Widerstands sowie dessen ungefähre Größe, durch die symbolische Betrachtung ermittelt werden kann. Um den Widerstand genauer zu dimensionieren sind allerdings eine große Anzahl transienter Simulationen mit verschiedenen Widerstandswerten erforderlich. [59] beschreibt eine zu diesem aufwendigen Verfahren alternative Methode, die jedoch erweitert werden muss, um in allen Fällen anwendbar zu sein. Diese Methode basiert auf der Vermeidung der notwendigen Bedingung für Instabilität, nämlich einem negativen Realteil der Eingangsadmittanz der Emitterfolgerkette, der betragsmäßig größer ist als der Realteil der Admittanz der ansteuernden Quelle, sodass sich am Eingangstor der Emitterfolgerkette durch die Addition der beiden Admittanzen eine Admittanz mit negativem Realteil (zumindest in einem bestimmten Frequenzbereich) ergibt. Wird diese Situation vermieden, so ist die Schaltung nach [59] stabil. Diese Aussage muss jedoch eingeschränkt werden, da sich Beispiele finden lassen, bei denen Instabilitäten auftreten, die nicht an der Eingangsadmittanz zu erkennen sind (vgl. Kap. 5.1.3).

Analog zu [6] wird die sogenannte Kernadmittanz definiert, die der in Kap. 5.1.3 erwähnten Summe der Ausgangsadmittanz der Ansteuerung und der Eingangsimpedanz der Emitterfolgerkaskade entspricht (vgl. \underline{Y}_K in Abb. 5.10). In Abb. 5.11a ist das Pol-Nullstellen-Diagramm der Kernadmittanz \underline{Y}_K dargestellt. Die Parameterkonfiguration der Emitterfolgerkette, im Speziellen die Größe der parasitären Kapazität der TAS-Stromquelle C_{p3} wurde für den dargestellten Fall so gewählt, dass sich eine Polstelle (vergrößert dargestellt) rechts der imaginären Achse befindet und die Schaltung somit

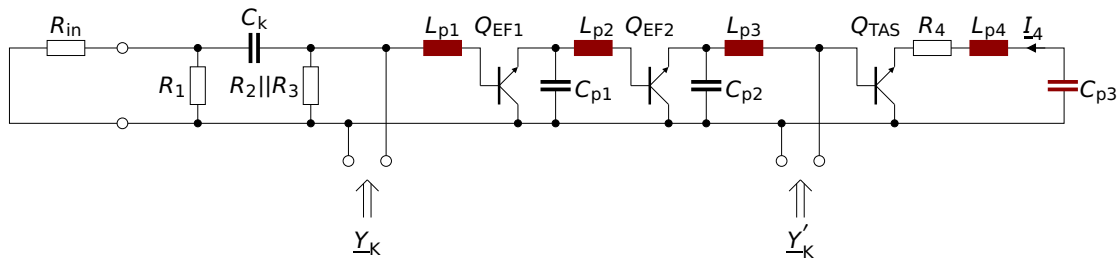


Abb. 5.10: Definition der Kernadmittanz an verschiedenen Positionen im Gleichtaktersatzschaltbild der Emitterfolgerkette.

instabil ist. Der in Abb. 5.11b dargestellte Verlauf des Realteils der Kernadmittanz nimmt allerdings im gesamten Frequenzbereich keine negativen Werte an. Demnach ist die laut [59] für Instabilität notwendige Bedingung nicht erfüllt. Dass die Kernadmittanz trotz Instabilität einen positiven Realteil aufweist, liegt an der Nullstelle, deren Abstand zur dominanten Polstelle sehr gering ist (vgl. Abb. 5.11a). Da sich das Pol-Nullstellen-Paar in der Übertragungsfunktion nahezu kürzt, ist die Auswirkung der Polstelle auf die Transadmittanz nur in einem schmalen Frequenzband sichtbar. Dort ist der durch die Nullstelle verursachte Anstieg des Realteils stärker ausgeprägt als der Abfall durch die Polstelle, weshalb der Realteil nicht negativ wird. Da die Polstellen für alle Wirkungsfunktionen gleich sind, die Nullstellen sich aber unterscheiden, führt eine Betrachtung

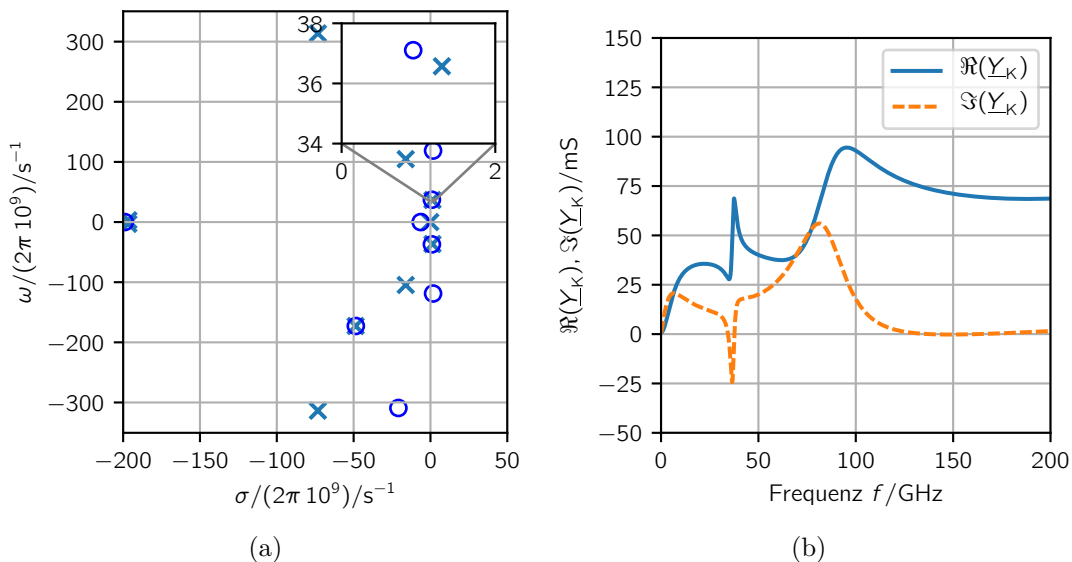


Abb. 5.11: a) Pol-Nullstellen-Diagramm und b) Verlauf von Real- und Imaginärteil der Kernadmittanz \underline{Y}_K aus Abb. 5.10 über der Frequenz. Der Bereich der dominanten Polstelle, die zur Instabilität der Schaltung führt, ist vergrößert dargestellt.

der Kernadmittanz an einer anderen Stelle in der Emitterfolgerkette auch zu anderen Ergebnissen.

Abb. 5.12a zeigt die Pol-Nullstellen-Konfiguration der Kernadmittanz \underline{Y}'_K , die zwischen dem letzten Emitterfolger im Signalpfad und der Transadmittanzstufe ermittelt wird. Die Lage der Polstellen ist für alle Wirkungenfunktionen des Netzwerks gleich und stimmt daher mit Abb. 5.11a überein, Position und Anzahl der Nullstellen sind jedoch verändert. Es existiert keine Nullstelle in der Nähe der dominanten Polstelle, die die Stabilität des Systems bestimmt. Dementsprechend zeigt der Verlauf des Real- und des Imaginärteils über der Frequenz in Abb. 5.12b ebenfalls die Instabilität des Systems. Bei einer Frequenz von 36 GHz ist der Realteil der Kernadmittanz \underline{Y}'_K negativ, während ihr Imaginärteil mit positiver Steigung sein Vorzeichen wechselt. Dieses Verhalten ist nach Gl. 5.17 und Gl. 5.23 ein sicherer Indikator für die Instabilität der Schaltung. Demnach kann der Verlauf von Real- und Imaginärteil bestimmter Übertragungsfunktionen über der Frequenz zur Beurteilung der Stabilität der Schaltung herangezogen werden. Dazu eignen sich prinzipiell solche Übertragungsfunktionen, die keine Nullstellen in der Nähe der dominanten Polstellen aufweisen. Die Diskussion der Kernadmittanzen \underline{Y}_K und \underline{Y}'_K sowie die Überlegungen aus Kap. 5.1.3 machen deutlich, dass dies der Fall ist, wenn die Kernadmittanz möglichst „nah“ am Ort der Ursache einer potenziellen Instabilität bestimmt wird, sodass Immittanzen mit negativem Realteil unmittelbar untersucht werden können [127].

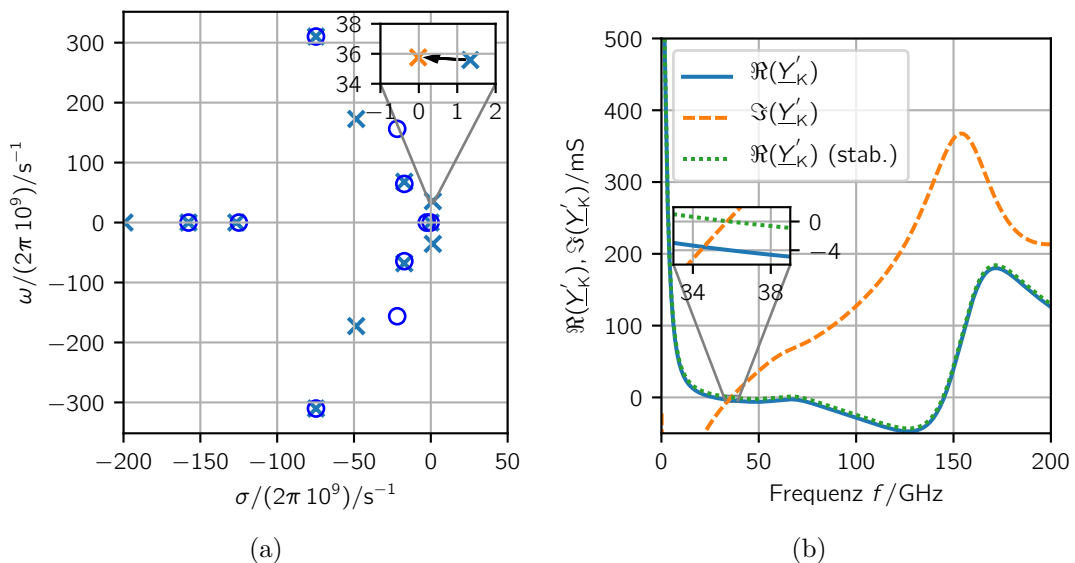


Abb. 5.12: a) Pol-Nullstellen-Diagramm und b) Verlauf von Real- und Imaginärteil der Kernadmittanz \underline{Y}'_K aus Abb. 5.10 über der Frequenz. Zusätzlich dargestellt ist die Verschiebung der dominanten Polstelle und des Realteils der Kernadmittanz für den Fall, dass ein Leitwert von 4 mS am Tor der Kernadmittanz \underline{Y}'_K eingefügt wird.

Diese Betrachtung lässt sich zu einer Methode zur Stabilisierung erweitern. Die Schaltung kann stabilisiert werden, indem am Tor, an dem die Kernadmittanz \underline{Y}'_K bestimmt wird, ein Leitwert parallel geschaltet wird. Dessen Wert muss so gewählt werden, dass seine additive Überlagerung mit der Kernadmittanz deren Realteil bei der Frequenz des Nulldurchgangs des Imaginärteils positiv werden lässt. Im konkreten, hier gezeigten Fall muss ein Leitwert mit einem Wert $> 4 \text{ mS}$ eingefügt werden, da die Kernadmittanz bei 36 GHz (Nulldurchgang des Imaginärteils) einen Realteil von -4 mS aufweist. Durch diese Maßnahme wird sichergestellt, dass die Kernadmittanz \underline{Y}'_K beim Nulldurchgang ihres Imaginärteils einen positiven Realteil aufweist (vgl. Abb. 5.12b) und die dominante Polstelle in die linke Halbebene der komplexen Ebene verschoben wird (vgl. Abb. 5.12a).

Aus den Überlegungen, die Abb. 5.8 zugrunde liegen, ist bekannt, dass ein Serienwiderstand zwischen Emitterfolgerkette und Transadmittanzstufe ebenfalls stabilisierend wirkt. Daher wird analog zur Kernadmittanz eine Kernimpedanz an diesem Tor definiert (vgl. Abb. 5.13). Diese verhält sich dual zur Kernadmittanz in dem Sinne, dass sich für die Kernadmittanz das Originalnetzwerk durch Einfügen eines idealen Leerlaufs am Kernadmittanztor ergibt, während am Tor der Kernimpedanz ein idealer Kurzschluss eingefügt werden muss. Ebenso wie mit Hilfe der Kernadmittanz ein Paralleleitwert dimensioniert werden kann, der die Stabilität des Netzwerks sicherstellt, kann mit Hilfe der Kernimpedanz ein Serienwiderstand dimensioniert werden. Hierzu wird der Verlauf von Real- und Imaginärteil der Kernimpedanz über der Frequenz ermittelt (vgl. Abb. 5.14b). Dieser Verlauf gibt die Instabilität der Schaltung wieder, da der Realteil einen negativen Wert bei der Frequenz aufweist, bei der der Imaginärteil mit positiver Steigung sein Vorzeichen wechselt (vgl. Gl. 5.16, Gl. 5.23). Durch Einfügen eines Serienwiderstands mit dem Wert 2Ω kann der Realteil soweit verschoben werden, dass er bei dieser Frequenz einen positiven Wert annimmt, wodurch die Polstelle einen negativen Realteil annimmt und die Schaltung stabil wird (vgl. Abb. 5.14a).

Zur Beurteilung der Stabilität der Schaltung aus Emitterfolgerkette und Transadmittanzstufe im Umschaltunkt, wo die Schaltung in Gleich- und Gegentakt zerlegt werden kann, stehen also verschiedene Methoden zur Verfügung. Die Stabilität lässt sich anhand der Polstellen einer beliebigen Wirkungsfunktion des Netzwerks zwar eindeutig beurteilen, jedoch ist es häufig schwierig, die Polstellen zu ermitteln. Ab einem gewissen Komplexitätsgrad stehen ausschließlich numerische Simulationen zur Verfügung. Während mittels geeigneter transienter Simulationen die Stabilität gut beurteilt werden kann, liefern sie nur wenig

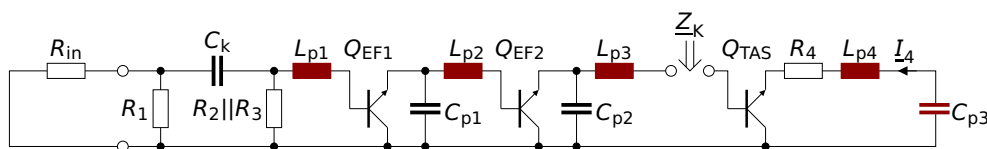


Abb. 5.13: Definition der Kernimpedanz zwischen Emitterfolgerkette und Transadmittanzstufe im Gleichaltersatzschaltbild.

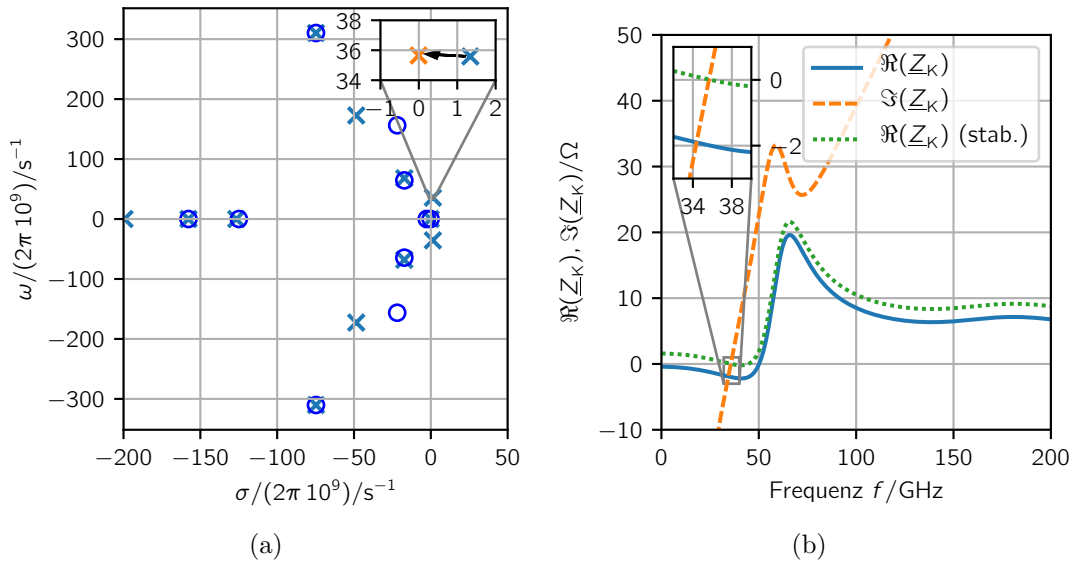


Abb. 5.14: a) Pol-Nullstellen-Diagramm und b) Verlauf von Real- und Imaginärteil der Kernimpedanz \underline{Z}_K aus Abb. 5.13 über der Frequenz. Zusätzlich dargestellt ist die Verschiebung der dominanten Polstelle und des Realteils der Kernimpedanz für den Fall, dass ein Serienwiderstand von 2Ω am Tor der Kernimpedanz \underline{Z}_K eingefügt wird.

oder gar keine Informationen über mögliche Stabilitätsreserven. Diese können wiederum mit Kleinsignalsimulationen, also Verläufen von Wirkungsfunktionen über der Frequenz, ermittelt werden, erfordern jedoch ein gutes Verständnis der Schaltung, um die Stabilität sicher beurteilen zu können, da im Allgemeinen nur bestimmte Wirkungsfunktionen eine zuverlässige Aussage erlauben.

Bisher wurden ausschließlich Methoden vorgestellt, die zur Beurteilung der Kleinsignalstabilität im Umschaltzustand verwendet werden können. Im Allgemeinen neigen allerdings gerade Treiberverstärkerschaltungen auch zur Instabilität im ausgelenkten Zustand [59]. In diesem kann die Schaltung aufgrund der asymmetrischen Verhältnisse nicht durch Zerlegung in Gleich- und Gegentakt vereinfacht werden, weshalb es nicht möglich ist, mithilfe symbolischer Betrachtungen anhand der Zweitor-Darstellung Pol- und Nullstellen der Übertragungsfunktionen zu ermitteln. Daher bleiben zur Beurteilung der Stabilität im ausgelenkten Zustand nur die beiden Methoden, die auf numerischen Simulationen basieren. Aufgrund ihrer eindeutigen Aussage bieten für diesen Fall transiente Simulationen mit geeigneter Anregung Vorteile.

Abb. 5.15 zeigt die Zeitverläufe des Emitterstroms eines TAS-Transistors der Schaltung aus Abb. 2.8a. Da die Schaltung am Eingang kapazitiv gekoppelt ist, wird die statische Auslenkung durch Einprägen eines konstanten Stromes von $150 \mu\text{A}$ zwischen den Basen des ersten differentiellen Emitterfolgers Q_{EF1} erzielt. Da der Strom im Wesentlichen über die Widerstände R_2, R_3 fließt, ergibt sich eine Differenzspannung von ca. 360 mV zwi-

schen den beiden Knoten, die annähernd zur vollen Auslenkung der Transadmittanzstufe führt. Die in Abb. 5.15 dargestellten Zeitverläufe zeigen, dass sich die im Umschaltpunkt grenzstabile Verstärkerschaltung im ausgelenkten Zustand instabil verhält. Dieses Verhalten macht deutlich, dass die Stabilitätsanalyse nicht nur im Umschaltpunkt, sondern auch im ausgelenkten Zustand der Schaltung erfolgen muss. Da die Verstärkung der Transadmittanzstufe mit zunehmender Auslenkung abnimmt, die Asymmetrie der gesamten Verstärkerschaltung jedoch zunimmt, ist eine genaue Aussage darüber bei welcher Auslenkung um den Umschaltpunkt die Neigung zu Oszillationen am größten ist a priori nicht möglich. Daher muss die Stabilität bei unterschiedlich starker Auslenkung des Verstärkers analysiert werden. Falls bei weiteren Untersuchungen periodische Zeitverläufe, die nicht direkt auf periodische Anregungen zurückgeführt werden können, oder plötzliche Veränderungen des Real- oder Imaginärteils von Wirkungsfunktionen über der Frequenz auftreten, müssen diese genau untersucht werden, da solche Symptome häufig auf instabile Dimensionierungen hindeuten.

Neben transienten Simulationen können auch Kleinsignalsimulationen der gesamten Schaltung zur Untersuchung der Stabilität im ausgelenkten Zustand genutzt werden. Essentiell sind dabei die bereits beschriebenen Erkenntnisse, die aus der Betrachtung der symmetrischen Schaltung im Umschaltpunkt gewonnen wurden. Aus dieser Betrachtung ergibt sich, dass für die in Abb. 2.8a dargestellte Schaltung die Untersuchung der Kernimpedanz Z_K an der Basis der Transadmittanzstufe zu sinnvollen Erkenntnissen hinsichtlich der Stabilität der Schaltung führt. Außerdem ist bereits bekannt, dass die Stabilität insbesondere im Gleichtakt bei einer Frequenz von ca. 36 GHz gefährdet ist. Abb. 5.16 zeigt Real- und Imaginärteil von Z_K für den Gleichtaktfall im Umschaltpunkt und für die statisch ausgelenkte Verstärkerschaltung. Kritisch hinsichtlich der Stabilität ist der Frequenzbereich bei 35 GHz (Nulldurchgang des Imaginärteils). Dort beträgt der Realteil im Umschaltpunkt näherungsweise 0Ω (grenzstabil), während er im ausgelenkten Zustand negative Werte annimmt. Analog zu den Ausführungen für die Zweitor-Darstellung der Schaltung im Umschaltpunkt kann mithilfe der Kleinsignalsimulationen ein Serienwiderstand zwischen Emitterfolgerkaskade und Transadmittanzstufe dimensioniert werden, der zur Stabilisierung der Schaltung führt. Im betrachteten Beispiel müsste dieser Widerstand einen Wert von ca. 1Ω aufweisen, um in der Addition mit dem negativen Realteil bei

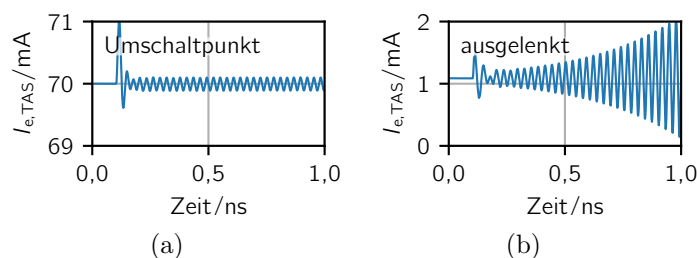


Abb. 5.15: Zeitverlauf des Emitterstroms der Transadmittanzstufe bei pulsformiger Anregung am Eingang des Verstärkers a) im Umschaltpunkt und b) im ausgelenkten Zustand.

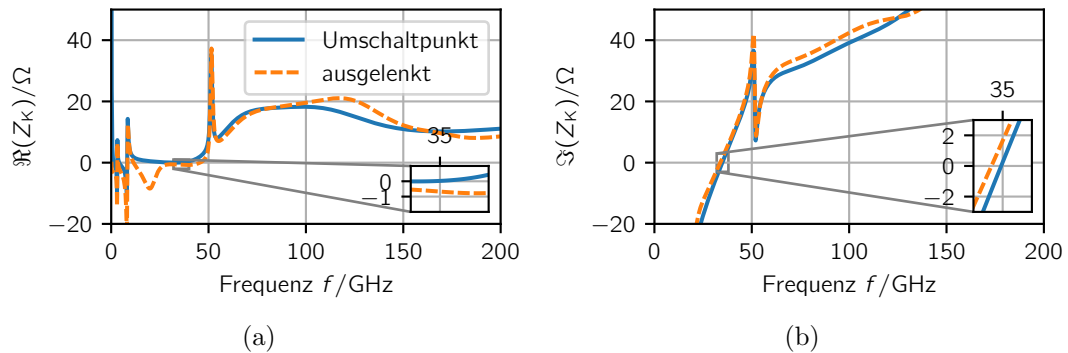


Abb. 5.16: a) Real- und b) Imaginärteil der Kernimpedanz an der Basis der Transadmittanzstufe der in Abb. 2.8a dargestellten Schaltung im Gleichtakt.

35 GHz (vgl. Abb. 5.16a) zu einem positiven Realteil zu führen. Zusätzlich fallen im unteren Frequenzbereich einige abrupte Vorzeichenwechsel des Realteils auf. Diese sind auf Resonanzen im Versorgungsspannungsnetzwerk zurückzuführen, das in der den gezeigten Daten zugrunde liegenden Simulation stark vereinfacht modelliert wurde. Da der Imaginärteil in diesem Frequenzbereich keine Vorzeichenwechsel beinhaltet, ist die Stabilität zunächst nicht gefährdet. Da das Versorgungsspannungsnetzwerk jedoch Bestandteil aller Gleichtakt-Kernimpedanzen und -admittanzen ist, ist eine genaue Modellierung desselben inklusive Abblockung Bestandteil einer gewissenhaften Stabilitätsanalyse der integrierten Schaltung (vgl. [59]).

Im ausgelenkten Zustand der Schaltung entfällt die Möglichkeit der Stabilitätsanalyse mit Hilfe symbolischer Berechnung der Pol- und Nullstellen anhand der Zweitor-Darstellung. Die transiente Simulation der komplexen Schaltung bei geeigneter Anregung (vgl. Kap. 5.1.6) lässt aber auch im ausgelenkten Zustand der Schaltung Rückschlüsse auf deren Stabilität zu. Ebenso kann das Konzept der Beurteilung der Stabilität anhand der Kernimpedanz bzw. Kernadmittanz, die aus Kleinsignalsimulationen gewonnen werden können, auf die komplexe Schaltung im ausgelenkten Zustand erweitert werden.

Zur Analyse der Stabilität einer Emitterfolgerkaskade können verschiedene Methoden angewendet werden. Insbesondere im Umschaltpunkt lässt sich die Schaltung vereinfachen, sodass effizient die Verteilung der Polstellen in Abhängigkeit bestimmter Schaltungsparameter bestimmt werden kann. Die darauf basierenden Ergebnisse stehen im Einklang mit der auf Immittanzen basierenden Stabilitätsanalyse, vorausgesetzt dass die jeweiligen Immittanzen an geeigneten Knoten bestimmt werden. Es wird deutlich, dass daher Ergebnisse der immittanzbasierte Stabilitätsanalyse immer durch eine weitere Analysemethode (beispielsweise auf Polstellen oder transienten Simulationen basierend) abgesichert werden sollten. Der große Vorteil der immittanzbasierten Stabilitätsanalyse besteht darin, dass sie genutzt werden kann, um ins Netzwerk einzubringende Serien- oder Parallelwiderstände so zu dimensionieren, dass sich eine stabile Schaltung ergibt.

5.2.2 Kaskode

Nicht nur die mit der Transadmittanzstufe belastete Emitterfolgerkaskade, sondern auch die Kaskode, die aus dieser Transadmittanzstufe und einer Basisstufe (CBS) besteht, können zur Instabilität der Verstärkerschaltung führen. Im Folgenden wird zum einen demonstriert, wie sich die in Kap. 5.1.3 und Kap. 5.1.6 vorgestellten Methoden anwenden lassen, um die Kaskode zu stabilisieren bzw. zu verifizieren, dass die Schaltung stabil ist. Zudem wird eine Schwingungsmode der Kaskode gezeigt, die insbesondere durch die Anwendung des in Kap. 3.1.2.2 vorgestellten Konzepts zur Vermeidung des *Current Hogging Effects* auftritt und eine Möglichkeit zur Stabilisierung präsentiert.

Es ist bekannt, dass insbesondere eine parasitäre Induktivität in Serie zur Basis der CBS eine potenzielle Instabilität verursacht. Diese Induktivität führt im Zusammenspiel mit der parasitären Basis-Emitter-Kapazität des CBS-Transistors und der kapazitiven Ausgangsimpedanz der TAS zu einem dem Colpitts-Oszillator entsprechenden Ersatzschaltbild [141]. Um die Stabilität der Kaskode dennoch sicherzustellen, wird ein zusätzlicher Widerstand (vgl. R_S in Abb. 5.17) in Serie zu dieser Induktivität in die Schaltung eingefügt [142]. [143] analysiert die Stabilität einer CMOS-Kaskode detailliert und beschreibt Unter- und Obergrenzen für diesen Serienwiderstand zur Stabilisierung der Schaltung. Da sich die Ergebnisse aufgrund des ähnlichen Ersatzschaltbildes der Transistoren zu den im Rahmen dieser Arbeit verwendeten Bipolar-Transistoren übertragen lassen, ist im vorliegenden Fall ebenfalls ein Serienwiderstand einer bestimmten Größe erforderlich. Sowohl bei zu geringem als auch bei zu großem Widerstandswert ist die Schaltung instabil. Die Dimensionierung dieses Widerstandswerts ist ein weiteres Beispiel für die Anwendung der in Kap. 5.1.3 vorgestellten Methode.

Analog zur Stabilitätsbetrachtung in [59] wird zur Dimensionierung des stabilisierenden, an der Basis der CBS angeschlossenen Widerstands die Kernimpedanz \underline{Z}_K im Basiszweig der CBS ermittelt (vgl. Abb. 5.17). Da die parasitäre Induktivität zwischen der Basis der CBS-Transistoren und der Symmetrielinie (virtuelle Masse) L_c durch ein geeignetes Layout sehr gering gehalten werden kann, muss in erster Linie der Gleichtakt hinsichtlich der Stabilität betrachtet werden. Abb. 5.18a zeigt Real- und Imaginärteil der Kernimpedanz \underline{Z}_K für $R_s = 0$, also ohne Serienwiderstand im Basiszweig. Da der Imaginärteil von \underline{Z}_K bei 13 GHz mit positiver Steigung sein Vorzeichen wechselt und der Realteil bei dieser Frequenz negativ ist, ist die Schaltung instabil (vgl. Kap. 5.1.3). Dies wird auch durch das Ergebnis einer transienten Simulation, bei der mit einem Impuls zum Zeitpunkt $t = 100$ ps die Schwingung angeregt wird, bestätigt. In Abb. 5.18c ist ab diesem Zeitpunkt eine aufklingende Schwingung mit der erwarteten Frequenz von 13 GHz zu erkennen. Um diese zu unterdrücken, wird ein Serienwiderstand R_s in die Schaltung eingebracht. Die Spannungsquelle $U_{B,CBS}$ wird in der Schaltung durch 4 in Serie geschaltete Dioden realisiert. Deren Bahnwiderstände sind jedoch alleine nicht ausreichend, um den Realteil von \underline{Z}_K soweit anzuheben, dass er für alle Frequenzen positiv wird. Darum wird in den Basiszweig ein zusätzlicher Serienwiderstand von 100Ω eingefügt. Entsprechend ist der

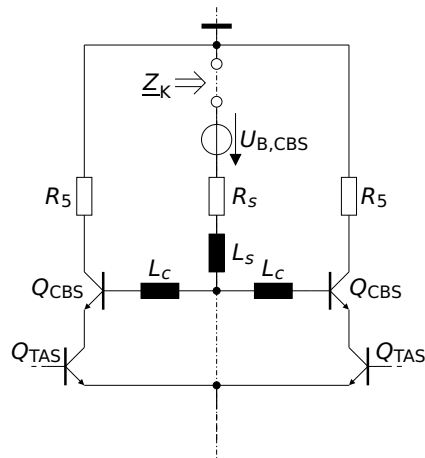


Abb. 5.17: Ausgangskaskode mit parasitären Induktivitäten im Basiszweig der CBS. Zur Ermittlung der zugehörigen Kernimpedanz wird der Basiszweig aufgetrennt.

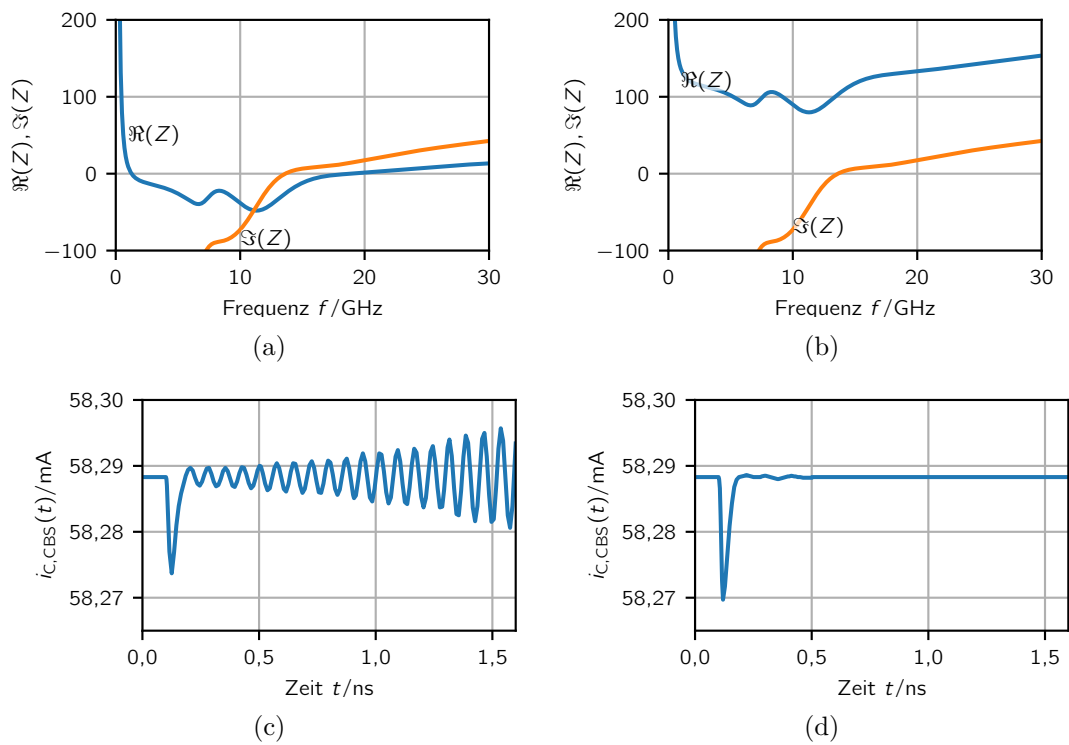


Abb. 5.18: Real- und Imaginärteil der Kernimpedanz Z_K (vgl. Abb. 5.17) im Basiszweig der CBS vor (a) und nach (b) der Stabilisierung durch einen zusätzlichen Serienwiderstand. c) und d) zeigen die zugehörigen Zeitverläufe des Kollektorstroms I_C der CBS.

Realteil für alle Frequenzen positiv (vgl. Abb. 5.18b) und auch die transiente Simulation zeigt nur noch die Auslenkung des Kollektorstroms $i_{C,CBS}(t)$ durch den Anregungsimpuls, aber es ist keine aufklingende Schwingung zu erkennen (vgl. Abb. 5.18d).

Eine zusätzliche Besonderheit ergibt sich durch die Anwendung des in Kap. 3.1.2.2 eingeführten Konzeptes der Parallelschaltung kompletter Kaskoden anstelle einzelner Transistoren. Durch diese Parallelschaltung entsteht ein neuer Freiheitsgrad, der in Abhängigkeit der parasitären Elemente, insbesondere der parasitären Induktivitäten im Basiszweig, zu Oszillationen führen kann.

Um die im Gegentakt wirksamen parasitären Induktivitäten im Basiszweig so stark wie möglich zu reduzieren, werden die CBS-Transistoren möglichst nahe an der Symmetrieachse angeordnet. Die Basen der Einzelkaskoden werden durch einen durchgehenden Metallstreifen auf der Symmetrieachse miteinander verbunden. Dadurch ergibt sich das in Abb. 5.19 gezeigte Ersatzschaltbild mit den Induktivitäten L_C , die die metallische Verbindung der Basen der CBS-Transistoren bis zur Symmetrieachse repräsentieren und den Induktivitäten L_S auf der Symmetrieachse. Im Gegentakt stellt jeder der Knoten $N_1 \dots N_6$ auf der Symmetrieachse eine virtuelle Masse dar.

Transiente Simulationen, wie in Kap. 5.1.6 beschrieben, zeigen jedoch, dass eine Oszillati-

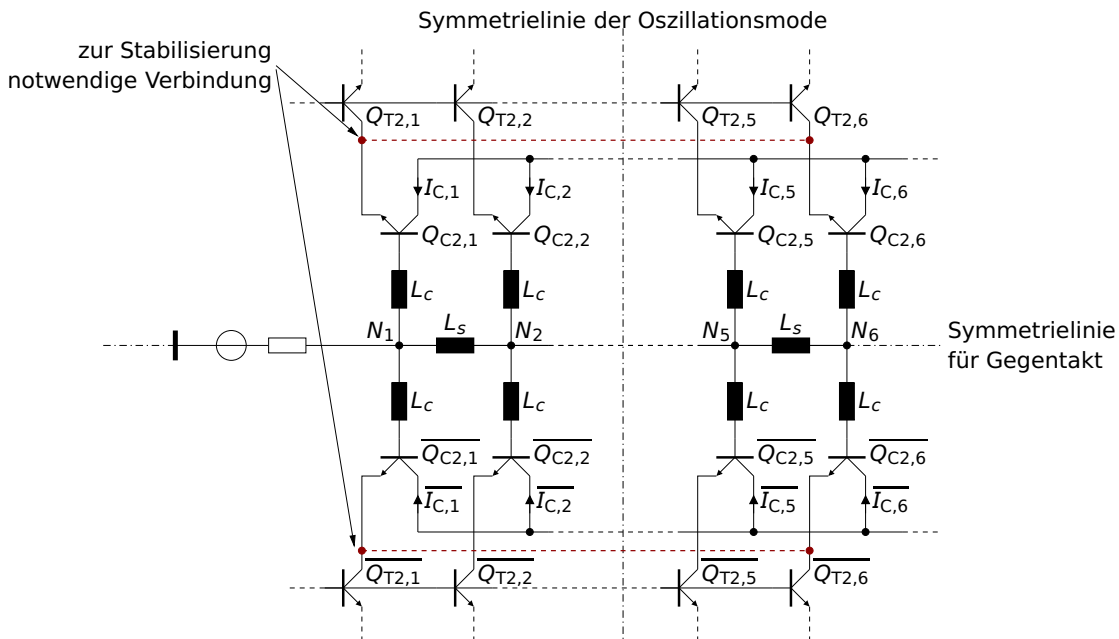


Abb. 5.19: Schaltplan der parallel geschalteten Kaskoden am Ausgang des Treibers mit parasitären Induktivitäten an den Basisknoten der Basisstufen. Die rot eingezzeichnete Verbindung der Kollektoren von $Q_{T2,1}$ und $Q_{T2,2}$ bzw. $\overline{Q}_{T2,1}$ und $\overline{Q}_{T2,2}$ sind zur Stabilisierung notwendig.

onsmode auftreten kann, bei der die Transistoren anti-symmetrisch zu einer zweiten Symmetrieachse ausgelenkt werden, die senkrecht zur eigentlichen Gegentakt-Symmetrielinie liegt (vgl. Abb. 5.19). Eine Erhöhung des Potentials an Knoten N_1 geht mit einer entsprechenden Verringerung des Potentials von N_6 einher, während die beiden Knoten im Normalbetrieb der Schaltung immer das gleiche Potential haben. Dies äußert sich entsprechend auch bezüglich der Kollektorströme der CBS-Transistoren, deren Aufschwingen in Abb. 5.20 dargestellt ist. I_{C1} und $\overline{I_{C1}}$, die im Normalbetrieb gegeneinander schwingen, verlaufen in der Oszillationsmode gleich. Sie schwingen antisymmetrisch zu I_{C6} und $\overline{I_{C6}}$. Für kleine Auslenkungen heben sich die Ströme näherungsweise auf, sodass die Summenströme $\sum_{k=1}^6 I_{Ck}$ und $\sum_{k=1}^6 \overline{I_{Ck}}$ annähernd konstant sind und die Schwingung am Ausgangsknoten der Schaltung nicht beobachtbar ist. Für größere Auslenkungen verschieben sich jedoch die Arbeitspunkte der Transistoren der Kaskode und es ergibt sich ein resultierender Strom am Ausgang.

Eine genauere Analyse der dargestellten Schaltung ergibt, dass sich die CBS-Transistoren zusammen mit den parasitären Induktivitäten an ihren Basen und der kapazitiven Belastung durch die TAS-Transistoren an ihren Emitttern als Colpitts-Oszillator darstellen lassen (vgl. Abb. 5.21). Hierbei werden die Transistoren $Q_{C2,1} \dots Q_{C2,3}, \overline{Q_{C2,1}} \dots \overline{Q_{C2,3}}$ bzw. $Q_{C2,4} \dots Q_{C2,6}, \overline{Q_{C2,4}} \dots \overline{Q_{C2,6}}$, jeweils zu $Q_{C2,1-3}$ und $Q_{C2,4-6}$ zusammengefasst, entsprechend ergeben sich effektive Induktivitäten $L_{s,eff}$ und C_{TAS} .

Eine Verbindung der Emitterknoten von $Q_{C2,1-3}$ und $Q_{C2,4-6}$ stabilisiert die Schaltung (gestrichelte Linie in Abb. 5.21). Diese Verbindung kann erreicht werden, indem die entsprechenden Emitter der CBS-Transistoren paarweise von außen nach innen miteinander verbunden werden, also $Q_{C2,1}$ mit $Q_{C2,6}$, $Q_{C2,2}$ und $Q_{C2,5}$, usw. Hierdurch wird das in Kap. 3.1.2.2 vorgestellte Konzept zur Vermeidung des *Current Hogging Effects* nicht negativ beeinflusst, da immer nur die Kaskoden miteinander verbunden werden, die durch die Symmetrie der Anordnung ohnehin die gleichen thermischen Impedanzen aufweisen. Simulationen zeigen, dass zur Stabilisierung der realisierten Schaltung eine Verbindung der Emitter der beiden äußersten CBS-Transistoren $Q_{C2,1}$ und $Q_{C2,6}$ bzw. $\overline{Q_{C2,1}}$ und $\overline{Q_{C2,6}}$ ausreichend ist (vgl. Abb. 5.19).

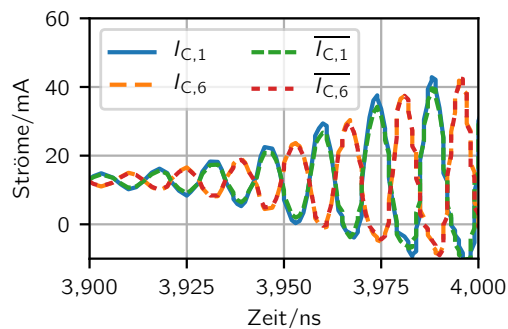


Abb. 5.20: Kollektorströme der Basisstufen der außen angeordneten Kaskoden (vgl. Abb. 5.19).

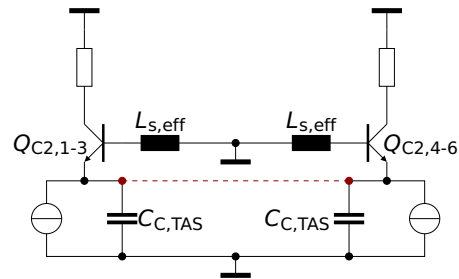


Abb. 5.21: Das aus Abb. 5.19 hergeleitete Kleinsignal-Ersatzschaltbild macht deutlich, dass die Basisstufe zusammen mit den parasitären Elementen die Struktur eines Colpitts-Oszillators annimmt.

Auch an diesem Anwendungsbeispiel lässt sich aufzeigen, wie die verschiedenen, in Kap. 5.1 vorgestellten Methoden zur Stabilitätsanalyse einerseits zur Dimensionierung hinsichtlich der Stabilität und andererseits zur Verifikation derselben angewendet werden können. Zusätzlich zu der bereits in der einschlägigen Literatur (z.B. [59]) beschriebenen Stabilitätsproblematik von Kaskoden, wurde eine weitere Schwingungsmoden beschrieben und untersucht, die insbesondere durch das Konzept zur Vermeidung des *current hogging effects* (vgl. Kap. 3.1.2.2) an Bedeutung gewinnt.

5.3 Besonderheiten hinsichtlich der Stabilität eines Treiber-Arrays mit von der Last getrenntem Bezugspotential

Im Rahmen der vorliegenden Arbeit wurde ein Treiber-Array entwickelt, das durch das Konzept zur flexiblen, energieeffizienten Arbeitspunkteinstellung der Last (vgl. Kap. 4.1.1) und die enge Aufbautechnik mit direkten Signal-Bonddrähten zwischen Treiber-Array und Modulator-Chip einer besonders intensiven Stabilitätsanalyse bedarf. Zentrales Bauteil des im Rahmen eines EU-Forschungsprojekts entwickelten Transmitters ist ein sogenannter *photonic integrated circuit* (PIC), ein optischer Mikrochip, der zehn Laser-Quellen, zehn Mach-Zehnder-Modulatoren (MZMs) und einen sogenannten *star coupler* vereint, der die zehn modulierten Laserstrahlen überlagert, um ein Glasfaserkabel zu speisen (vgl. Abb. 6.8d). Angesteuert werden je fünf Mach-Zehnder-Modulatoren von zwei Treiber-Array-Chips, die seitlich zum PIC auf ein gemeinsames HF-Substrat aufgeklebt werden (vgl. Abb. 5.22). Eine geringe Distanz zwischen den Chips (ca. 250 μm) verringert den Platzbedarf des Transmitters und ermöglicht direkte Chip-zu-Chip-Bondverbindungen zwischen den Treiber-Ausgängen und den MZM-Eingängen. Nur die differentiellen Ausgangssignale werden per Bondverbindung übertragen, das Bezugspotential der Mach-Zehnder-Modulatoren ist über das niederohmige Substrat des PIC mit dessen Rückseite verbunden, die elektrisch leitend auf die Massefläche des Keramiksubstrates aufgeklebt

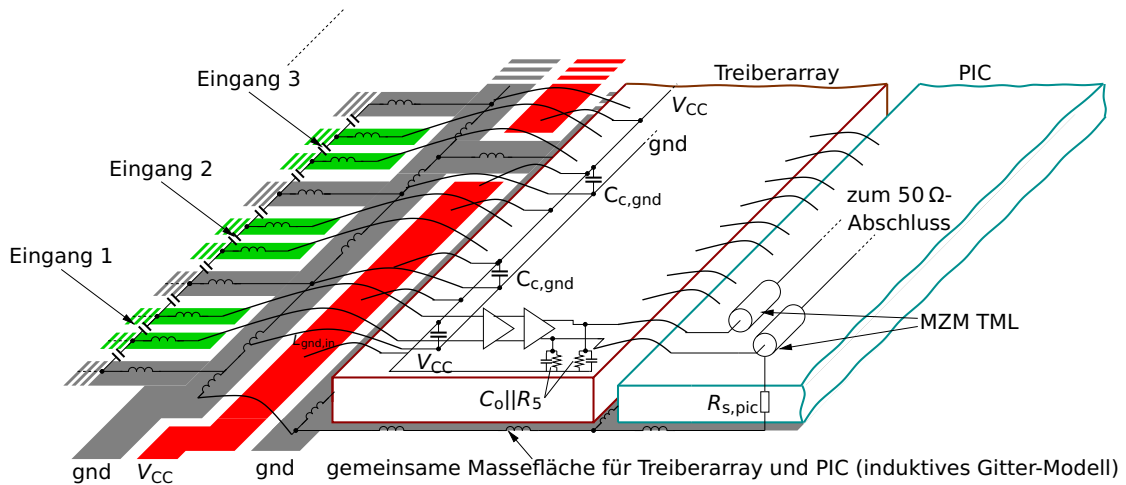


Abb. 5.22: Aufbau des Transmitters mit Treiberarray und PIC, die auf einem gemeinsamen Substrat aufgeklebt sind. Im Gesamtaufbau befindet sich ein zweites, spiegelsymmetrisches Treiberarray auf der gegenüberliegenden Seite des PIC.

ist. Unter der Annahme idealer symmetrischer Bedingungen und eines reinen Gegentaktsignals am Treiberausgang hat diese Masseverbindung keinen Einfluss auf die Signalqualität, da sich entlang der Symmetrieachse eine virtuelle Masse ausbildet. Allerdings führen Asymmetrien am Treiberausgang, beispielsweise hervorgerufen durch die unterschiedlichen Arbeitspunkte der Ausgangstransistoren im an- bzw. ausgeschalteten Zustand sowie durch ungleiche Bonddraht-Induktivitäten, zur Konversion des Gegentaktsignals in ein Gleichtaktsignal. Dieses koppelt über einen komplexen Strom-Rückkehr-Pfad, der das Versorgungsspannungsnetzwerk beinhaltet, zurück auf den Eingang des Treibers. Da solche Rückkopplungsschleifen Instabilitäten hervorrufen können, ist eine detaillierte Untersuchung basierend auf der in Kap. 5.1.4 vorgestellten Methode erforderlich, um die Stabilität der gesamten Anordnung sicher zu stellen. Die folgenden Überlegungen wurden in gekürzter Form bereits in [37] veröffentlicht.

Abb. 5.23a zeigt ein vereinfachtes Ersatzschaltbild eines einzelnen Kanals des Treibers mit dem zugehörigen Strom-Rückkehr-Pfad. Oszillationen können in reinen Gleich- und Gegentakt-Moden, sowie, falls Asymmetrien vorhanden sind, auch in Rückkopplungsschleifen gemischter Moden auftreten. Im Folgenden kennzeichnen die hochgestellten Platzhalter $\alpha \dots \epsilon$ die jeweilige Mode, wobei $-$, $+$, $--$, $+-$ jeweils für Gegen-, und Gleichtakt, bzw. Gleich-zu-Gegen- und Gegen-zu-Gleichtakt-Konversion stehen. Asymmetrische Elemente werden durch einen Überstrich in einer der beiden Symmetriehälften gekennzeichnet. Der Treiber-Kanal besteht aus zwei Verstärker-Stufen, die durch ihre Eingangsimpedanzen $Z_{i,1}^\epsilon$, $Z_{i,2}^\beta$, ihre Transkonduktanzen Y_1^α , Y_2^γ und die Ausgangsimpedanzen der Ausgangsstufe $R_5 \parallel (j\omega C_o)^{-1}$ bzw. $R_5 \parallel (j\omega \overline{C_o})^{-1}$ modelliert werden, wobei die Ausgangsimpedanz des offenen Kollektors der Eingangsstufe als ideale Stromquelle angenommen wird. Der Strom-Rückkehr-Pfad außerhalb des Chips enthält die Ausgangs-

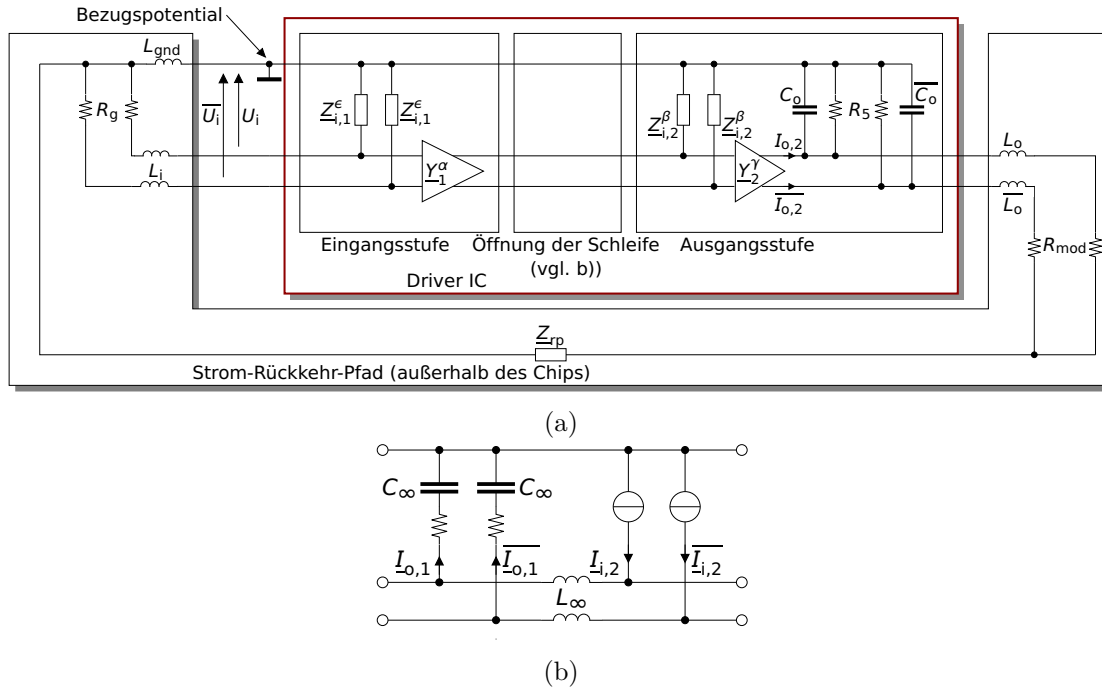


Abb. 5.23: a) Vereinfachtes Ersatzschaltbild eines Treiberkanals mit zugehörigem Strom-Rückkehrpfad. b) Schaltung, die in a) eingesetzt wird, um die Schleife aufzutrennen.

bonddrähte L_o , \bar{L}_o , die Eingangsimpedanz der MZM Übertragungsleitungen $R_{mod} = 50 \Omega$, die Impedanz Z_{rp} , die die Massefläche unterhalb des Treiber-Chips repräsentiert, die Ausgangsimpedanz der Übertragungsleitungen des Eingangssignals $R_g = 50 \Omega$, sowie die Signal- und Masse-Bonddrähte L_i und L_{gnd} am Eingang des Chips. Der Masseknoten auf dem Chip wird als Bezugspotential gewählt. Mit Hilfe dieser Definitionen ergibt sich die Verstärkung der offenen Schleife aus Treiber und Strom-Rückkehr-Pfad zu

$$\underline{A} = \underline{Y}_1^\alpha \underline{Z}_{i,2}^\beta \underline{Y}_2^\gamma \underline{Z}_{fb}^\delta \quad \alpha, \beta, \gamma, \delta \in \{+, -, -+, +- \}, \quad (5.38)$$

wobei die Rückkopplungs-Übertragungsfunktion $\underline{Z}_{fb}^\delta$ die Rückkopplung vom Treiber-ausgang zu dessen Eingang in der jeweils durch δ gekennzeichneten Mode beschreibt. Beispielsweise stellt $\underline{Z}_{fb}^{+-} := \underline{U}_i^+ / \underline{I}_o^-$ die Konversion eines Gegentakt-Ausgangsstroms $\underline{I}_o^- = 0,5 (\underline{I}_{o,2} - \bar{\underline{I}}_{o,2})$ zu einer Gleichtakt-Eingangsspannung $\underline{U}_i^+ = 0,5 (\underline{U}_i + \bar{\underline{U}}_i)$ dar.

Neben den verschiedenen Kombinationsmöglichkeiten der Moden ist auch der Arbeitspunkt des Treibers, in dem die Übertragungsfunktionen aus Gl. 5.38 bestimmt werden, entscheidend zur Bestimmung der Schleifenverstärkung und der Stabilität. Im Allgemeinen weist der Treiber die höchste Verstärkung im Umschaltpunkt auf. Allerdings zeigen Simulationen, dass infolge der Asymmetrien und der daraus resultierenden Modenkonversionen,

die Schleife im ausgelenkten Zustand des Treibers

$$\underline{A}_{\text{on}} = \underline{Y}_1^{-+} \underline{Z}_{i,2}^- \underline{Y}_2^- \underline{Z}_{\text{fb}}^{+-}, \quad (5.39)$$

die größte Schleifenverstärkung aufweist und dieser Arbeitspunkt somit hinsichtlich der Stabilität der Schleife am kritischsten ist.

Mit Hilfe von Abb. 5.24 wird die Schleife im ausgelenkten Zustand analysiert. Die Kapazität am Ausgangsknoten des Treibers wird durch die Basis-Kollektor-Kapazität der Basisstufen-Transistoren dominiert (vgl. Kap. 2.2.1). Diese Sperrschichtkapazität hängt stark von der anliegenden Sperrspannung und daher vom Arbeitspunkt ab [76] und erzeugt daher im ausgelenkten Zustand eine Asymmetrie ($C_o = 504 \text{ fF}$, $\overline{C}_o = 416 \text{ fF}$). Zusätzlich erzeugen die Bonddrähte L_o , \overline{L}_o zwischen Treiberausgang und Modulator eine Asymmetrie, insbesondere an den äußeren Kanälen wegen der fehlenden benachbarten Bondverbindungen. Die induktive Kopplung zwischen den Bonddrähten wird mit Hilfe sogenannter *partial element equivalent circuits* (PEEC) [144] modelliert (vgl. Abb. 5.25). Aufgrund der in den benachbarten Bonddrähten induzierten Wirbelströme sinkt die Selbstinduktivität der Bonddrähte mit steigender Frequenz. Dieser Effekt ist bei den äußeren Bonddrähten weniger stark ausgeprägt, da auf einer Seite jeweils keine Nachbarbonddrähte vorhanden sind. So weist der äußere Bonddraht beispielsweise bei 30 GHz eine Induktivität von $L_o = 362 \text{ pH}$ auf, während die Induktivität seines Nachbarbonddrahts auf $\overline{L}_o = 350 \text{ pH}$ abgesunken ist.

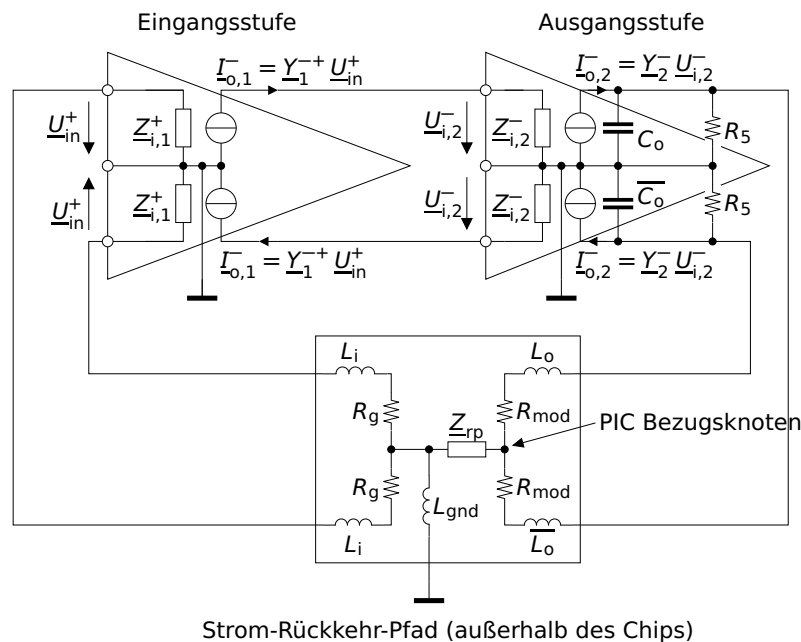


Abb. 5.24: Detailliertes Modell der Schleife im ausgelenkten Zustand des Treibers mit der Schleifenverstärkung $\underline{A}_{\text{on}}$.

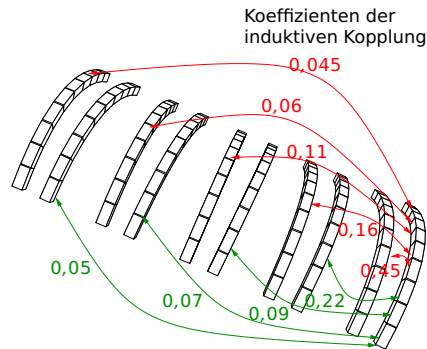


Abb. 5.25: Induktive Kopplung zwischen den Bonddrähten am Ausgang des Treiberverstärkers (5 Kanäle).

Abb. 5.24 zeigt, dass im Fall idealer symmetrischer Bedingungen ($C_o = \overline{C_o}$ und $L_o = \overline{L_o}$), die Übertragungsfunktion des Strom-Rückkehr-Pfades verschwinden würde $Z_{fb}^{+-} = 0 \Omega$, da der PIC Bezugsknoten für diesen Fall eine ideale Masse darstellen würde. Wegen der zuvor betrachteten Asymmetrien gilt jedoch $Z_{fb}^{+-} \neq 0 \Omega$ und es bildet sich eine Rückkopplungsschleife. In diesem Fall kann Z_{fb}^{+-} auch durch Optimierung der Masseverbindung am Eingang des Treibers verringert werden, um beispielsweise die Bedingung $\omega L_{gnd} \ll |Z_{rp}|$ zu erfüllen.

Einen weiteren Faktor der betrachteten Schleifenverstärkung A_{on} stellt die asymmetrische Eingangsstufe im ausgelenkten Zustand dar. Wenn die Eingangsstufe voll umgeschaltet ist, trägt nur einer der beiden TAS-Transistoren Q_{T1} in Abb. 5.26 den gesamten Quellstrom I_{TAS1} , während der andere TAS-Transistor \overline{Q}_{T1} ausgeschaltet ist. Während die Verstärkung des ausgeschalteten Transistors der TAS vernachlässigbar ist (d. h. $\overline{I}_{o,1} = 0 A$), wirkt Q_{T1} als Emittergrundschaltung und weist mit der parasitären Impedanz der Stromquelle

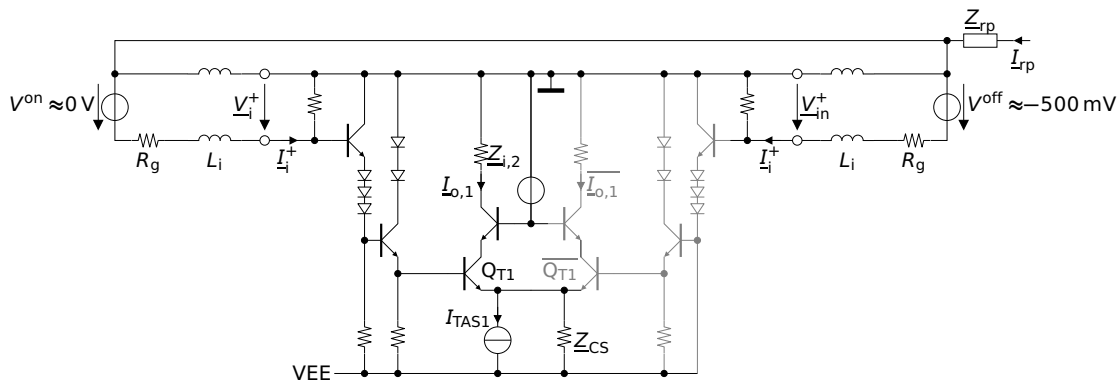


Abb. 5.26: Konversion vom Gleichtakt-Eingangssignal in ein Gegentakt-Ausgangssignal innerhalb der umgeschalteten Eingangsstufe des Treibers.

Z_{CS} als Emittergegenkopplung eine Verstärkung von

$$\underline{Y}_1^{\text{on}} = \frac{\underline{I}_{o,1}}{\underline{V}_i^+} \approx \frac{g_m}{1 + g_m \underline{Z}_{CS}} \approx \frac{1}{\underline{Z}_{CS}} \Big|_{|g_m \underline{Z}_{CS}| \gg 1}$$

auf, wobei g_m der Transkonduktanz von Q_{T1} entspricht. Da sich der Gegentakt-Ausgangsstrom der Eingangsstufe zu $\underline{I}_{o,1}^- = 0,5 (\underline{I}_{o,1} - \overline{I}_{o,1})$ ergibt, folgt $\underline{Y}_1^{+-} = 0,5 \underline{Y}_1^{\text{on}} \approx 0,5 \underline{Z}_{CS}^{-1}$. Daher kann der Beitrag von \underline{Y}_1^{+-} zur Schleifenverstärkung $\underline{A}_{\text{on}}$ durch eine betragsmäßig große parasitäre Parallel-Impedanz der Stromquelle \underline{Z}_{CS} minimiert werden, indem beispielsweise für den die Stromquelle realisierenden Stromspiegel Transistoren mit möglichst breitem Emitterstreifen verwendet werden (vgl. Kap. 2.2.2.2).

Die übrigen Faktoren von $\underline{A}_{\text{on}}$ sind die Eingangsimpedanz der Ausgangsstufe $\underline{Z}_{i,2}^-$, die $\underline{I}_{o,1}^-$ in $\underline{V}_{i,2}^-$ konvertiert, sowie die Gegentaktverstärkung der Ausgangsstufe \underline{Y}_2^- , die $\underline{V}_{i,2}^-$ verstärkt. Da diese Faktoren auch auf die Gegentaktverstärkung des Treibers im regulären Betriebsfall erheblichen Einfluss haben, stehen sie zur Optimierung der Schleifenverstärkung der kritischen Rückkopplungsschleife nicht zur Verfügung.

Im vorliegenden Fall dominiert die offene Schleifenverstärkung $\underline{A}_{\text{on}}$ aus Gl. 5.39 die Rückkopplungsschleife und ist am kritischsten hinsichtlich einer potenziellen Instabilität. Im Allgemeinen müssen jedoch eine Vielzahl möglicher Kombinationen verschiedener Moden betrachtet werden. Für den Fall des Treiber-Arrays müssen zusätzlich auch Kopplungen zwischen den verschiedenen Kanälen betrachtet werden, sodass sich auch komplexere Schleifen ergeben können, an denen verschiedene Kanäle in unterschiedlichen Schaltzuständen beteiligt sein können. Beim im Rahmen dieser Arbeit entwickelten Treiber-Array konnte die Verkopplung der einzelnen Kanäle soweit unterdrückt werden, dass diese zusätzlichen Rückkopplungsschleifen keinen signifikanten Einfluss auf die Stabilität haben [37].

Um mit Hilfe des Nyquist-Kriteriums (vgl. Kap. 5.1.4) die Stabilität beurteilen zu können, wird die Schleifenverstärkung $\underline{A}_{\text{on}}$ durch Simulationen der Treiber-Schaltung inklusive entsprechender Modelle für den Strom-Rückkehr-Pfad bestimmt. Dazu wird die Schleife am Kollektorknoten des CBS Transistors Q_{C1} (vgl. Abb. 2.2), also am Ausgang der Eingangsstufe, aufgetrennt. Die stark ausgeprägte Fehlanpassung an dieser Schnittstelle ermöglicht eine Unterbrechung der Schleife durch Einfügen des Viertors aus Abb. 5.23b. Zur Nachbildung der Kollektorstromquelle von Q_{C1} wird eine ideale Stromquelle verwendet. Die Eingangsimpedanz der Ausgangsstufe wird durch die Widerstände $R_{i,2}$ angenähert, die an die Kollektoren der CBS der Eingangsstufe angeschlossen werden. Zusätzlich wird eine Bias-Tee-Konfiguration ($\omega L_\infty \gg 50 \Omega$, $(\omega C_\infty)^{-1} \ll 50 \Omega$) genutzt, um die Arbeitspunkte der Transistoren unverändert zu übernehmen. Durch diese Anordnung kann die Stromübertragungsfunktion $\underline{A}_I = (\underline{I}_{o,1} - \overline{I}_{o,1}) / (\underline{I}_{i,2} - \overline{I}_{i,2})$ der offenen Schleife bestimmt werden. Abb. 5.27 zeigt das Nyquist-Diagramm dieser Übertragungsfunktion \underline{A}_I . Da der Punkt $-1 + 0j$ nicht umschlossen ist, ist die Schleife stabil.

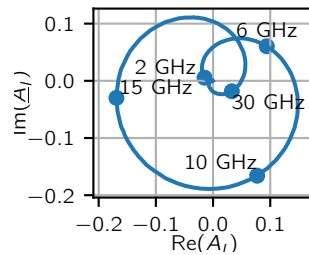


Abb. 5.27: Nyquist-Diagramm der Stromverstärkung \underline{A}_I der offenen Schleife.

Um diese Stabilität sicher zu stellen, werden folgende Maßnahmen ergriffen:

- Die Ausgangsbonddrähte werden so kurz wie möglich gehalten, um sowohl die durch sie verursachte Asymmetrie zu minimieren als auch die Verkopplung der einzelnen Kanäle zu reduzieren.
- Die Induktivität der Masseverbindung am Eingang des Treiber-Chips (vgl. L_{gnd} in Abb. 5.23a) wird minimiert, indem sechs parallel geschaltete Bonddrähte eingesetzt werden.
- Die Gleichtaktverstärkung der Treiberkanäle wird reduziert, indem Transistoren mit maximaler Emitterbreite eingesetzt werden, um die Impedanz der Stromquelle Z_{CS} zu erhöhen (vgl. Abb. 5.24).

Im Widerspruch zur zuvor hergeleiteten Bedingung $\omega L_{\text{gnd}} \ll |Z_{\text{rp}}|$ wird Z_{rp} so niedrig wie möglich gehalten, obwohl eine hochohmige Impedanz Z_{rp} die Stromverstärkung der Schleife \underline{A}_I weiter reduzieren würde. Allerdings führt eine niederohmige Masseverbindung zwischen den MZM Übertragungsleitungen und dem Treiber zu einer besseren Gleichtaktanpassung der Modulatoren. Ohne eine ausreichend gute Gleichtaktanpassung würden Mehrfachreflexionen im Gleichtakt zwischen den beiden Enden der MZM Übertragungsleitungen, bedingt durch die durch Asymmetrien am Treiberausgang verursachte Modenkonzersion, zu Störungen des Gegentaktsignals führen. Die daher erforderliche niederohmige Masseverbindung zwischen Modulator und Treiber wird durch ein geeignetes Layout der Massefläche auf dem HF-Substrat, auf das Treiber-Chip und PIC aufgeklebt werden, realisiert. Es entsteht ein Pfad von der MZM Übertragungsleitung durch das niederohmige PIC-Substrat $R_{\text{s,pic}}$ zu dessen Rückseite, über die Massefläche, die eingangsseitigen Bonddrähte und die Kapazität $C_{\text{c,gnd}}$ zum on-Chip V_{CC} -Versorgungsspannungsnetzwerk, das das on-Chip Bezugspotential darstellt.

5.4 Fazit

Es gibt eine Vielzahl von Methoden um Schaltungen hinsichtlich ihrer Stabilität zu untersuchen und zu dimensionieren. Während einige Methoden, insbesondere die im-

mittanzbasierte Stabilitätsanalyse, sich besonders gut eignen, um die Sensitivität der Stabilität bezüglich einzelner Schaltungsparameter zu untersuchen, eignen sich andere Methoden, wie die Bestimmung der Polstellen, um die Stabilität der gesamten Schaltung sicherzustellen. Dabei muss immer die Randbedingung beachtet werden, dass dem Schaltungsentwickler, insbesondere beim Einsatz kommerzieller Schaltungssimulatoren, nur bestimmte Analysemethoden zur Verfügung stehen, beispielsweise besteht kein direkter Zugriff auf die Knotenadmittanzmatrix der Schaltung. Da, je nach Fragestellung, Komplexitätsgrad des Problems und eingesetztem Simulator, die am besten geeignete Methode ausgewählt werden muss, wurden in diesem Kapitel die diversen Methoden vorgestellt und hinsichtlich ihrer Vor- und Nachteile untersucht. Darauf basierend wurde an verschiedenen Schaltungsbeispielen demonstriert, wie die auf Basis der einzelnen Methoden erzielten Ergebnisse zusammenhängen. Dabei wird auch ersichtlich, dass die Anwendung von einer einzelnen der vorgestellten Methoden häufig nicht ausreicht, sondern, dass eine Kombination verwendet werden sollte, um die Schaltung hinsichtlich ihrer Stabilität zu dimensionieren.

Kapitel 6

Realisierte Treiberschaltungen

Im Rahmen der vorliegenden Dissertation wurden drei grundlegend unterschiedliche Treiberschaltungen entwickelt:

- ein linearer Treiber für Betriebsfrequenzen zwischen 1,3 GHz und 13 GHz,
- ein Array mit 5 begrenzenden Treiber-Kanälen, von denen jeder eine Datenrate von $11,3 \text{ Gbit s}^{-1}$ übertragen kann,
- sowie ein linearer Addierer, der zwei analoge Eingangssignale mit einer Bandbreite bis zu 50 GHz aufaddiert.

Im Folgenden werden diese Treiberschaltungen jeweils vorgestellt und mit den in den vorhergehenden Kapiteln erläuterten Entwicklungsmethoden in Zusammenhang gebracht. Die bei der Charakterisierung der Schaltungen gewonnenen Messergebnisse belegen, dass die den Methoden zugrunde liegenden Überlegungen und Modelle die Realität in ausreichender Näherung beschreiben und sich bei der Entwicklung dieser Schaltungen effektiv einsetzen lassen.

6.1 Linearer 13 GHz Treiber mit on-Chip Bias-Tee

Im Rahmen des BMBF-Forschungsprojekts Next Generation Optical Access (NGOA) wurde ein *Ultra Dense Wavelength Division Multiplex* (UDWDM) System mit einer variablen Anzahl von Kanälen in einem Frequenzbereich von 1,3 GHz bis 13 GHz realisiert. Im Transmitter werden zu diesem Zweck in einem *Field Programmable Gate Array* (FPGA) digitale Daten auf die einem Kanal zugeordnete Trägerfrequenz aufmoduliert, durch Addition der Datenströme die Kanäle überlagert und dann mittels eines schnellen Digital-Analog-Wandlers in ein analoges Signal gewandelt. Dieses wird durch den hier vorgestellten Treiber verstärkt und mit Hilfe eines Mach-Zehnder-Modulators (MZM) auf einen optischen Träger aufmoduliert, um dann mittels Glasfaserstrecken übertragen zu werden.

Um ein Übersprechen zwischen den Kanälen zu verhindern, wird ein linearer Verstärker benötigt. Als Maß für die zulässige Nichtlinearität wird spezifiziert, dass bei Anregung mit

einem monofrequenten Signal die Signalamplitude der dritten Oberwelle des Ausgangssignals um mindestens 30 dB geringer sein soll als die Grundwelle. Darüber hinaus wird am Ausgang des differentiellen Treibers eine Signalamplitude von $3,5 V_{pp}$ (single-ended, s.e.) benötigt, um den MZM voll auszusteuern. Als Eingangssignal dienen Pegel von max. $800 mV_{pp}$, die der Digital-Analog-Wandler bereit stellt. Der Ausgang des Treibers muss kapazitiv gekoppelt an den MZM angeschlossen werden, da der MZM-Arbeitspunkt mit Hilfe einer externen Spannungsquelle flexibel eingestellt werden soll. Alle weiteren spezifizierten Werte können der Übersicht in Tabelle 6.1 entnommen werden.

Als grundlegende Schaltungstopologie wird eine Kaskode verwendet, die über zwei kaskadierte Emitterfolger angesteuert wird (vgl. Abb. 6.1). Simulationen zeigen, dass zwei Emitterfolger ausreichen, um die geforderte Grenzfrequenz zu erreichen. Mit Hilfe eines weiteren Emitterfolgers und den damit verbundenen zusätzlichen Freiheitsgraden könnten gegebenenfalls höhere Grenzfrequenzen erreicht werden. Um die Leistungsaufnahme zu minimieren und das Risiko von Oszillationen auszuschließen, wurde auf diese Maßnahme jedoch verzichtet.

Der Arbeitspunktstrom der Kaskode muss mindestens 140 mA betragen, um den geforderten Ausgangsspannungshub an effektiv 25Ω Ausgangswiderstand zu erreichen. Zur Verbesserung der Linearität wird, basierend auf den in Kap. 2.2.3 dargestellten Erkenntnissen, ein höherer Arbeitspunktstrom von 154 mA gewählt. Zur Maximierung der Bandbreite wird die kapazitive Belastung des Ausgangsknotens mit den in Kap. 2.2.1 beschriebenen Methoden so weit wie möglich reduziert. Die Arbeitspunktströme der Emitterfolger und die Breiten und Längen der Emitterstreifen der Transistoren werden mit Hilfe der in Kap. 2.2.2 vorgestellten Methoden optimiert.

Die hohen Ströme und damit verbundene große, in Wärme umgesetzte Leistung in den Ausgangsstufentransistoren macht eine genaue thermische Analyse, wie in Kap. 3.1 beschrieben, sowie den Einsatz des dort beschriebenen Konzepts zur Vermeidung des *Current Hogging Effects* notwendig. Zur Realisierung des kapazitiv gekoppelten Ausgangs

Minimale Betriebsfrequenz	1,3 GHz
Maximale Betriebsfrequenz	13 GHz
Maximaler Spannungshub	$3,5 V_{pp}$ (s.e.) an extern 50Ω
Kopplung (eingangsseitig)	AC-Kopplung
Kopplung (ausgangsseitig)	AC-Kopplung
Verstärkung	19 dB (diff.)
Negative Betriebsspannung	-5 V
Stromaufnahme	250 mA
Linearität	$20 \log_{10} \left(\frac{ U_{3f} }{ U_{1f} } \right) \leq -30 \text{ dB}$

Tabelle 6.1: Spezifikation des 13 GHz Treibers.

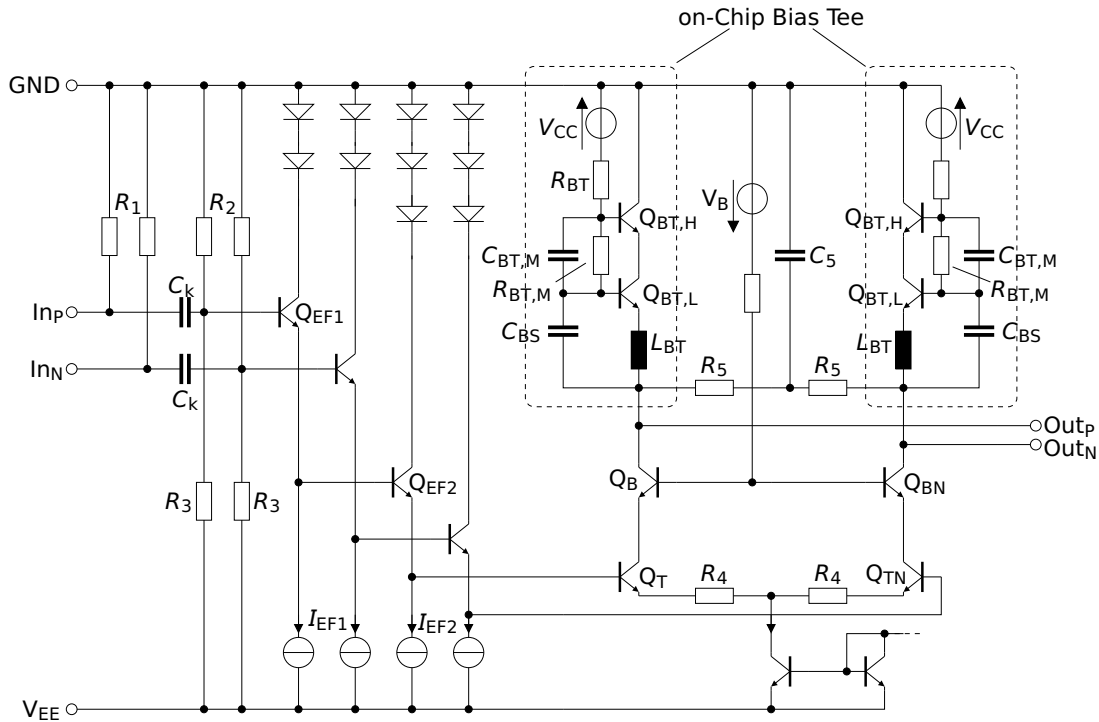


Abb. 6.1: Schaltplan des linearen 13 GHz Treibers mit on-Chip Bias-Tee.

bei möglichst geringer Verlustleistung wird das in Kap. 4.1.2 beschriebene on-Chip Bias-Tee eingesetzt. Als Referenz wurde eine weitere Variante der Schaltung realisiert, die anstelle des on-Chip Bias-Tees ausschließlich herkömmliche $50\ \Omega$ -Abschlusswiderstände beinhaltet und daher am Ausgang direkt (d.h. ohne kapazitive Kopplung) mit einer $50\ \Omega$ -Last verbunden werden muss (vgl. Kap. 4.1). Die Stabilität der Schaltung (insbesondere der Emitterfolgerkaskade und der Basisstufe) wird mit den in Kap. 5.2 verwendeten Methoden sichergestellt.

Realisiert wurde der Treiber in der B7HF200 SiGe-Bipolar Technologie ($f_T = 200\ \text{GHz}$, $f_{\max} = 275\ \text{GHz}$) von Infineon, die auf dem in [145] beschriebenen Prozess basiert. Die Chipgröße beträgt $860 \times 500\ \mu\text{m}^2$, wovon $380 \times 300\ \mu\text{m}^2$ auf den aktiven Bereich des Chips entfallen (vgl. Abb. 6.2a). Der Chip wurde in eine Messfassung eingeklebt, die kurze Bonddrähte zu einem Polytetrafluorethylen (PTFE)-Substrat ermöglicht, das wiederum mit SMA-Steckern für das differentielle Eingangs- und Ausgangssignal kontaktiert wird, ähnlich wie in [58] (vgl. Abb. 6.2b). Die Schaltung zieht $250\ \text{mA}$ aus einer $6\ \text{V}$ Versorgungsquelle.

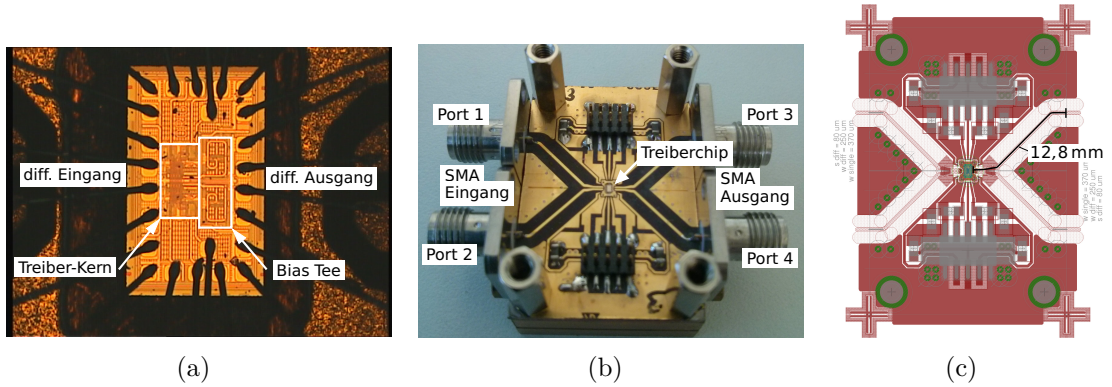


Abb. 6.2: Fotografien des linearen Treibers: a) Mikrofotografie des gebondeten Chips, b) Fotografie des Chips innerhalb der Messfassung mit SMA-Steckern. c) zeigt das Layout des PTFE-Substrats der Messfassung.

Die Abbildungen 6.3 und 6.4 zeigen die differentiellen Gegentakt-Kleinsignalparameter¹ der realisierten Treiberschaltung sowie der entsprechenden Referenzschaltung ohne on-Chip Bias-Tee. Zur Erfassung der Kleinsignalparameter werden beide Schaltungsvarianten am Eingang kapazitiv gekoppelt. Am Ausgang wird die Treiberschaltung mit on-Chip Bias Tee mittels kapazitiver Kopplung mit dem VNA verbunden, die Referenzschaltung hingegen wird direkt an den VNA angeschlossen, da sie für eine DC-gekoppelte $50\ \Omega$ Last konzipiert ist.

Im spezifizierten Betriebsfrequenzbereich des Treibers von 1,3 GHz bis 13 GHz wird eine sehr gute Anpassung am Eingang ($|\underline{M}_{11}^-| < -18,7\ \text{dB}$) erreicht. Die Anpassung am Treiberausgang ist deutlich schlechter ($|\underline{M}_{22}^-| < -4,7\ \text{dB}$). Im Vergleich mit dem Referenztreiber (vgl. Abb. 6.4) wird deutlich, dass dies unter anderem dem on-Chip Bias Tee geschuldet ist. Aber auch die Referenzvariante ohne on-Chip Bias-Tee weist eine deutlich schlechtere Anpassung am Ausgang auf ($|\underline{M}_{22}^-| < -9\ \text{dB}$) als am Eingang, da die parasitäre Kapazität am Ausgangsknoten viel größer ist als am Eingang der Schaltung (vgl. Kap. 2.2.1). Mit Hilfe der Vorwärtstransmission $|\underline{M}_{21}^-| \approx 18,8\ \text{dB}$ kann ein Eingangssignal mit einer differentiellen Amplitude von 800 mV zur Vollaussteuerung des Treibers mit einer diff. Ausgangsamplitude von 7 V genutzt werden. Bei 15 GHz hat

¹ Die Definition der Modenkonzversions-Parameter (MK-Parameter) erfolgt analog zu [6, 56]

$$\begin{aligned}\underline{M}_{11}^- &= 1/2 (\underline{S}_{11} + \underline{S}_{22} - \underline{S}_{21} - \underline{S}_{12}) \\ \underline{M}_{21}^- &= 1/2 (\underline{S}_{31} + \underline{S}_{42} - \underline{S}_{41} - \underline{S}_{32}) \\ \underline{M}_{12}^- &= 1/2 (\underline{S}_{13} + \underline{S}_{24} - \underline{S}_{23} - \underline{S}_{14}) \\ \underline{M}_{22}^- &= 1/2 (\underline{S}_{33} + \underline{S}_{44} - \underline{S}_{43} - \underline{S}_{34}),\end{aligned}$$

wobei S_{ij} jeweils die allgemein bekannten Streuparameter mit der einfallenden Welle an Tor j und der ausfallenden Welle an Tor i bezeichnet. Die Tore sind in Abb. 6.2b bezeichnet und weisen alle die gleiche Wellenimpedanz von $50\ \Omega$ auf. Eine vergleichbare Definition modaler Streuparameter findet sich in [146] und wird in [147] verallgemeinert.

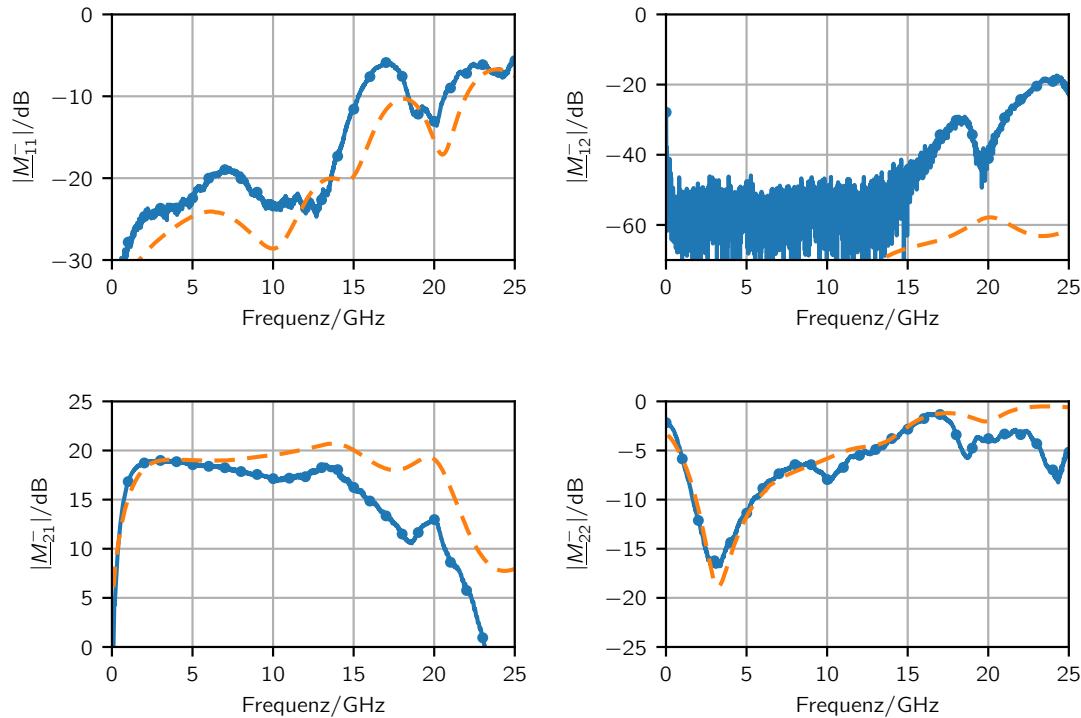


Abb. 6.3: Gegentakt-MK-Parameter der realisierten Treiberschaltung (mit on-Chip Bias-Tee). Gemessene (\bullet) und simulierte ($-$) Werte sind im Vergleich dargestellt.

sich $|M_{21}^-|$ um 3 dB gegenüber dem Maximalwert verringert. Aufgrund einer stärkeren Kompression des Signals bei Vollaussteuerung infolge nichtlinearer Effekte wird der Treiber dennoch nur bis 13 GHz spezifiziert. Die Referenzschaltung weist eine höhere Grenzfrequenz von 18 GHz auf.

Abgesehen von der Rückwärtstransmission M_{12}^- , stimmen die qualitativen Verläufe der MK-Parameter von Simulation und Messung gut überein. Die Rückwärtstransmission ist insbesondere in der Simulation, aber auch in der Messung sehr gering ausgeprägt. Die geringe Rückwärtstransmission ist typisch für die verwendete Schaltungstopologie, in der sowohl die Kaskode als auch die sie ansteuernden Emitterfolger zu einer exzellenten Entkopplung des Schaltungseingangs vom -ausgang führen. Die deutliche Abweichung zwischen Simulation und Messung wird durch kleine Asymmetrien verursacht, die eine Konversion der Gegentakt- in eine Gleichtaktmode zur Folge haben. Im Gleichtakt ist aufgrund des Fehlens virtueller Masseknoten das gesamte Versorgungsspannungsnetzwerk für die Signalausbreitung relevant, wodurch eine größere Rückwärtstransmission ermöglicht wird. Die im realen Verstärker (im Unterschied zur „idealen Simulation“) vorhandenen Asymmetrien führen dann wieder zu einer Rücktransformation der Gleichtakt- in eine Gegentaktmode am Eingang des Verstärkers, ähnlich wie bei der Stabilitätsbetrachtung

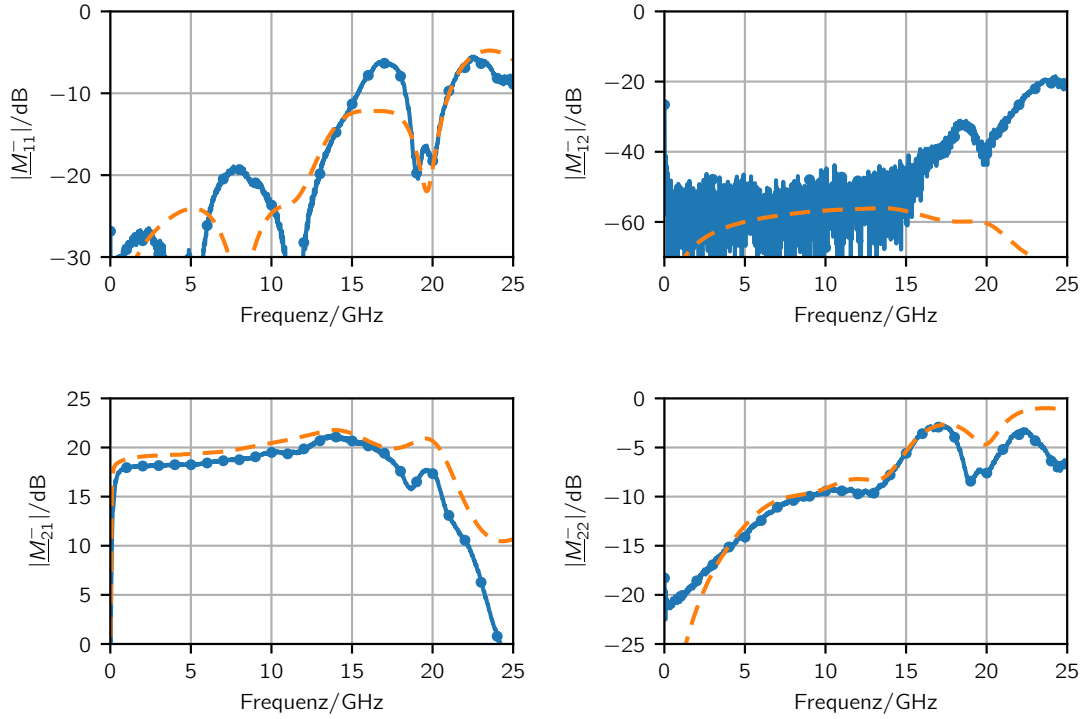


Abb. 6.4: Gegentakt-MK-Parameter der Referenzschaltung ohne on-Chip Bias-Tee. Gemessene (\bullet) und simulierte ($---$) Werte sind im Vergleich dargestellt.

in Kap. 5.3.

Die Verläufe der Eingangs- und Ausgangsreflexionsfaktoren $|\underline{M}_{11}^-|$ bzw. $|\underline{M}_{22}^-|$ sowie der Vorwärtstransmissionsfaktor $|\underline{M}_{21}^-|$ beider Schaltungsvarianten weisen periodische Artefakte auf. Diese lassen sich auf die eingesetzte Messfassung zurückführen. Die Länge der Leitung von den Eingangs-SMA-Flanschen zum Chip-Eingang und vom Chip-Ausgang zu den Ausgangs-SMA-Flanschen beträgt jeweils $l = 12,8 \text{ mm}$ (vgl. Abb. 6.2c), woraus sich eine Signal-Laufzeit von

$$\tau_S = \frac{c}{\sqrt{\epsilon_{r,\text{eff}}}} l \approx 363 \text{ ns}, \quad (6.1)$$

ergibt. Hierbei wird $\epsilon_{r,\text{eff}}$ in Abhängigkeit der Geometrie der Mikrostreifenleitung (Breite der Leiterbahn $w = 370 \mu\text{m}$, Dicke des Substrats $h = 125 \mu\text{m}$) und der Dielektrizitätszahl des PTFE-Substratmaterials $\epsilon_r = 2,3$ unter Verwendung von

$$\epsilon_{r,\text{eff}} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \left(1 + 12 \frac{h}{w} \right)^{-0,5} \quad (6.2)$$

(vgl. [148, S. 94]) zu $\epsilon_{r,\text{eff.}} \approx 1,95$ berechnet. Die reflektierten Signale am Treibereingangs- bzw. -ausgang \underline{M}_{11}^- und \underline{M}_{22}^- legen diese Strecke jeweils zwei Mal zurück (Hinweg vom kalibrierten VNA-Port zum Chip, dortige Reflexion und Rückweg vom Chip zum VNA-Port), wodurch sich eine zeitliche Verzögerung von $2\tau_S$ ergibt, die im Frequenzbereich als Störung mit der Periodizität $f_S = (2\tau_S)^{-1} \approx 7,25$ GHz erkennbar ist. Im Fall der transmittierten Signale ergibt sich ein ähnliches Szenario. Vor allem zwischen dem bei hohen Frequenzen > 15 GHz schlecht angepassten Treiberausgang und dem Messflansch kann es zu Mehrfachreflexionen kommen, die ebenfalls als Störung mit der Periodizität f_S in den gemessenen MK-Parametern auftreten. Dies ist besonders deutlich im in Abb. 6.3 dargestellten $|\underline{M}_{21}^-|$ -Verlauf zu erkennen. Um diese Herleitung zu verifizieren, wurde die Messfassung mit Leitungsersatzschaltbildern sowie zusätzlichen konzentrierten induktiven und kapazitiven parasitären Elementen, deren Werte mit Hilfe von Zeitbereichsreflektometrie analog zu [6, Kap. 7] ermittelt wurden, modelliert. Da mit den zur Verfügung stehenden Testsubstraten keine Transmissionsmessungen ohne Chip möglich ist, können die Leitungsverluste, die bedingt durch den Skineneffekt von der Signalfrequenz abhängen, nicht modelliert werden und werden daher vernachlässigt. Daher weichen insbesondere die gemessenen Vorwärtstransmissionen $|\underline{M}_{21}^-|$ bei hohen Frequenzen von den simulierten Werten ab, das qualitative Verhalten stimmt aber überein (vgl. periodische Einbrüche in Abb. 6.3).

Zur Charakterisierung der Großsignaleigenschaften wurde die in Abb. 6.5 gezeigte Messanordnung verwendet. Das einphasige Signal des ansteuernden Sinusgenerators (Agilent PSG E8257D) wird durch einen 180 Grad Hybridkoppler (ETI J-226-180) in ein differentielles Signal gewandelt. Der Treiberausgang wird mittels externer Bias-Tees (kapazitive Kopplung) an die Tastköpfe des Sampling Oszilloskops (Agilent DCA86100A) angeschlossen. Die den Tastköpfen vorgeschalteten Dämpfungsglieder sind notwendig, um eine Überlastung derselben infolge der hohen Ausgangsamplitude des Treibers zu vermeiden.

Mit dieser Messanordnung wird zunächst verifiziert, dass der spezifizierte Spannungshub von $7 V_{pp}$ erreicht werden kann (vgl. Abb. 6.6a). Bei dieser Großsignalmessung wird deutlich, dass der Spannungshub bei 13 GHz bereits um 3 dB gegenüber dem max. Ausgangsspannungshub bei 2 GHz abgefallen ist ($7 V_{pp}/\sqrt{2} \approx 4,95 V_{pp}$).

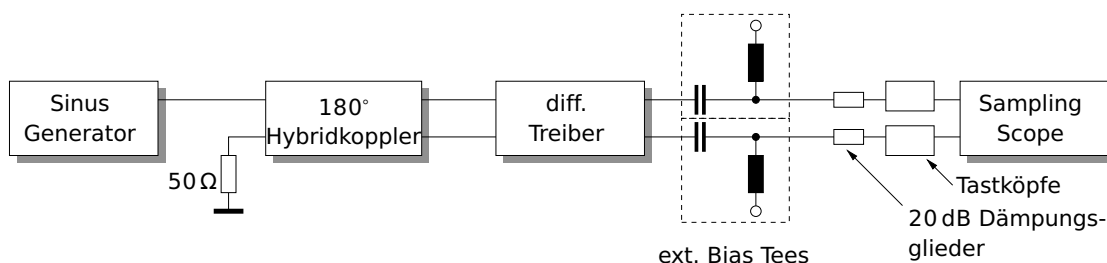


Abb. 6.5: Messanordnung zur Großsignalcharakterisierung des Treibers.

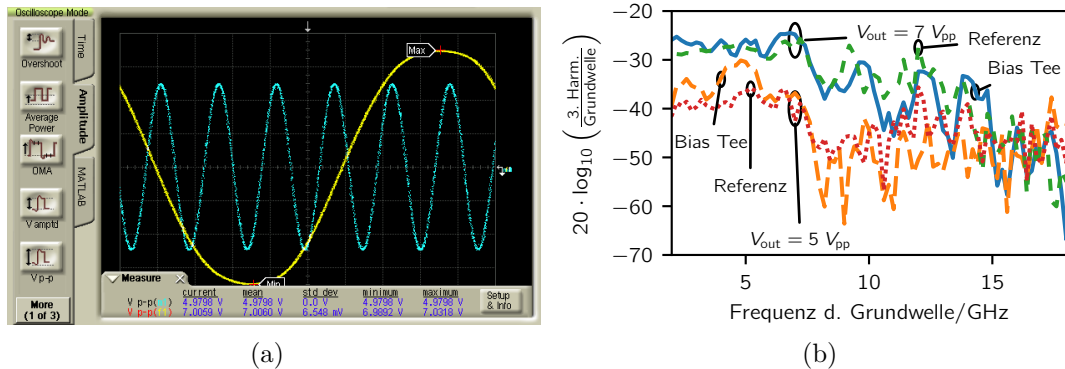


Abb. 6.6: Ergebnisse der Großsignalmessungen des linearen Treibers. a) differentieller Ausgangsspannungshub bei 2 GHz und 13 GHz Betriebsfrequenz. b) Betragsgang der 3. Harmonischen in Relation zur Grundwelle über der Frequenz der Variante mit on-Chip Bias Tee und der Referenzvariante mit Gleichstromkopplung am Treiberausgang.

Außerdem dienen die Großsignalmessungen zur Beurteilung der Linearität des Treibers. Gemäß der Spezifikation (vgl. Tabelle 6.1) wurde der Treiber monofrequent angeregt und das Verhältnis des Betrags der Amplitude der dritten Harmonischen des Ausgangssignals zum Amplitudenbetrag der entsprechenden Grundwelle (HD3, vgl. Kap. 2.2.3) ausgewertet. In Abb. 6.6b ist dieses Verhältnis über der Frequenz der Grundwelle aufgetragen. Zudem wurde die Eingangssignalamplitude so variiert, dass am Treiberausgang eine maximale Amplitude von $7 V_{pp,diff}$ bzw. $5 V_{pp,diff}$ erreicht wird. Sowohl die Treibervariante mit on-Chip Bias Tee als auch die Referenzvariante weisen bei Vollaussteuerung eine etwas schlechtere Linearität auf als spezifiziert ($\max(20 \log_{10} (|U_{3f}|/|U_{1f}|)) \approx -25 \text{ dB}$). Erwartungsgemäß verbessert sich die Linearität bei geringeren Signalamplituden sehr deutlich, wie die Messungen mit $5 V_{pp,diff}$ Ausgangsamplitude zeigen. Oberhalb einer Frequenz der Grundwelle von ca. 7 GHz wird die dritte Harmonische durch den Betragsgang des Treibers $|M_{21}^-|$ (vgl. Abb. 6.3 bzw. Abb. 6.4) deutlich gedämpft in Relation zur Grundwelle.

Zusammenfassend betrachtet kann mit dem realisierten linearen Treiber die Spezifikation mit Ausnahme der Linearitätsanforderung vollständig erfüllt werden. Das eigens entwickelte on-Chip-Bias-Tee-Konzept ermöglicht eine kapazitive Kopplung an den Modulator am Treiberausgang und gleichzeitig die Reduktion der Verlustleistung um 15 %.

6.2 $5 \times 11,3 \text{ Gbit s}^{-1}$ Treiber-Array

Das EU-geförderte IMPACT (*Integrated multi-wavelength passive optical access system*)-Projekt hatte zum Ziel, ein neues optisches Zugangssystem zu entwickeln mit dem Schwerpunkt Kosten, Energie- und Platzbedarf zu reduzieren und gleichzeitig die Skalierbarkeit gegenüber herkömmlichen Lösungen zu verbessern. Hierzu war insbesondere

die Entwicklung neuer optischer und elektronischer Komponenten notwendig. Zur Ansteuerung eines neu entwickelten photonischen integrierten Schaltkreises (PIC), also eines Mikrochips, der photonische Komponenten enthält, wurde ein elektrischer Treiberchip entwickelt. Auf dem PIC werden von integrierten Laserquellen 10 kohärente Lichtstrahlen unterschiedlicher Wellenlänge generiert, auf die mittels 10 Mach-Zehnder-Modulatoren (MZM) Datensignale aufmoduliert werden können. Am Ausgang des PIC werden diese 10 Strahlen mit einem Sternkoppler gebündelt, sodass sie in einer einzigen Glasfaser übertragen werden können. Im Rahmen der vorliegenden Dissertation wurden zur Ansteuerung der zehn integrierten MZM Treiber-Chips mit je fünf Kanälen entwickelt, die seitlich zum PIC so angeordnet werden können, dass die Ausgänge der Treiber-Chips direkt mit Bonddrähten an die Eingänge der MZM angeschlossen werden können (vgl. Abb. 6.8d), wodurch der Platzbedarf gegenüber einer Vergleichslösung mit diskreten Treiberchips stark reduziert werden kann. Aus elektrischer Sicht stellen die Modulatoren verlustbehaftete 50Ω -Übertragungsleitungen dar. Um den Platzbedarf des gesamten Transmitters weiter zu reduzieren, wurden auf dem Treiberchip auch die 50Ω -Abschlusswiderstände der MZM integriert (vgl. Abb. 6.7).

Mit Hilfe der in Abb. 6.8d dargestellten spiegelsymmetrischen Treiber-Arrays A und B können jeweils fünf Eingänge des PIC angesteuert werden. Im Rahmen des Forschungsprojekts ist das Hauptziel die Demonstration der Machbarkeit einer solchen Lösung. Um für ein Produkt eine kostenoptimale Lösung zu erarbeiten, muss geprüft werden, ob eine Modifikation des PIC, sodass zwei identische Treiber-Array-Chips genutzt werden können, ohne Performance-Einbußen vorgenommen werden kann, um die Stückzahlen der identischen Chips zu verdoppeln.

Um das Treiber-Array auch rein elektrisch charakterisieren zu können, wurde eine weitere Version gefertigt. Diese zeichnet sich durch einen größeren Abstand zwischen den Ausgangsbonddrähten aus, wodurch GSSG-Bondverbindungen zu einem Teflonsubstrat realisiert werden können (vgl. Abb. 6.8a). Das darauf basierende, in Abb. 6.8b dargestellte Modul mit je fünf differentiellen Ein- und Ausgängen weist eine sehr ähnliche Aufbautechnik wie der in Abb. 6.2b gezeigte Aufbau auf.

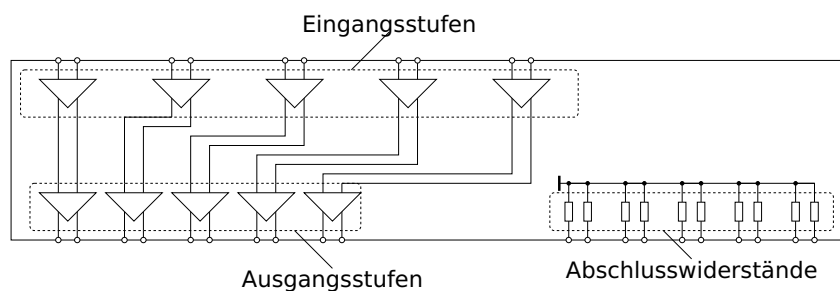


Abb. 6.7: Blockschaltbild des Treiberarrays mit fünf Vorverstärkern, fünf Ausgangsstufen und zehn Abschlusswiderständen.

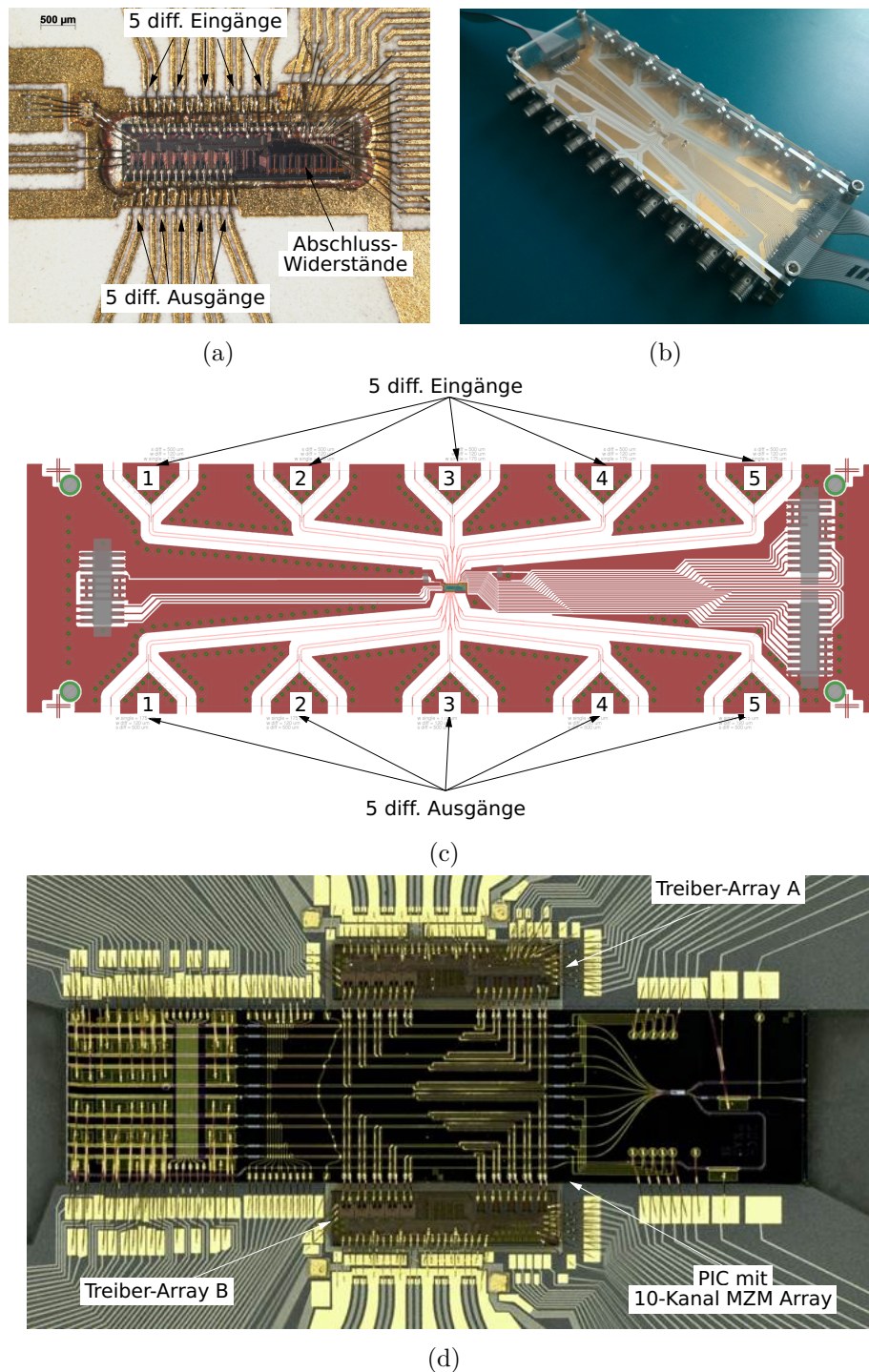


Abb. 6.8: a) Mikrofotografie einer modifizierten Version des Treiber-Array Chips, das in eine Messfassung gebondet wurde. b) Fotografie der Messfassung zur rein elektrischen Messung des Treibers. c) Layout des PTFE-Substrats der Messfassung aus (b). d) Mikrofotografie des Gesamtaufbaus mit zwei Treibern und dem PIC in der Mitte.

Messergebnisse der realisierten Schaltungen wurden in gekürzter Fassung bereits in [37, 38] veröffentlicht und werden im Folgenden wiedergegeben, um ein vollständiges Bild des Treiber-Arrays zu vermitteln. Neben den Überlegungen zur Stabilität (vgl. Kap. 5.2 und Kap. 5.3) kamen bei der Entwicklung des Treiber-Arrays insbesondere auch das in Kap. 3.1 vorgestellte Konzept zur Vermeidung des *Current Hogging Effects*, sowie die in Kap. 3.2 erläuterten Dimensionierungsvorschriften bezüglich der Vermeidung des Transistordurchbruchs zum Tragen.

Der vereinfachte Schaltplan eines einzelnen Treiberkanals wird in Kap. 2.1 erläutert und dargestellt (vgl. Abb. 2.2). Die tatsächlich realisierte Schaltung ist jedoch etwas komplexer (vgl. Abb. 6.9). Da der DC-Arbeitspunkt des Modulators flexibel eingestellt werden soll und durch den engen Aufbau mit der direkten Bondverbindung zwischen Treiber und Modulator keine kapazitive Kopplung (vgl. Abb. 4.1b) realisiert werden kann, wird der im Rahmen der Arbeit entwickelte Lösungsansatz der Auftrennung des Bezugspotentials (vgl. Kap. 4.1.1) angewendet. Beim hier vorgestellten Aufbau erfolgt die Auftrennung der Bezugspotentiale auf dem Treiber-Array-Chip mit Hilfe der Kapazität $C_{c,\text{gnd}}$. Durch die zugrunde liegende Aufbautechnik ist eine Trennung der Bezugspotentiale von MZM und der Hauptplatine des Optical Line Terminals (OLT) (vgl. Abb. 6.9) nicht möglich. Die kapazitive Trennung über $C_{c,\text{gnd}}$ ermöglicht die Verschiebung aller Potentiale auf dem Treiberchip gegenüber dem externen Bezugspotential durch Variation der Spannung V_b . Hierdurch verschieben sich entsprechend auch die Potentiale am Treiberausgang und somit auch der Arbeitspunkt des MZM. Aufgrund der fehlenden Masse-Verbindung des Treibers zu seiner Last sowie der Verkopplung der Treiberkanäle über den gemeinsamen Strom-Rückkehr-Pfad für den Gleichtakt unterhalb des Treiber-Chips ist eine präzise Modellierung der parasitären Elemente der Aufbautechnik und eine detaillierte Stabilitätsanalyse notwendig, die in Kap. 5.3 vorgestellt wird. Zusätzlich zu V_b können die Arbeitspunkte der einzelnen Kanäle separat durch Variation zusätzlicher, in den Ausgangsknoten eingespeister Ströme variiert werden (vgl. I_{bias} in Abb. 6.9). Diese Ströme können für jeden Kanal so eingestellt werden, dass das Ausgangspotential um bis zu 500 mV gegenüber dem Bezugspotential abgesenkt wird.

Zur experimentellen Verifikation der grundlegenden Funktion des Treiberchips werden on-Wafer Messungen mit GSSG-Tastköpfen durchgeführt. Hierzu wird die Chip-Variante verwendet, die am Ausgang neben den differentiellen Signal-Bondpads auch Masse-Bondpads aufweist (vgl. Abb. 6.8a). Abb. 6.10a zeigt klar geöffnete Augen bei der Zieldatenrate von $11,3 \text{ Gbit s}^{-1}$. Auch bei der max. Datenrate des eingesetzten Bitmustergenerators von 14 Gbit s^{-1} weist das Treiber-Array noch klare Augenöffnungen auf (vgl. Abb. 6.10b). Verzichtet der Anwender zusätzlich auf die Möglichkeit der separaten Arbeitspunkteinstellung der einzelnen Kanäle ($I_{\text{bias}} = 0 \text{ A}$), so können durch Erhöhung der Arbeitspunktströme der Ausgangskaskoden I_{TAS2} höhere Ausgangshübe erzeugt werden. Abb. 6.10c zeigt das entsprechende Augendiagramm beim maximalen Ausgangsspannungshub von $7 V_{\text{pp}}$.

Weitere Messungen werden mit dem mit SMA-Konnektoren versehenen Modul (vgl. Abb. 6.8b) durchgeführt. Abb. 6.11 zeigt die Augendiagramme aller fünf Kanäle eines

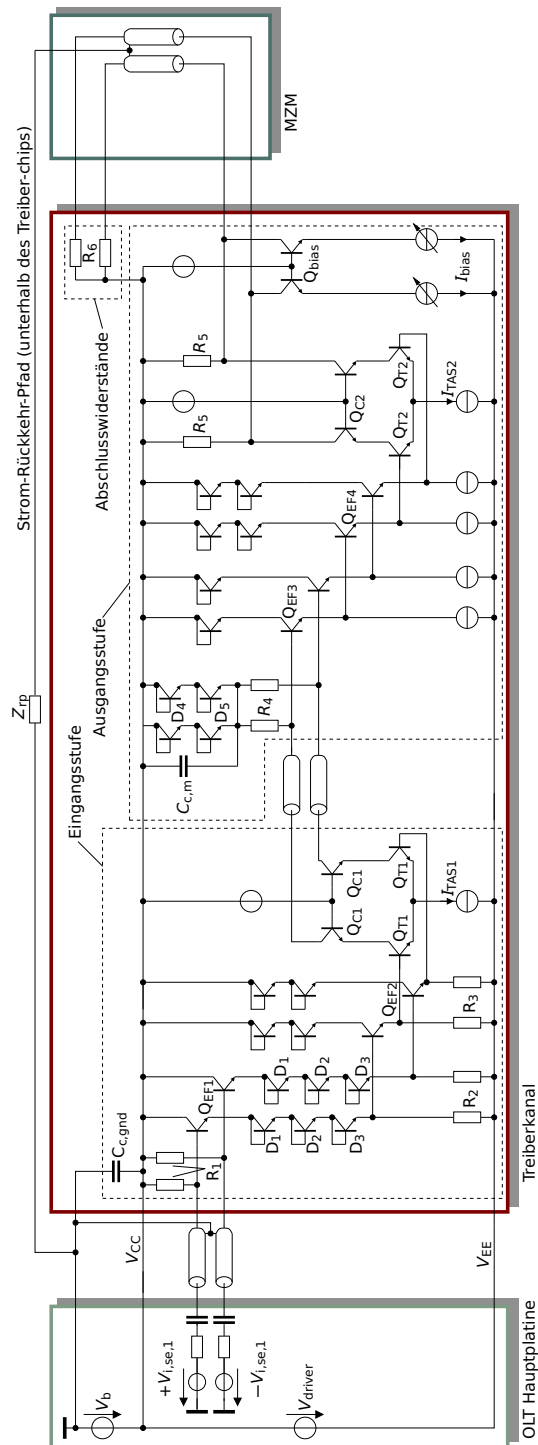


Abb. 6.9: Schaltplan eines Kanals des Treiber-Arrays mit Ansteuerung auf der Hauptplatine des OLT und Last in Form des Modulators.

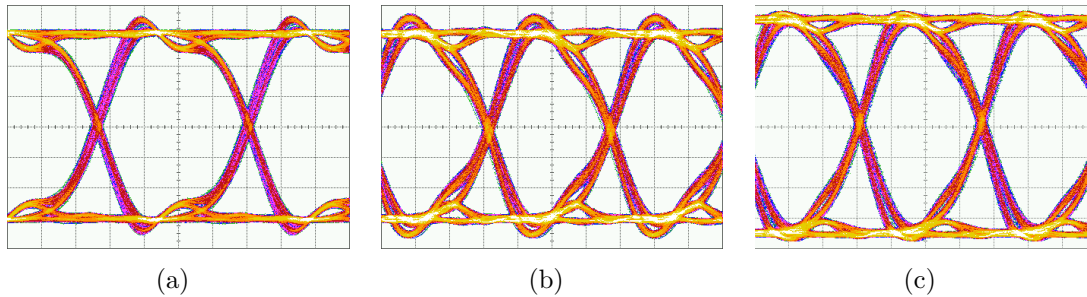


Abb. 6.10: Differentielle Augendiagramme der Ausgangsspannung des Treiber-Arrays bei a) $11,3 \text{ Gbit s}^{-1}$ und $6 V_{\text{pp}}$ Spannungshub, bei b) 14 Gbit s^{-1} und $6 V_{\text{pp}}$ Spannungshub, sowie bei c) 14 Gbit s^{-1} und $7 V_{\text{pp}}$ Spannungshub, gemessen on-Wafer mittels GSSG Tastköpfen und einer *Pseudo Random Bit Sequence* (PRBS) der Länge $2^{11} - 1$ (1 V/div, 20 ps/div).

solchen Moduls. Deutlich zu erkennen ist der Einfluss der unterschiedlich langen differentiellen Übertragungsleitungen auf dem PTFE-Substrat (vgl. Abb. 6.8c). Für den mittleren Kanal 3 sind diese Leitungen mit 22,0 mm am kürzesten, für die Kanäle 2 und 4 beträgt die Länge jeweils 43,7 mm und die äußeren Kanäle 1 und 5 weisen am Ein- und Ausgang jeweils Leitungen mit 67,8 mm auf. Als Substratmaterial wird Rogers RO3006 [149] eingesetzt, ein Keramik-gefülltes PTFE Verbundmaterial, das eine relative hohe Dielektrizitätszahl von $\epsilon_r = 6,5$ aufweist, und so die enge Führung der differentiellen Leitungen im Bereich um den Chip ermöglicht. Gleichzeitig führt die relativ hohe Dielektrizitätszahl aber zu schmalen Leitungen und somit zu relativ hohen resistiven Verlusten, sowie aufgrund des relativ hohen Verlustfaktors $\tan \delta = 0,0020$ auch zu größeren dielektrischen Verlusten². Die resistiven Verluste nehmen aufgrund des Skineffekts und der somit begrenzten Eindringtiefe mit der Quadratwurzel der Frequenz zu, die dielektrischen Verluste wachsen sogar proportional zur Frequenz des zu übertragenden Signals. Diese Frequenzabhängigkeit der Leitungsverluste führt im Zeitbereich zu einem sogenannten *Droop*: Die Signalfanke erreicht nicht wie bei einer idealen Sprungantwort sehr rasch ihren Endwert, sondern erreicht zunächst einen etwas geringeren Wert und kriecht dann deutlich langsamer auf den Endwert. Die in Anhang D dargestellte Abschätzung hat

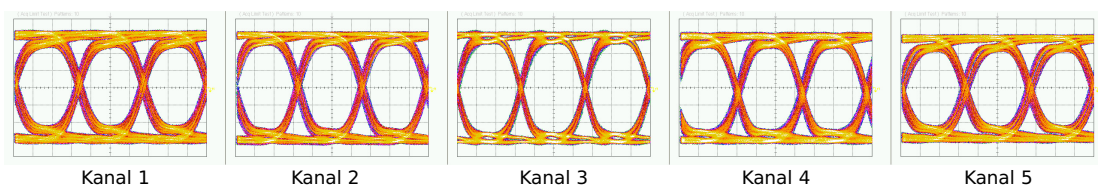


Abb. 6.11: Augendiagramme der fünf Kanäle des Treiberarrays bei einer Datenrate von jeweils 10 Gbit s^{-1} (500 mV/div, 30 ps/div).

²zum Vergleich: In der Arbeitsgruppe wird standardmäßig RT5880 ($\epsilon_r = 2,2$, $\tan \delta = 0,0009$ [150]) eingesetzt

zum Ergebnis, dass Kanal 3 zunächst auf 95,5 % seines endgültigen Wertes „springt“, die Kanäle 2 und 4 auf 91,5 % und die Kanäle 1 und 5 auf 87,4 %.

Die in Abb. 6.12 gezeigten Ergebnisse der Kleinsignalmessung am Kanal 3 des Treiberarrays lassen darauf schließen, dass das Array bis zu weitaus höheren Datenraten genutzt werden kann. Abb. 6.12b zeigt die Phasenabweichung (Differenzphase zu einem linearen Phasengang) der Kleinsignal-Gegentakt-Verstärkung $\Delta\varphi(\underline{M}_{21}^-)$ ³. Die Phasenabweichung beschreibt gemäß der Definition in [6, 151]

$$\Delta\varphi(\omega) = \varphi(\omega) - \omega T_0 \quad \text{mit} \quad T_0 = \left. \frac{d\varphi}{d\omega} \right|_{\omega \rightarrow 0} \quad (6.3)$$

die Phasendrehung unabhängig von dem durch eine konstante Verzögerungszeit T_0 verursachten Anteil. Alternativ kann auch die Gruppenlaufzeit verwendet werden, diese ist jedoch weniger anschaulich. Bei begrenzenden Verstärkern, wie im hier vorliegenden Fall, bedingt die Phasenabweichung maßgeblich die maximale Datenrate, bis zu der der Verstärker eingesetzt werden kann, vorausgesetzt die Pegel des Eingangssignals sind ausreichend groß, um den Verstärker voll auszusteuern. [152] gibt als Grenzwert an, dass eine Phasenabweichung von $|\Delta\varphi| = 30^\circ$ bis zur Frequenz $f = 0.5 f_B$ nicht überschritten werden sollte, wobei f_B die Bitfrequenz des Datensignals repräsentiert. Diese Schranke wird in Abb. 6.12b erst bei über 20 GHz überschritten, demzufolge könnten bei ausreichender Eingangsamplitude 40 Gbit-Datensignale übertragen werden. Dem steht jedoch der begrenzte Amplitudengang des Verstärkers entgegen. Geht man von einer Ansteuerung mit einer differentiellen Spannung mit 1 V_{pp} Hub aus, so ist eine Verstärkung

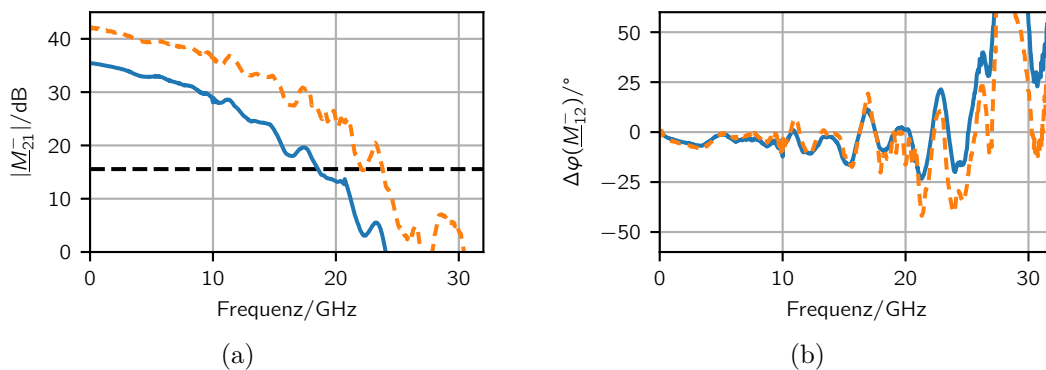


Abb. 6.12: a) Betragsgang und b) Phasenabweichung der Kleinsignal-Gegentakt-Verstärkung des Treiber-Kanals 3. Dargestellt sind die Messkurven für den Treiber mit den Standardinstellungen (—) und mit erhöhtem Arbeitspunktstrom der Emitterfolger und der Kaskode der Eingangsverstärkerstufe (---). Die horizontale Linie in a) gibt die minimale Verstärkung an, die notwendig ist, damit der Verstärker bei einer differentiellen Eingangsspannung von 1 V_{pp} in Sättigung betrieben wird.

³Die Kleinsignal-Parameter seien für diesen Fall analog zur entsprechenden Fußnote auf Seite 152 definiert

von 15,56 dB erforderlich um die Vollaussteuerung von $6 V_{pp}$ am Treiberausgang zu gewährleisten. Diese muss bei $3/4 f_B$ überschritten werden, damit der Verstärker in der Begrenzung betrieben wird [152]. Ohne weitere Maßnahmen sind daher Datenraten von 20 Gbit s^{-1} möglich, durch zusätzliches Erhöhen des Arbeitspunktstromes der ersten Verstärkerstufe I_{TAS1} (vgl. Abb. 6.9) und somit des Betrags der Kleinsignalverstärkung (vgl. Abb. 6.12a) können im Idealfall auch höhere maximale Datenraten von ca. 28 Gbit s^{-1} erreicht werden.

Dies lässt sich durch Messungen bei entsprechend hohen Datenraten belegen. Als Signalquelle für diese Messungen wird anstelle des Bitmustergenerators Anritsu MP1800A ein Multiplexer mit einer maximalen Datenrate von 100 Gbit s^{-1} genutzt, der im Rahmen späterer Arbeiten gemeinsam von der Universität des Saarlandes und Micram entwickelt wurde [153]. Durch Verwendung dieses Multiplexers wird der mittlere Kanal 3 des Treiber-Arrays bei verschiedenen Datenraten zwischen $11,3 \text{ Gbit s}^{-1}$ und 32 Gbit s^{-1} mit einem differentiellen Spannungssignal mit $1,2 V_{pp}$ Hub angesteuert und das entstehende Augendiagramm am Treiber-Ausgang aufgezeichnet (vgl. Abb. 6.13). Die Augendiagramme zeigen, dass das Treiber-Array auch bei höheren Datenraten bis 28 Gbit s^{-1} oder sogar 32 Gbit s^{-1} eingesetzt werden kann. Somit werden die auf Basis der Kleinsignalverstärkung postulierten Datenraten durch Messungen bei Vollaussteuerung des Treibers belegt.

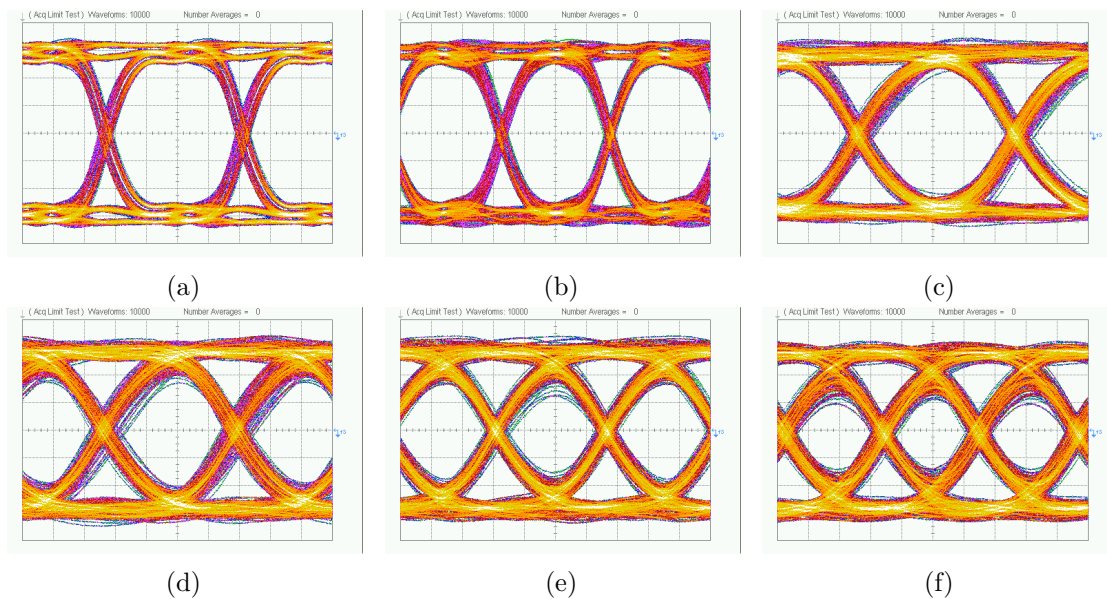


Abb. 6.13: Augendiagramme des Treiber-Arrays bei Ansteuerung mit einem 100 Gbit s^{-1} Multiplexer bei a) $11,3 \text{ Gbit s}^{-1}$ b) 14 Gbit s^{-1} c) 20 Gbit s^{-1} d) 24 Gbit s^{-1} e) 28 Gbit s^{-1} und f) 32 Gbit s^{-1} . Die vertikale Skalierung beträgt 1 V/div , die horizontale für a) und b) 20 ps/div und für c) bis f) 10 ps/div .

Um die Verkopplung der einzelnen Kanäle zu beurteilen, wird ein Störer-Opfer-Szenario untersucht: Während die Kanäle 2 bis 5 bei maximaler Aussteuerung betrieben werden, wird Kanal 1 nicht angesteuert, d.h. er befindet sich im Umschaltzustand und weist somit seine maximale Empfindlichkeit auf (vgl. Abb. 6.12). Abb. 6.14 zeigt, dass der Opfer-Kanal 1 trotzdem nur eine sehr geringe Gegentakt-Aussteuerung von ca. $850 \text{ mV}_{\text{pp}}$ aufweist, also weniger als 15 % der Vollaussteuerung. Modenkonversion des Gegentaktsignals führt zu einer geringen Gleichtaktauslenkung der Störer-Kanäle, die am Ausgang des Opfer-Kanals kaum noch erkennbar ist.

Um das Treiber-Array innerhalb der Zielanwendung testen zu können, wird der in Abb. 6.8d gezeigte Aufbau verwendet, bei der eine spezielle Version des Treiber-Arrays gemeinsam mit dem PIC auf das im Rahmen des Projektes entworfenen Keramik-Substrat aufgeklebt wurde. In dieser speziellen Version des Treiber-Arrays wurde Kanal 5 entfernt. Stattdessen wird das Signal am Ausgang der Modulator-TML von Kanal 1 um 6 dB gedämpft zu den Eingangspads von Kanal 5 geleitet (vgl. Abb. 6.15). Somit besteht die

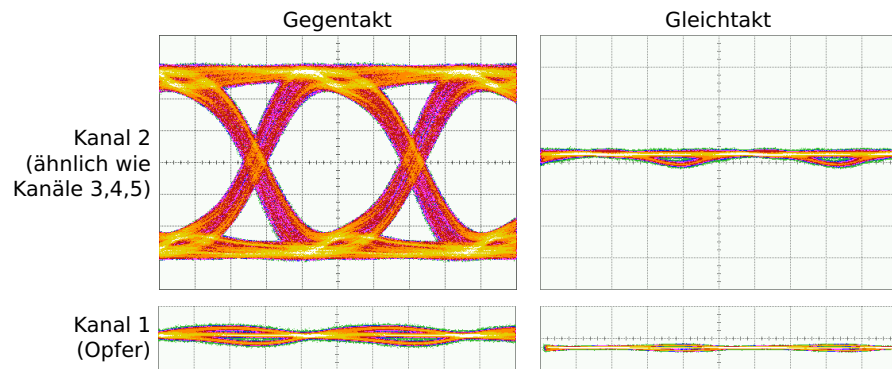


Abb. 6.14: Augendiagramme für Gegen- und Gleichtakt des Ausgangssignals zur Bewertung des Übersprechens zwischen den Kanälen des Treiber-Arrays (1 V/div , 20 ps/div). Die Störer-Kanäle 2 bis 5 werden mit differentiellen Eingangssignalen bei maximaler Aussteuerung betrieben (obere Zeile), Opfer-Kanal 1 verbleibt bei maximaler Empfindlichkeit im Umschaltzustand (untere Zeile).

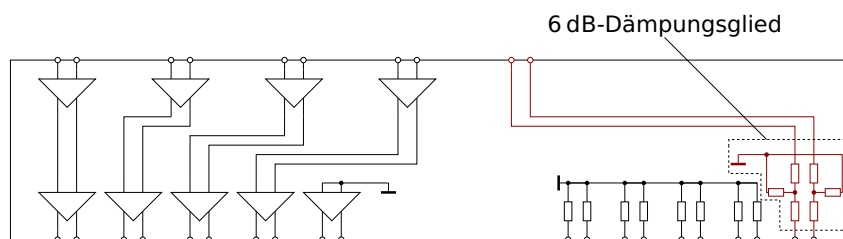


Abb. 6.15: Blockschaltbild einer modifizierten Version des Treiber-Arrays, bei der ein Verstärkerkanal ausgelassen wurde und stattdessen das Ausgangssignal der äußersten MZM-TML über ein Dämpfungsglied mit den Eingangspads dieses Kanals verbunden wird.

Möglichkeit, die ordnungsgemäße Funktion von Kanal 1 des Treiber-Arrays zu verifizieren, ohne den PIC in Betrieb zu nehmen. Abb. 6.16a zeigt das auf diese Weise gemessene Augendiagramm bei einer Datenrate von $11,3 \text{ Gbit s}^{-1}$. Das Augendiagramm zeigt, dass das Treiber-Array auch im komplexen Gesamtaufbau stabil betrieben werden kann (vgl. Überlegungen in Kap. 5.3). Es weist allerdings im Unterschied zu den Augendiagrammen, die on-Chip bzw. mit dem in Abb. 6.8c gezeigten Aufbau erfasst wurden (vgl. Abb. 6.10 und Abb. 6.11) einen deutlichen Doppellinienjitter auf. Da ein sehr ähnlicher Effekt beobachtet werden kann, wenn ausschließlich die Übertragung eines Datensignals durch die Modulator-TML beobachtet wird, wie in Abb. 6.16b gezeigt, verursacht offensichtlich die TML auf dem PIC den Jitter. Bei genauere Betrachtung der Leiterbahnführung auf dem PIC (vgl. Abb. 6.17) fällt auf, dass die äußere TML zwischen den Eingangspads und dem Modulator und zwischen dem Modulator und den Ausgangspads länger ist als die innere. Diese Längenunterschiede führen zur Modenkonversion zwischen Gegen- und Gleichtaktmode auf dem PIC. Die dabei entstehenden Gleichtaktsignale werden an beiden Enden der TML auf dem PIC stark reflektiert, da keine Masseverbindung über Bonddrähte zu den Abschlusswiderständen auf dem Treiberchip existiert. Da auf das PIC-Design im Rahmen der Arbeit kein Einfluss genommen werden konnte, konnte keine Verbesserung dieses Verhaltens erreicht werden. Die mit dem Treiber alleine gemessenen Augen lassen jedoch darauf schließen, dass im Betrieb mit einem verbesserten Modulator kein Doppellinienjitter auftreten würde.

Zusammenfassend betrachtet zeigt die Realisierung des Treiber-Arrays, dass nicht nur große Ausgangsspannungshübe in SiGe-Technologie erzielt werden können, sondern auch die monolithische Integration mehrerer Treiberzellen auf einem Chip möglich ist. Auf ähnlicher Weise könnte diese Integration auch mit anderen Schaltungszellen, wie beispielsweise Multiplexern oder Digital-Analog-Wandlern, die sich in der gleichen Technologie realisieren lassen [154], vollzogen werden. Darüber hinaus wird demonstriert, wie mit innovativen Konzepten zur Arbeitspunkteinstellung eine leistungsarme Variation des Biaspotentials der angesteuerten Modulatoren erreicht werden kann.

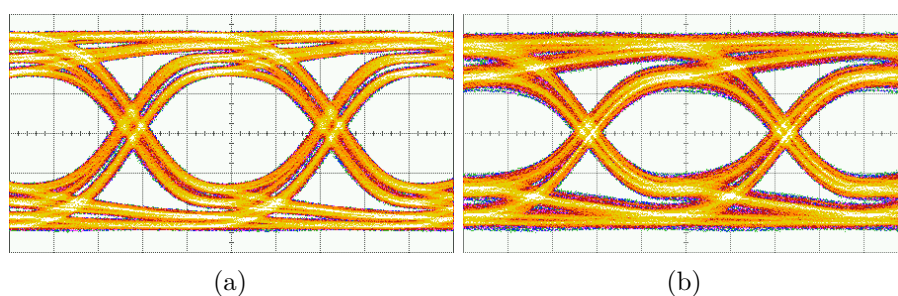


Abb. 6.16: a) Augendiagramm am Ausgang des Modulators bei $11,3 \text{ Gbit s}^{-1}$ gemessen mit Hilfe einer modifizierten Version des Treiber Arrays (vgl. Abb. 6.15) (200 mV/div , 20 ps/div). b) Zugehöriges Augendiagramm des MZM alleine (als Referenz; 150 mV/div , 20 ps/div).

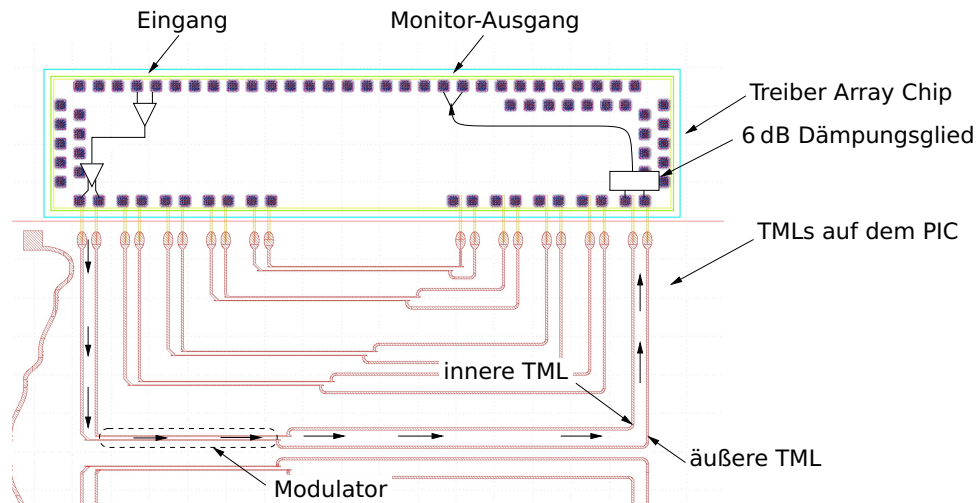


Abb. 6.17: Signalpfad vom Eingang des Treiber-Array-Chip durch den Modulator und ein integriertes Dämpfungsglied zurück zum Monitor-Ausgang.

6.3 Linearer Addierer zur Realisierung eines 200 GS s^{-1} Digital-Analog-Wandlers

Eine weitere im Rahmen der vorliegenden Arbeit realisierte Schaltung ist kein Treiber im eigentlichen Sinne. Es handelt sich vielmehr um zwei Verstärker auf einem Chip, deren Ausgänge Chip unmittelbar miteinander verbunden sind. So werden die Ausgangssignale addiert, was genutzt werden kann, um die Ausgänge zweier Digital-Analog-Wandler (DACs) zu kombinieren und so die Ausgangsdatenrate zu verdoppeln (*interleaving*). Aufgrund der ähnlichen Anforderungen zu Modulator-Treibern in Bezug auf die fließenden großen Ströme, die hohe Linearitätsanforderung und die große erforderliche Bandbreite wurden bei der Entwicklung dieser Schaltung die gleichen Konzepte angewandt wie bei den anderen vorgestellten Treiberschaltungen. Daher passt der lineare Addierer sehr gut in den Gesamtkontext der vorliegenden Arbeit. Teile der nachfolgenden Ausführungen wurden der Öffentlichkeit bereits präsentiert [16]. Sie werden hier aufgegriffen, um eine umfassende Vorstellung der realisierten Schaltung und des theoretischen Hintergrunds zu ermöglichen.

Vergleichbare Schaltungen sind selten. In [155] wird das gleiche Konzept angewendet, um die Ausgänge zweier $1,2 \text{ GS s}^{-1}$ -DACs zu kombinieren. Bei der geringen Datenrate können jedoch beide Ausgänge ohne weitere Maßnahmen extern zusammengeschaltet werden. In [156] wird ein auf verteilten Verstärkern basierender *Combiner* vorgestellt, der zwar eine obere Grenzfrequenz von 220 GHz aufweist, aber aufgrund seiner unteren Grenzfrequenz von 1 GHz nur für bestimmte Anwendungsszenarien eingesetzt werden kann. Zu einem ähnlichen Zweck wie der hier vorgestellte Addierer können auch analoge Multiplexer

eingesetzt werden [157] oder aufwendigere Verfahren basierend auf Frequenzfiltern und Mischen (sogenanntes *bandwidth interleaving*, vgl. [158, 159]).

6.3.1 Interleaving von Digital-Analog-Wandlern

Zunächst soll kurz das Konzept des sogenannten *Interleavings* zweier DAC-Ausgänge vorgestellt werden. Eine detaillierte, mathematische Abhandlung zum *Interleaving* einer beliebigen Anzahl von DAC-Ausgängen findet sich in [160]. Auch [161] beschreibt die wesentlichen Effekte, die beim *Interleaving* von DAC-Ausgängen auftreten. Eine mathematische Beschreibung für das *Interleaving* von zwei DAC-Ausgängen wird ebenfalls in [155] vorgestellt.

Die grundsätzliche Idee des *Interleavings* besteht darin, das Taktsignal zweier DACs mit einer Samplingrate $f_{S,\text{sub}}$ so zu verschieben, dass die Ausgangssignale um $T_S := (2 f_{S,\text{sub}})^{-1}$ gegeneinander verschoben sind (vgl. Abb. 6.18a). Damit kann ein sogenannter *time interleaved DAC* (TIDAC) mit der doppelten Samplingrate der beiden sub-DACs realisiert werden. In Abb. 6.18b wird deutlich, dass die Dauer eines Samples des TIDACs T_S nur halb so lange ist, wie die der sub-DACs $T_{S,\text{sub}}$. Das bedeutet, dass die beiden Ausgangssignale der sub-DACs bei der Addition zeitlich überlappen: Wenn DAC1 schaltet, behält DAC2 sein Ausgangssignal bei und umgekehrt. Um dieses Überlappen zu kompensieren, muss das Eingangssignal $x[n]$ mit dem Vorfilter $y[n] = x[n] - y[n - 1]$ gefiltert werden. Dieses Filter subtrahiert von jedem Sample das vorhergehende Sample. Da beim Addieren der Ausgangssignale zu jedem Sample wieder das vorhergehende Sample addiert wird, da dieses vom jeweils anderen DAC gehalten wird, kompensiert das Vorfilter gerade das Überlappen der beiden DAC-Ausgangssignale. Das Ausgangssignal des Vorfilters wird schließlich auf die beiden sub-DACs aufgeteilt (DAC1: ungerade Samples, DAC2: gerade Samples). Die Darstellung des Vorfilters im z -Bereich

$$G(z) = \frac{1}{1 + z^{-1}} \tag{6.4}$$

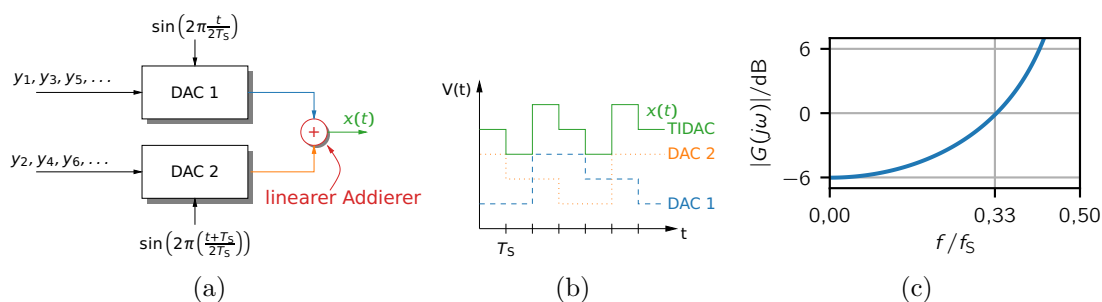


Abb. 6.18: a) Block Diagramm eines TIDACs bestehend aus zwei DACs und einem linearen Addierer. b) Ein- und Ausgangssignale des linearen Addierers. c) Betragsgang des Vorfilters $G(j\omega)$.

gestattet die Konversion in den Frequenzbereich, indem das komplexe Argument z auf dem Einheitskreis ausgewertet wird ($z = e^{j\omega T_S}$)

$$G(j\omega) = G(e^{j\omega T_S}) = \frac{1}{1 + e^{-j\omega T_S}} = \frac{1}{2 \cos(\omega T_S/2)} e^{j\omega \frac{T_S}{2}}. \quad (6.5)$$

Die grafische Darstellung von $G(j\omega)$ in Abb. 6.18c verdeutlicht, dass es sich um ein Hochpass-Filter handelt. Eine detaillierte Betrachtung im Frequenzbereich ergibt, dass dieses Filter den ZOH-Abfall der sub-DACs kompensiert [160].⁴ Bemerkenswert ist, dass der Betrag des Vorfilters ab der Frequenz $f_S/3$ größer als 1 wird und schließlich bei $f_S/2$ eine Polstelle aufweist (vgl. Abb. 6.18c). Das hat zur Folge, dass mit dem TIDAC Frequenzen oberhalb von $f_S/3$ nicht synthetisiert werden können. Signale, die Frequenzanteile in diesem Bereich aufweisen führen zu Sättigungseffekten, d.h. nach dem Vorfilter weisen die Samples y_i Werte auf, die von den einzelnen sub-DACs nicht erzeugt werden können.

An den linearen Addierer werden einige Anforderungen gestellt, die erfüllt werden müssen, um einen TIDAC mit guter Leistungsfähigkeit realisieren zu können.

- Beide Kanäle des linearen Addierers müssen identisches Übertragungsverhalten aufweisen. [160, 161] analysieren die Einflüsse nicht identischer Signalpfade auf das Ausgangssignal mathematisch. Im Folgenden werden diese Auswirkungen auch anhand der Messergebnisse verdeutlicht.
- Die zeitliche Ausrichtung der beiden sub-DACs zueinander hat ebenfalls großen Einfluss auf das Ausgangssignal des TIDACs. Bereits kleine Fehler führen beispielsweise zu einer deutlichen Verschlechterung der effektiven Auflösung (*effective number of bits* oder ENOB). Entsprechend müssen auch die beiden Kanäle des Addierers gleiche Gruppenlaufzeiten aufweisen.
- Die Linearität des Addierers muss so gut sein, dass die effektive Auflösung der sub-DACs nicht verschlechtert wird.
- Beide Kanäle des linearen Addierers müssen gut voneinander entkoppelt sein, um ein Übersprechen der Signale zu verhindern.

Diese Anforderungen wurden bei der im Folgenden vorgestellten Schaltungsentwicklung des linearen Addierers berücksichtigt.

6.3.2 Schaltungsentwicklung des linearen Addierers

Der lineare Addierer besteht aus zwei identischen Verstärkerzellen (Amp. 1, Amp. 2), deren Ausgangsströme an den gemeinsamen Ausgangswiderständen $R_{\text{out}} = 50 \Omega$ addiert werden (vgl. Abb. 6.19a). Jeder der beiden Kanäle ist strikt symmetrisch aufgebaut und

⁴Zero Order Hold (ZOH) DACs haben systembedingt einen abfallenden Betragsgang. Bei der Nyquist-Frequenz $f_S/2$ ist ihr Betrag gegenüber niedrigen Frequenzen ($f \rightarrow 0 \text{ Hz}$) um 3,9 dB verringert.

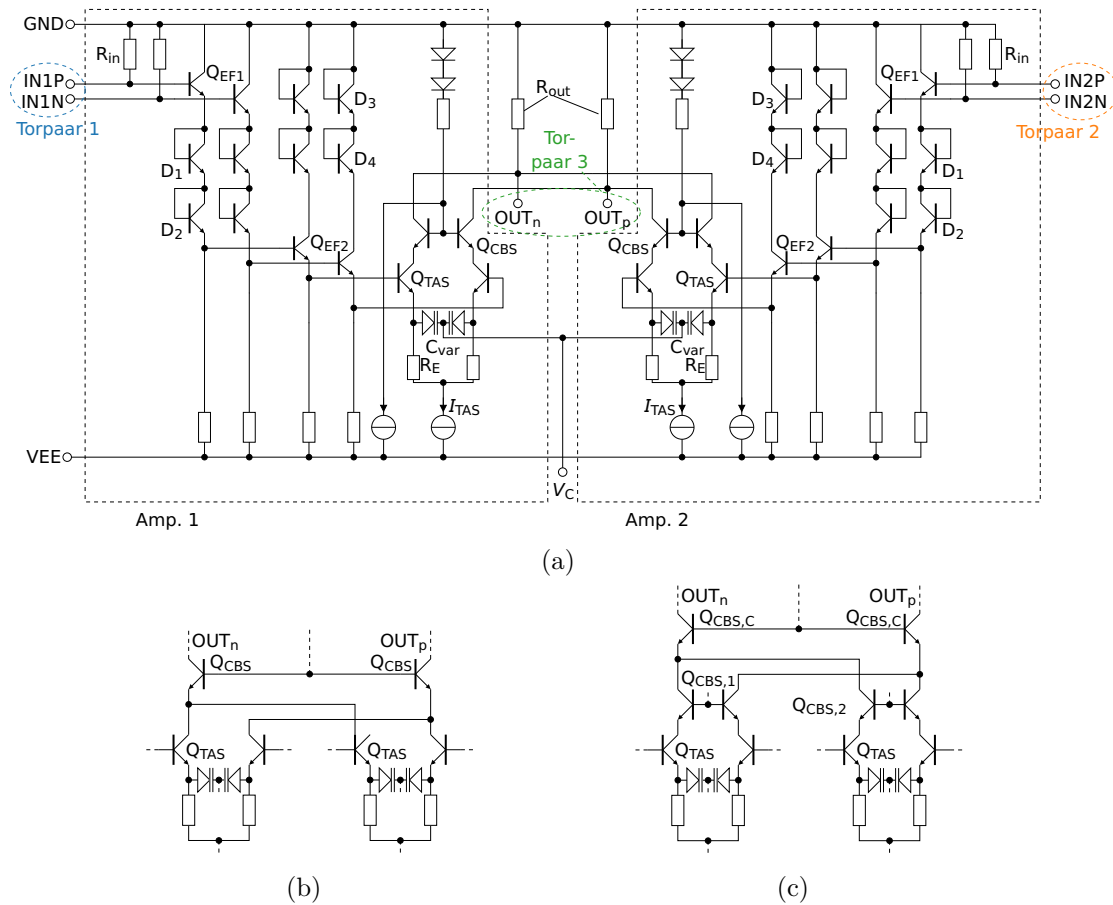


Abb. 6.19: a) Schaltplan des linearen Addierers bestehend aus zwei identischen Verstärker-Kanälen. b) Alternative Ausgangskonfiguration mit einer gemeinsamen Basisstufe. c) Alternative Ausgangskonfiguration mit übereinander gesetzten Basisstufen.

wird differentiell betrieben. Sie bestehen jeweils aus zwei Emitterfolger-Paaren, Q_{EF1} , Q_{EF2} , die eine Transadmittanzstufe, Q_{TAS} , ansteuern. Diese bildet zusammen mit der Basisstufe, Q_{CBS} , eine Kaskode. Die Dioden D_1 und D_2 zwischen den Emitterfolgern verschieben den Gleichspannungspegel der Signale und sorgen somit für ein geeignetes Arbeitspunktpotential an der Basis der TAS. Die Dioden D_3 und D_4 werden benötigt, um das Kollektorpotential von Q_{EF2} abzusinken und somit den Durchbruch dieser Transistoren zu verhindern. Die Eingänge sind über $R_{in} = 50 \Omega$ mit dem Bezugspotential GND verbunden, um einen geeigneten Abschluss zu realisieren.

Die Gegenkopplungswiderstände $R_{E,TAS}$ sind so dimensioniert, dass sich eine Gesamtverstärkung der Schaltung von 1 ergibt, da die Signale der sub-DACs ohne weitere Verstärkung addiert werden sollen und eine entsprechend große Gegenkopplung die Linearität verbessert. Zur weiteren Verbesserung der Linearität wird ein relativ großer

Arbeitspunktstrom I_{TAS} für die Kaskode gewählt, sodass die TAS nicht voll angesteuert wird, entsprechend den Ergebnissen der Linearitätsuntersuchung in Kap. 2.2.3. Während zum Erreichen der angestrebten Ausgangsamplitude von $1600 \text{ mV}_{\text{pp,diff}}$ ein Strom $I_{\text{TAS}} = 32 \text{ mA}$ bereits ausreichend wäre, wird $I_{\text{TAS}} = 55 \text{ mA}$ gewählt. Zur Erhöhung der Bandbreite werden Varaktor-Dioden zu den Gegenkopplungswiderständen parallel geschaltet. Diese dienen als einstellbare Kapazitäten, die mit Hilfe der Spannung V_C variiert werden können. Der Einstellbereich reicht von 45 fF bis 90 fF , wodurch die Grenzfrequenz des Hochpasses der TAS-Gegenkopplung von 135 GHz bis 65 GHz variiert werden kann. Damit kann beispielsweise der Abfall des Frequenzgangs infolge der externen Bonddraht-induktivitäten kompensiert werden. Die Stabilität der Verstärkerzellen wurde mit den in Kap. 5 vorgestellten Konzepten sicher gestellt.

In den meisten Fällen würde anstelle der in Abb. 6.19a gezeigten doppelten Kaskoden-Struktur mit zwei separaten Basisstufen die in Abb. 6.19b gezeigte Anordnung mit einer gemeinsamen Basisstufe verwendet, da diese eine geringere kapazitive Belastung des Ausgangsknotens und damit eine etwas höhere Bandbreite aufweist. Allerdings verbessern zwei separate Basisstufen die Entkopplung der beiden Kanäle, weshalb diesem Konzept der Vorzug gegeben wurde. Alternativ dazu könnte die in Abb. 6.19c gezeigte Topologie verwendet werden, die die Vorteile beider Konzepte vereint, indem in Serie zu den separaten Basisstufen eine gemeinsame geschaltet wird. Dieses Konzept benötigt allerdings eine höhere Versorgungsspannung und eine weitere Diode in Serie zu D_1, D_2 zur Anpassung des Arbeitspunkt-potentials an der Basis der TAS, was zu einer geringen Bandbreite des Verstärkers führen würde.

6.3.3 Messergebnisse

Wie auch die bereits vorgestellten Schaltungen, wurde der lineare Addierer als Chip im Hochgeschwindigkeits-SiGe-Prozess B7HF200 ($f_T = 200 \text{ GHz}$, $f_{\text{max}} = 275 \text{ GHz}$) von Infineon gefertigt. Die Chip-Größe beträgt $1186 \times 650 \mu\text{m}^2$, wovon nur $200 \times 450 \mu\text{m}^2$ vom aktiven Teil der Schaltung belegt werden (vgl. Abb. 6.20a). Ähnlich wie die übrigen vorgestellten Treiberverstärker wird der lineare Addierer aufgebaut in einer Messfassung charakterisiert, die die Eingangs- und Ausgangssignale über ein PTFE-Substrat mit $1,85 \text{ mm}$ -Koaxialkonnektoren [162] verbindet (vgl. Abb. 6.20b), ähnlich wie in [58]. Der Chip nimmt einen Strom von 330 mA aus einer $-5,5 \text{ V}$ -Versorgungsspannungsquelle auf.

Um die prinzipielle Funktion des linearen Addierers zu verifizieren, wird dieser, unabhängig von seiner Nutzung innerhalb der TIDAC-Anordnung, alleine charakterisiert. In Abb. 6.21 sind die Kleinsignal-Gegentakt-Parameter \underline{M}_{ij}^- des aufgebauten Moduls dargestellt, wobei sich i und j jeweils auf die in Abb. 6.19a definierten Torpaare beziehen⁵. Die in Abb. 6.21a dargestellten Verstärkungen $|\underline{M}_{31}^-|$ und $|\underline{M}_{32}^-|$ von den beiden

⁵Die Kleinsignal-Parameter werden hier analog zur entsprechenden Fußnote auf Seite 152 definiert.

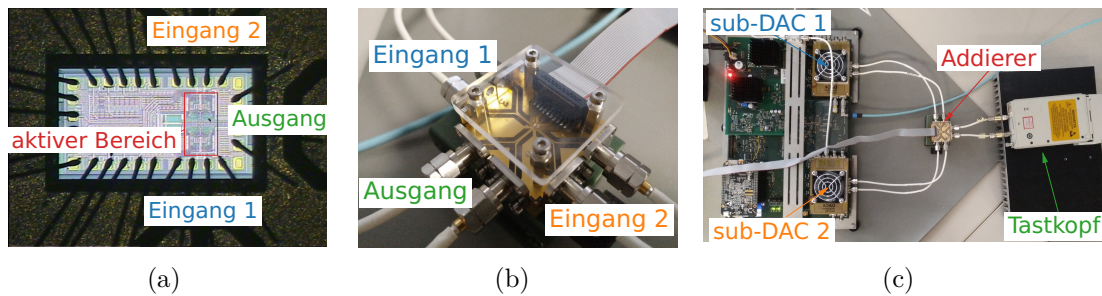


Abb. 6.20: a) Mikrofotografie des gebondeten Addierer-Chips. b) Fotografie des Addierer-Moduls. c) Fotografie des TIDAC-Setups bestehend aus Micram DAC4 Zwei-Kanal-Setup und Addierer-Modul.

Eingängen zum Ausgang des Addierers zeigen eine gute Übereinstimmung zwischen den beiden Verstärker-Kanälen, die essentiell ist, damit sich die sogenannten *Interleaving Spurs* der beiden sub-DACs gegenseitig kompensieren (vgl. [160, 161]). Zudem wird deutlich, dass durch Variation der DC-Spannung V_C , die die Kapazität der Varaktordioden verändert, die Anhebung des Betragsganges über der Frequenz eingestellt werden kann, um beispielsweise unterschiedliche Bonddrahtlängen zwischen den Modulen oder die Dämpfung auf den Signalkabeln zwischen den sub-DACs und dem Addierer in der Anwendung kompensieren zu können. Durch geeignete Anhebung des Betragsganges kann eine analoge Grenzfrequenz von $f_{3\text{dB}} = 50 \text{ GHz}$ realisiert werden. Eine stärkere Anhebung vergrößert allerdings auch die in Abb. 6.21b dargestellte Phasenabweichung (vgl. Definition in Gl. 6.3) und sollte daher in möglichst geringem Maße eingesetzt werden. Deshalb werden beim Aufbau der Module kurze und möglichst identische Bondverbindungen angestrebt. In Abb. 6.21c sind die Gegentakt-Reflexionsparameter aller drei Torpaare dargestellt. Erwartungsgemäß verschlechtert sich die 50Ω -Anpassung zu hohen Frequenzen hin wegen der Bonddraht-Induktivitäten und der parasitären Kapazitäten auf dem Chip. Die Entkopplung der Eingänge voneinander $|\underline{M}_{21}^-|$, $|\underline{M}_{12}^-|$ bzw. der Eingänge vom Ausgang $|\underline{M}_{13}^-|$, $|\underline{M}_{23}^-|$ ist im gesamten Frequenzbereich gut.

Neben den Kleinsignalparametern wurde auch die Linearität des Addierers charakterisiert. Maßgeblich ist diesbezüglich, dass die Verzerrungen des Addierers so gering sein müssen, dass die 6 bit-Auflösung der sub-DACs als ENoB erhalten bleibt. Das Verhältnis aus Signalamplitude und maximal zulässiger Verzerrung kann mit $\text{SINAD}_{\text{dB}} = 6,02 \text{ ENoB}_{\text{bit}} + 1,76 \text{ dB}$ berechnet werden [163, 164]. Mit $\text{ENoB} = 6$ ergibt sich, dass die dritte Oberwelle, die die Verzerrung des Gegentakt-Verstärkers dominiert, um mehr als 38 dB gegenüber dem Sinussignal bei der Grundfrequenz verringert sein muss. Die in Abb. 6.22 gezeigte Verzerrung HD3 wurde gemessen, indem Kanal 1 des Addierers mit einem reinen Sinussignal der Frequenz 2 GHz angesteuert wurde und die Harmonischen am Ausgang mit einem Spektrumanalysator erfasst wurden. Der zweite Eingang wurde dabei durch Anlegen einer statischen Spannung voll angesteuert, wodurch sich am gemeinsamen Kollektorknoten der Basisstufen (vgl. Abb. 6.19a) unterschiedliche

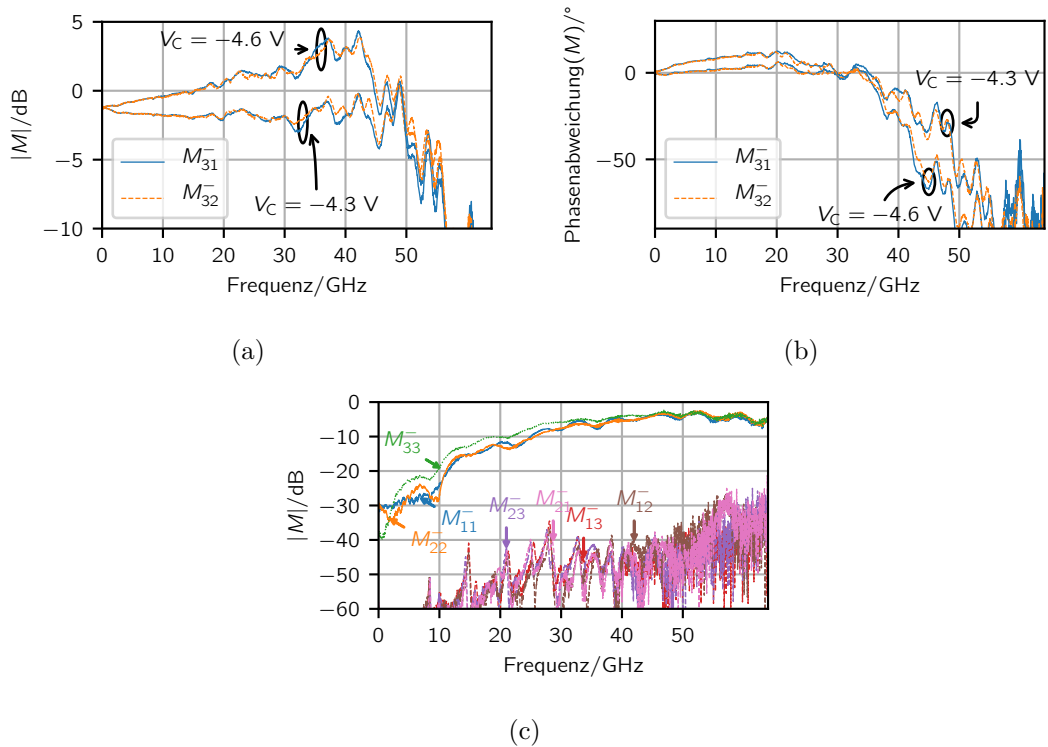


Abb. 6.21: Gegentakt-Kleinsignalparameter des linearen Addierers. a) Beträge und b) Phasenabweichungen der Transmissionsparameter $|M_{31}^-|$ und $|M_{32}^-|$ beider Kanäle; c) Beträge der Reflexionsparameter $|M_{11}^-|$, $|M_{22}^-|$ und $|M_{33}^-|$ sowie der Isolationsparameter $|M_{21}^-|$, $|M_{12}^-|$, $|M_{13}^-|$, $|M_{23}^-|$ der drei Torpaare.

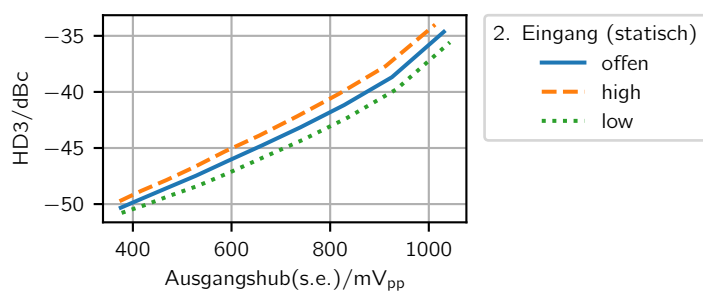


Abb. 6.22: Verzerrung HD3 des linearen Addierers über dem Ausgangshub gemessen bei sinusförmiger Anregung mit $f = 2$ GHz bei verschiedenen Arbeitspunkten des nicht angesteuerten Eingangs.

Arbeitspunktspannungen einstellen. In allen Fällen bleibt die Verzerrung unterhalb von -40 dBc bis zum spezifizierten maximalen differentiellen Ausgangshub von $1,6 \text{ V}_{\text{pp,diff}}$, was sehr gut mit den Ergebnissen der Linearitätsbetrachtung des Verstärkers in Kap. 2.2.3 übereinstimmt.

Um den linearen Addierer in der angestrebten Anwendung zu testen und zu charakterisieren, wurde ein TIDAC-Setup mit zwei sub-DACs aufgebaut (vgl. Abb. 6.20c). Zur Realisierung der sub-DACs wird ein 2-Kanal-DAC-System der Firma Micram verwendet. Jeder der beiden Kanäle kann ein Digitalsignal mit einer Samplingrate von bis zu 100 GS s^{-1} und einer analogen Bandbreite von ca. 40 GHz erzeugen [165]. Die Ausgänge der beiden sub-DACs werden mittels koaxialer Kabel mit $1,85 \text{ mm}$ -Konnektoren mit den Eingängen des linearen Addierers verbunden, dessen Ausgang wiederum über kurze Kabel an den differentiellen Tastkopf eines Tektronix DSA8300 Sampling-Oszilloskops angeschlossen wird. Die Signale werden in Matlab erzeugt und mit dem in Gl. 6.4 angegebenen Vorfilter gefiltert. Das gefilterte Signal wird auf beide sub-DACs aufgeteilt, indem die ungeraden Samples in den Speicher von Kanal 1, die geraden Samples in den von Kanal 2 geschrieben werden. Die zeitliche Synchronisation der beiden Kanäle lässt sich über eine auf dem DAC-Chip integrierte variable Verzögerungsleitung so einstellen, dass einer der beiden Kanäle gegenüber dem anderen um $T_S = T_{S,\text{sub}}/2$ verschoben ist (vgl. Kap. 6.3.1). Zur präzisen Einstellung dieser Verzögerung und zur Charakterisierung der effektiven Auflösung (*effective number of bits*, ENoB) des TIDACs werden Sinussignale

$$y = \sin\left(2\pi \frac{P}{M} \frac{t}{T_S}\right), \quad \text{mit } M > 2^{\text{PNoB}} \pi, \quad P, M \text{ teilerfremd} \quad (6.6)$$

synthetisiert (vgl. [166, 167]), wobei PNoB die physikalischen Auflösung angibt. Da die synthetisierte Frequenz $f_C = P M^{-1} f_S$ rational mit der Samplingrate des TIDACs verknüpft ist, wird die sogenannte Kohärenzbedingung erfüllt: Bei zyklischer Wiederholung der Sequenz des TIDACs, mündet das Ende der Sequenz wieder in den Anfang, ohne dass ein Sprung in der Sequenz entsteht. Durch eine ausreichend groß gewählte Länge der Sequenz M wird sichergestellt, dass alle Quantisierungslevels des DACs erreicht werden. Da P teilerfremd von M gewählt wird, ist gewährleistet, dass Harmonische der Trägerfrequenz f_C nach Faltung ins Basisband bei verschiedenen Frequenzen erscheinen, sodass diese unterschieden werden können, um eine genaue Analyse ihrer Entstehung zu ermöglichen.

Die Entstehung und Unterdrückung sogenannter *Interleaving Spurs* lässt sich mit Hilfe gemessener Signale anschaulich darstellen. Durch die endliche zeitliche Auflösung $T_{S,\text{sub}}$ der sub-DACs entstehen Frequenzanteile, sogenannte Spiegelbilder bzw. Images, des resultierenden Signals nicht nur bei der gewünschten zu synthetisierenden Frequenz f_C , sondern auch bei $f_{\text{Spur}} = f_{S,\text{sub}} - f_C = \frac{M/2-P}{M T_S}$ an den Ausgängen der beiden sub-DACs. Experimentell lässt sich dies bestätigen, indem die Ausgangssignale der beiden sub-DACs mittels Fouriertransformation im Frequenzbereich betrachtet werden (vgl. Abb. 6.23a+b). Durch das Vorfiltern der beiden Signale mit $G(z)$ und die zeitliche Verschiebung der sub-DACs um T_S wird erreicht, dass diese Signalanteile bei f_{Spur} , also das Spiegelbild des

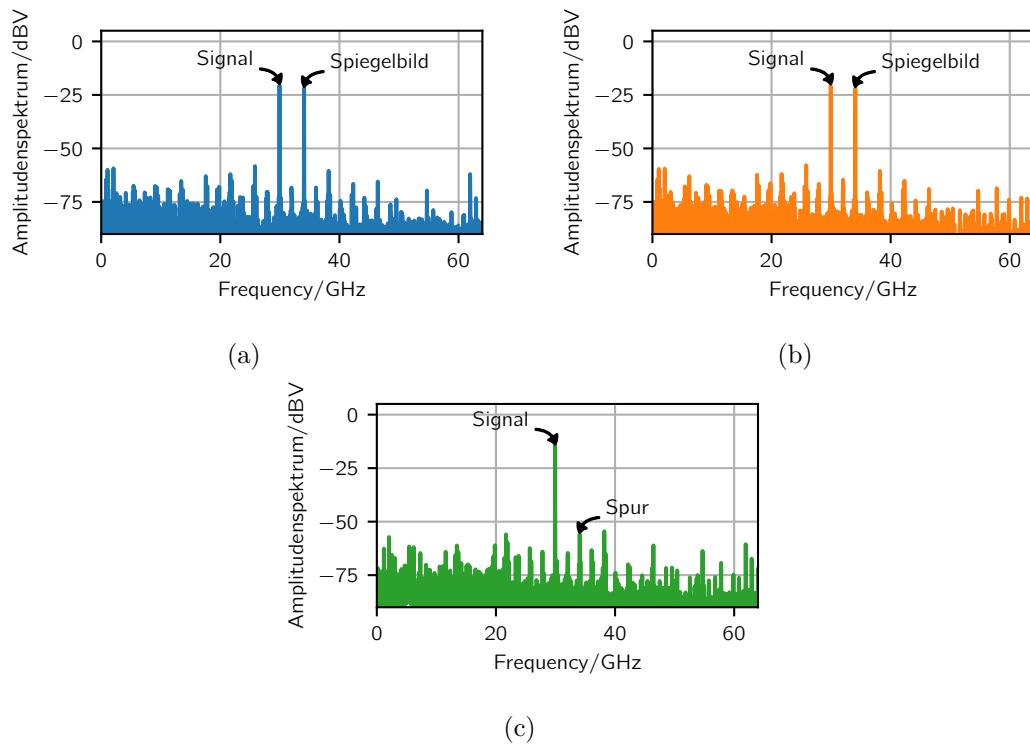


Abb. 6.23: Amplitudenspektren a+ b) der beiden einzelnen sub-DACs und c) des TIDACs bei der Synthese eines monofrequenten Signals der Frequenz $f = 29,9375$ GHz ($M=2048$, $P=479$) mit einer Samplerate von 128 GS s^{-1} .

Trägersignals, mit um 180° gedrehter Phase an den Ausgängen auftreten, wohingegen das Trägersignal bei f_C in Phase ist. Im Fall eines idealen TIDAC-Setups heben sich die Spiegelbilder daher gegenseitig auf (vgl. Abb. 6.23c). Geringfügige Abweichungen in der Verstärkung der beiden Kanäle des Addierers oder in der zeitlichen Ausrichtung der beiden sub-DACs führen jedoch dazu, dass sich diese Signale nicht vollständig kompensieren. Diesen Effekt nutzt man zur zeitlichen Ausrichtung der beiden Kanäle aus, indem man die Verzögerung der beiden Kanäle zueinander so lange variiert, bis die bei f_{Spur} auftretenden Signalanteile minimal sind. Diese Optimierung lässt sich auch automatisieren, beispielsweise mit dem Goldener-Schnitt-Verfahren [168]. Abb. 6.24 zeigt das im Zuge einer solchen Optimierung gemessene Verhältnis der Amplituden bei f_{Spur} und f_C für verschiedene Werte der internen Verzögerungsleitung des verzögerten sub-DACs. Der entsprechende Wert für den nicht-verzögerten DAC beträgt 0. Ausgehend vom vorgegebenen Intervall $[400, 550]$ findet der Algorithmus den Verzögerungswert, für den die Amplitude des Störsignals bei f_{Spur} so gut wie möglich im Vergleich zum Nutzsignal bei f_C unterdrückt wird. Die verbleibenden Signalanteile bei f_{Spur} sind auf Nichtidealitäten, wie beispielsweise die endliche Auflösung bei der Einstellung der Verzögerung, unterschiedliche Übertragungseigenschaften der Kanäle des linearen Addierers und leicht unterschiedliche

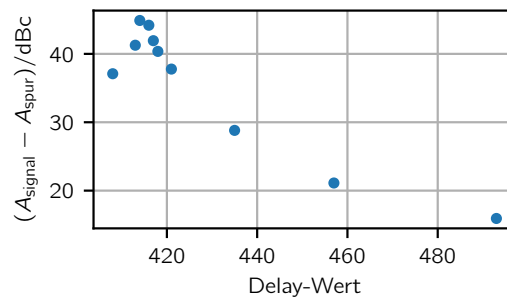


Abb. 6.24: Optimierung der Verzögerung des zweiten sub-DACs gegenüber dem ersten zur Minimierung der Signalanteile bei f_{Spur} mit Hilfe des Goldener-Schnitt-Verfahrens.

Ausgangsamplituden der beiden sub-DACs zurückzuführen.

Da Nichtidealitäten des TIDAC-Systems im Allgemeinen frequenzabhängig sind, wird die effektive Auflösung ENoB des TIDACs in Abhängigkeit der zu synthetisierenden Frequenz f_C untersucht. Zu diesem Zweck werden gemäß Gl. 6.6 Sinussignale synthetisiert, wobei P bei einer festen Sequenzlänge $M = 2048$ variiert wird. Da M und P teilerfremd sein sollen, werden für P ausschließlich Primzahlen gewählt. Die maximale zu synthetisierende Frequenz beträgt $f_S/3$ um Sättigungseffekte der sub-DACs zu vermeiden. Für alle P und somit für alle synthetisierten Frequenzen wird das mit dem Oszilloskop gemessene Signal in den Frequenzbereich transformiert und die Leistung bei der Trägerfrequenz $P/M f_S$ bestimmt, sowie die Leistung bei allen anderen Frequenzen, die durch Verzerrungen, die begrenzte physikalische Auflösung der DACs (PNoB) und Rauschen hervorgerufen wird.

Abb. 6.25b) und d) zeigen die Leistung bei der Trägerfrequenz f_C für die unterschiedlichen synthetisierten Frequenzen. Deutlich zu erkennen ist, dass die Kurve über der Frequenz abfällt. In gewissem Maße ist dies durch die Aperturfunktion des TIDACs zu erklären, da dieser am Ausgang ein sogenanntes *zero order hold* (ZOH, Halteglied nullter Ordnung)-Verhalten aufweist und entsprechend bei $f_S/2$ um 3,9 dB abgefallen ist. Das hierdurch zu erwartende Verhalten des TIDACs ist in Abb. 6.25b) und d) als graue Linie eingezeichnet. Der gemessene Abfall der Signalleistung bei der Trägerfrequenz ist jedoch deutlich stärker. Dies ist auf die frequenzabhängigen Verluste auf den Messfassungen und in den Koaxialkabeln zwischen den sub-DACs und dem linearen Addierer zurückzuführen.

In Abb. 6.25a) und c) ist die effektive Auflösung (ENoB), die sich bei den unterschiedlichen Sampleraten ergibt, über der jeweiligen Trägerfrequenz aufgetragen. Zur Ermittlung der ENoB wird die jeweilige Leistung des Trägersignals durch die Leistung bei allen anderen Frequenzen (Rauschen, Verzerrungen) dividiert, wodurch sich der sogenannte SINAD-Wert⁶ ergibt. Dieser lässt sich linear in $\text{ENoB}|_{\text{bit}} = (\text{SINAD}|_{\text{dB}} - 1,76)/6,02$

⁶Der SINAD (*signal-to-interference ratio including noise and distortion*)-Wert beschreibt das Verhält-

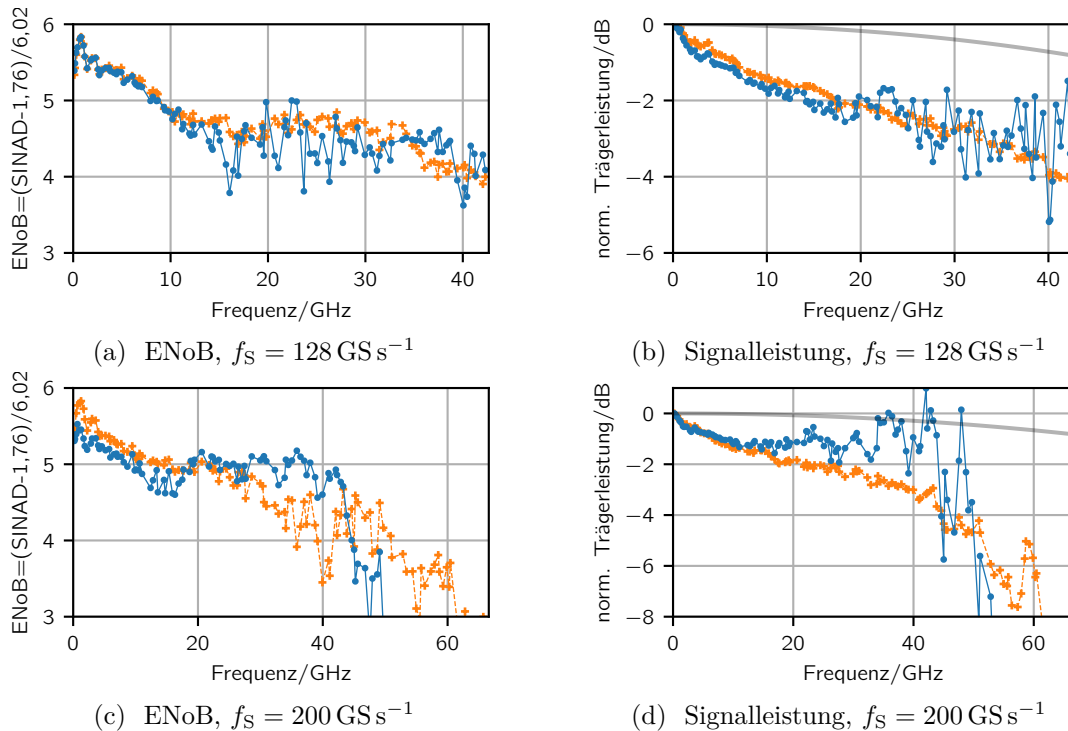


Abb. 6.25: ENOB und Signalleistung eines synthetisierten Sinussignals bei unterschiedlichen Frequenzen bei den Sampleraten 128 GS s^{-1} und 200 GS s^{-1} . TIDAC (\rightarrow) und Referenzmessung (\rightarrow) sind im Vergleich dargestellt. Der sich infolge des ZOH-Verhaltens eines idealen DAC ergebende Abfall der Signalleistung über der Frequenz ist ebenfalls angedeutet (\rightarrow).

umrechnen [164].

Als Anwendungsbeispiel zur Demonstration der Leistungsfähigkeit des realisierten TIDACs wird die Generierung eines PAM-4-Signals mit 64 GBd betrachtet. Da der TIDAC prinzipbedingt, wie in Kap. 6.3.1 beschrieben, nur Signalanteile bis $f_S/3$, also bei einer Samplerate von 200 GS s^{-1} bis $66,6 \text{ GHz}$ synthetisieren kann, wird das zu synthetisierende PAM-4-Signal mit einem sogenannten *Raised-Cosine-Filter* mit einem Dämpfungsfaktor $\alpha = 0,4$ gefiltert, sodass nur noch Signalanteile zwischen 0 Hz und $(1 + \alpha) 64 \text{ GHz}/2 = 44,8 \text{ GHz}$ vorhanden sind (vgl. Abb. 6.26). Für Anwendungen im Test- und Messgerätebereich stellt diese Vorfilterung eine Einschränkung dar, die den TIDAC prinzipbedingt wegen der geringen Bandbreite ausschließt. Für Kommunikations- und Datenübertragungsanwendungen ist die Bandbreitenbegrenzung jedoch von untergeordneter Bedeutung, da in diesem Anwendungsbereich typischerweise ohnehin Filter eingesetzt werden, die die Bandbreite begrenzen, um im Frequenzbereich viele Kanäle in möglichst geringem Abstand anordnen zu können (Frequenz- oder Wellenlängenmultiplexing).

nis aus Gesamtsignalleistung und Störsignalleistung, bestehend aus Rauschen und Verzerrungen.

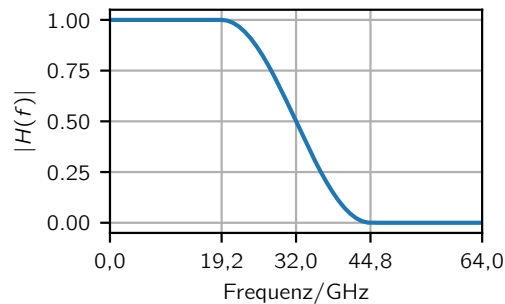


Abb. 6.26: Betragsgang des verwendeten *Raised-Cosine-Filter* ($\alpha = 0,4$) über der Frequenz.

Um einen realistischen Erwartungswert für das Ausgangssignal des TIDACs zu generieren, wird eine Vergleichssimulation mit einem idealen 64 GBd s^{-1} , ebenfalls *raised-cosine*-gefilterten PAM-4-Signal betrachtet, wie es von einem 200 GS s^{-1} DAC erzeugt würde. Dieses wird zusätzlich mit einem Butterworth-Filter 17. Ordnung mit einer Eckfrequenz von 100 GHz zur Unterdrückung von Signalanteilen aus Nyquistbändern höherer Ordnung, sowie einem Gauß-Filter mit 70 GHz Bandbreite zur Nachbildung der Eingangsbandbreite des verwendeten Oszilloskops gefiltert. Abb. 6.27c zeigt das Augendiagramm dieses Referenzsignals. Mit Hilfe des TIDAC-Setups kann ein ähnliches Signal synthetisiert und gemessen werden (vgl. Abb. 6.27a). Das TIDAC-Setup bietet weitere Möglichkeiten: Indem mit jeweils einem der beiden sub-DACs ein Sprung erzeugt und charakterisiert wird, kann die Übertragungsfunktion vom Ausgang des sub-DACs durch den linearen Addierer bis zum Oszilloskop-Eingang bestimmt werden. Das digitale Signal wird mit der Inversen dieser Übertragungsfunktion vorverzerrt. Auf diese Weise lässt sich die Augenöffnung des Ausgangssignal sogar noch leicht verbessern, wie in Abb. 6.27b gezeigt. Mit einer solchen Vorverzerrung können zusätzlich weitere Nichtidealitäten kompensiert werden, wie beispielsweise frequenzabhängige Modulatoren, wobei dadurch natürlich der effektive Hub und die effektive Auflösung des Gesamtsystems eingeschränkt werden. Abb. 6.27d zeigt das gemessene Amplitudenspektrum am Ausgang des TIDACs. Bei einem DAC mit 100 GS s^{-1} wären in diesem Spektrum noch deutliche Artefakte des Spiegelbilds im Frequenzbereich zwischen 68 GHz und 100 GHz sichtbar. Mit einem DAC mit 200 GS s^{-1} tritt dieses Spiegelbild im Frequenzbereich von 168 GHz bis 200 GHz auf. Bedingt durch die begrenzte Bandbreite des linearen Addierers, der Kabel und des Oszilloskop-Tastkopfes sind in diesem Frequenzbereich allerdings keine Einflüsse messbar.

Der TIDAC mit 200 GS s^{-1} bietet für den Anwender gegenüber einem einzelnen sub-DAC mit 100 GS s^{-1} den Vorteil, dass das Signal im Frequenzbereich von 50 GHz bis $66,6 \text{ GHz}$ zusätzlich kontrolliert werden kann und die Spiegelbilder erst bei viel höheren Frequenzen auftreten, wo ihnen aufgrund der in realen Systemen begrenzten Bandbreite keine Bedeutung zukommt. Um diese Vorteile voll zum Tragen zu bringen, wäre ein

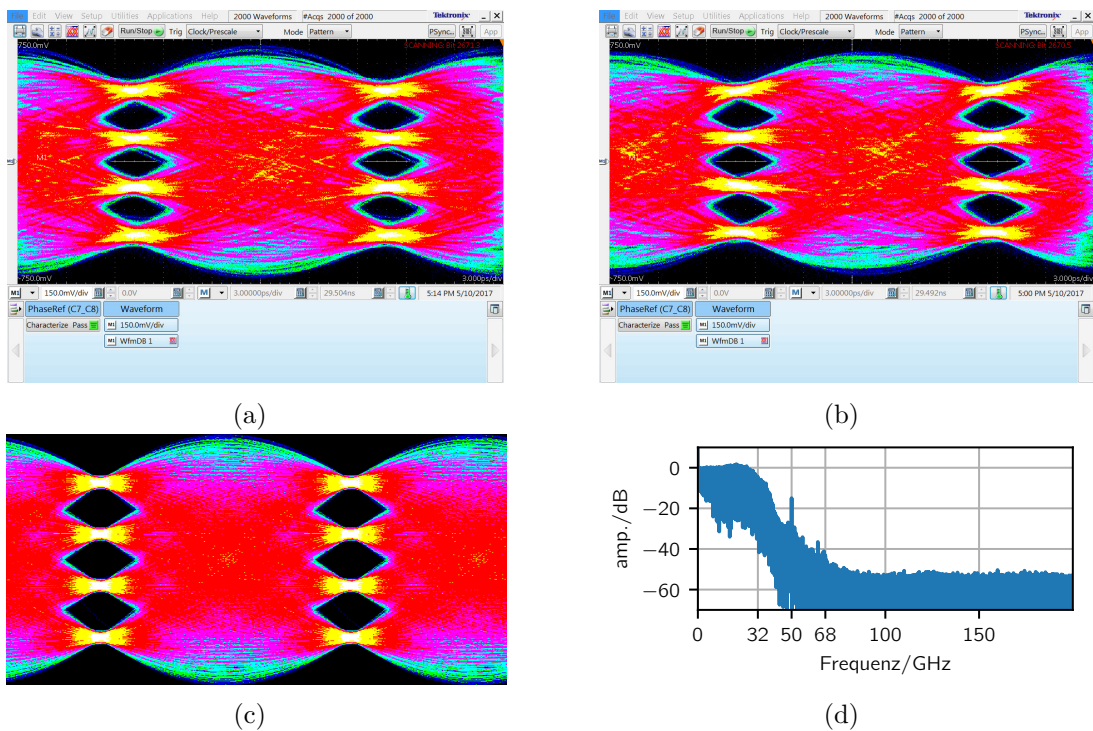


Abb. 6.27: Augendiagramme eines 64 GBd raised-cosine-gefilterten ($\alpha = 0,4$) PAM-4-Signals: a) Ausgangssignal des TIDACs. b) Ausgangssignal des TIDACs mit Vorfilter zur Kompensation der analogen Ausgangsübertragungsfunktion des TIDACs. c) simuliertes Referenzsignal eines idealen 200 GS^{-1} -DAC gefiltert mit einem Butterworth-Filter 17. Ordnung ($f_c = 100 \text{ GHz}$ zur Unterdrückung höherer Nyquist-Bänder) und einem Gauß-Filter ($f_c = 70 \text{ GHz}$ zur Nachbildung der begrenzten Eingangsbandbreite des Oszilloskops). d) Amplitudenspektrum des in a) gezeigten Signals.

lineare Addierer mit einer analogen Bandbreite von mindestens 66,6 GHz vorteilhaft, der allerdings in einer Technologie mit einer Transitfrequenz f_T von ca. 200 GHz, wie sie im Rahmen der Arbeit verwendet wurde, nur schwer realisiert werden kann. Eine Weiterentwicklung in einer schnelleren Technologie mit $f_T > 300 \text{ GHz}$ erscheint daher sinnvoll. Des Weiteren sind Ansätze mit sogenannten analogen Multiplexern (AMUX) vielversprechend, um Digital-Analog-Wandler mit höheren Samplerraten zu realisieren [157, 169].

Kapitel 7

Zusammenfassung

Im Rahmen der vorliegenden Arbeit wurden diverse Herausforderungen der Entwicklung integrierter Treiber-Verstärker für optische Übertragungssysteme in SiGe-Bipolar-Technologie umfassend betrachtet und neue Konzepte zu deren Lösung vorgestellt. Den erfolgreichen Einsatz dieser Konzepte demonstriert die Vielfalt der realisierten Treiberschaltungen. Sowohl die vorgestellte energieeffiziente lineare Treiberschaltung als auch das begrenzte Treiber-Array stellen in Bezug auf den erzielten maximalen Ausgangsspannungshub Rekordwerte in aktuellen SiGe-Technologien dar. Komplettiert werden diese durch die Realisierung des linearen Addierers, der mit einer hohen Bandbreite von 50 GHz zeigt, dass die vorgestellten Konzepte auch bei sehr hohen Frequenzen anwendbar sind.

Beim Entwurf schneller Treiberschaltungen muss zwischen verschiedenen Kriterien abgewogen werden, wobei insbesondere die zu erzielende Grenzfrequenz bzw. Bandbreite, der Ausgangsspannungshub und eine möglichst geringe Leistungsaufnahme gegensätzliche Anforderungen darstellen. Im Falle linearer Verstärker kommt als weiteres Kriterium die Linearität hinzu. Zum Erfüllen dieser Kriterien im Sinne der gestellten Spezifikationen werden die im Rahmen der Arbeit erarbeiteten Konzepte angewendet.

Ausgehend vom grundlegenden Aufbau von Hochfrequenz-Treiberverstärkern, wurden vorhandene Konzepte erweitert und neue entwickelt, um die Geschwindigkeit der Schaltungen zu steigern, was zum Erreichen der geforderten Bandbreite bzw. Datenrate unerlässlich ist. Dazu wird die kapazitive Belastung des Ausgangsknotens der Schaltung soweit wie möglich reduziert, beispielsweise durch die Auswahl geeigneter Transistoren, und die Impedanztransformation der in der Ausgangsstufe enthaltenen Emitterfolgerkaskade ausgenutzt, um die Bandbreite weiter anzuheben. Zudem wurde vorgestellt, wie mit Hilfe einer auf Volterra-Reihen basierenden Beschreibung der einzelnen Schaltungsteile die Schaltung so dimensioniert werden kann, dass die erforderliche Linearität unter der Randbedingung eines möglichst geringen zusätzlichen Leistungsbedarfs erreicht werden kann.

Eine besondere Herausforderungen bei der Entwicklung von Treiberschaltungen stellt das Abführen der in Wärme umgesetzten Verlustleistung dar, da, bedingt durch die großen Spannungshübe und die dafür benötigten geschalteten Ströme, sehr hohe Verlustleistungsdichten auftreten. Zur genauen Analyse dieser Problematik wurden thermische Modelle

hergeleitet und experimentell überprüft, die wiedergeben wie die in den Transistoren frei werdende Leistung die Transistoren selbst und ihre Umgebung erwärmt. Darauf aufbauend wurde ein neuartiges Konzept zur Vermeidung des sogenannten *Current Hogging Effects* vorgestellt, der bei parallel geschalteten Transistoren, wie sie häufig in Treiberschaltungen vorkommen, dazu führt, dass sich der Strom auf nur einen der Transistoren konzentriert.

Um die spezifizierten Ausgangsspannungshübe erreichen zu können, ist ein Überschreiten der Durchbruchsspannung U_{CE0} an den Ausgangsstufentransistoren unumgänglich. In der Folge kann es zu irreversiblen Schädigungen der Transistoren durch unzulässige lokale Stromerhöhungen kommen, die durch die Ladungsträgermultiplikation verursacht werden. Im Rahmen der vorliegenden Arbeit wurde ein einfaches Modell hergeleitet, um die Risikobewertung bezüglich der lokalen Stromerhöhungen zu erleichtern. Darüber hinaus wurden Maßnahmen vorgestellt, die ergriffen wurden, um die Schädigung der Transistoren zu verhindern.

In den meisten Fällen muss der Arbeitspunkt des an die Treiberschaltung angeschlossenen Modulators flexibel eingestellt werden können, um eine optimale Modulation zu gewährleisten. Verschiedene Konzepte zur Ankopplung der Last und zur energieeffizienten Einstellung ihres Arbeitspunktes wurden im Rahmen der Arbeit entworfen und untersucht. Zur weiteren Reduktion der Leistungsaufnahme des den Treiber enthaltenden Gesamtsystems ist ein Verständnis des Zusammenhangs zwischen dem Leistungsbedarf des Treibers und den übrigen Performancekriterien, wie Bandbreite bzw. Datenrate, Ausgangsspannungshub, Linearität, usw. unerlässlich. Erste Untersuchungen, die einen Ausgangspunkt für ein solches Performancemodell darstellen können, wurden im Rahmen der vorliegenden Arbeit durchgeführt.

Aufgrund der hohen Frequenzen und der großen zu schaltenden Ströme ist ein Kernpunkt der Entwicklung von Treiberschaltungen die Minimierung des Risikos von Instabilitäten. Daher behandelt die vorliegende Arbeit umfassend Kriterien zur Stabilitätsanalyse. Diese Kriterien wurden angewendet, um die Stabilität der Treiberschaltung zu gewährleisten bzw. Maßnahmen zu ergreifen, die zur Stabilisierung zunächst instabiler Schaltungskonfigurationen führten. Insbesondere das entwickelte Treiber-Array, das fünf Treiber-Kanäle auf einem Chip zusammenfasst, wurde penibel hinsichtlich möglicher Instabilitäten untersucht.

Basierend auf den vorgestellten Konzepten wurden schließlich drei verschiedene Schaltungen entwickelt, die ein breites Spektrum möglicher Treiberanwendungen abdecken. Neben einem linearen Modulatortreiber mit einer oberen Grenzfrequenz von 13 GHz wurde ein begrenzender Treiber für eine Datenrate von $11,3 \text{ Gbit s}^{-1}$ entwickelt und als Array mit fünf Kanälen auf einem Chip realisiert. Außerdem wurde eine Schaltung mit einer Bandbreite von 50 GHz entwickelt, die zwei Verstärker beinhaltet, deren Ausgangsströme überlagert werden, um die Ausgangssignale zweier Digital-Analog-Wandler zu kombinieren. Die Schaltungen demonstrieren nicht nur die Anwendbarkeit der entwickelten Konzepte für verschiedene Treiberapplikationen, sondern auch ganz grundlegend, dass

sich mit aktuellen SiGe-Bipolar-Technologien nicht nur Treiber mit sehr hohen Bandbreiten, sondern auch mit hinreichend großen Ausgangsspannungshüben zur direkten Ansteuerung von Modulatoren realisieren lassen. Da in den gleichen Technologien auch andere Schaltungstypen, wie beispielsweise Digital-Analog-Wandler realisiert werden können, ist somit die Grundlage geschaffen, um die verschiedenen Schaltungen auf einem Chip monolithisch zu integrieren und so z.B. Digital-Analog-Wandler mit integriertem Ausgangstreiber zu entwickeln, die zur direkten Ansteuerung von optischen Modulatoren geeignet sind.

Anhang A

Verwendete Transistorersatzschaltbilder

In den numerischen Simulationen wird analog zu [6, 57] ein erweitertes Gummel-Poon-Modell [94] nach Abb. A.1a verwendet. Zur Vereinfachung symbolischer Berechnungen werden einige Parameter des komplexen Modells mit Hilfe der in [151] beschriebenen Näherungen zu den Ersatzgrößen

$$C_{CB} = C_{CBx} + C_{u,x} + C_{\mu} \quad (\text{A.1})$$

$$C_{BE} = C_{\pi} + C_{BEx} \quad (\text{A.2})$$

$$r_B = R_{Bx} + R_B \quad (\text{A.3})$$

$$g_{BE} = \frac{1}{R_{\pi}} \quad (\text{A.4})$$

$$I_{Ci} = g_m U_{BE} = \beta_0 I_b \quad (\text{A.5})$$

zusammengefasst. Darüber hinaus werden der Kollektorwiderstand R_C , der Emitterkontaktwiderstand R_E , sowie der Early-Leitwert g_0 vernachlässigt. Es ergibt sich das in Abb. A.1b dargestellte vereinfachte Ersatzschaltbild, das den symbolischen Berechnungen zugrunde liegt.

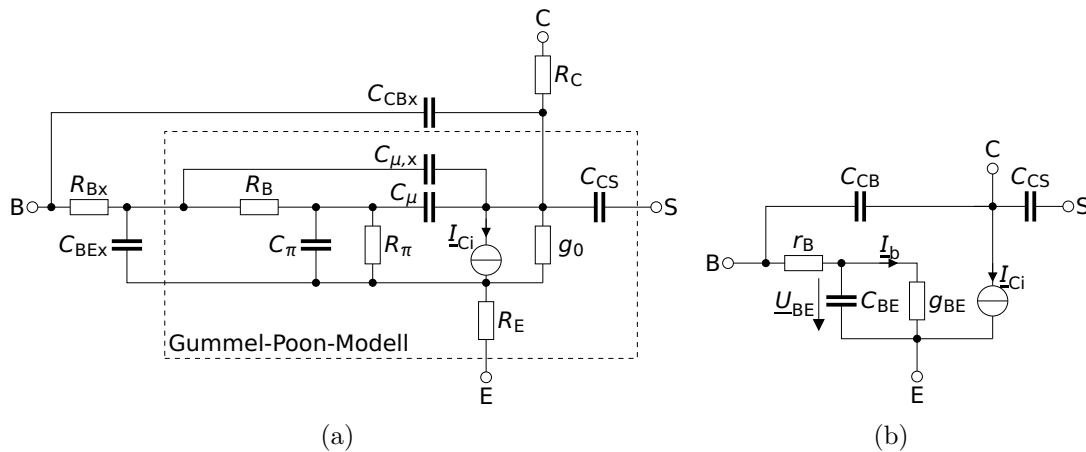


Abb. A.1: a) Erweitertes Kleinsignal-Gummel-Poon-Transistormodell, das in den numerischen Simulationen verwendet wird. b) Vereinfachtes Kleinsignal-Ersatzschaltbild für symbolische Berechnungen.

Anhang B

Überführung von im Signalpfad liegenden Dioden in die Zweitor-Darstellung

In Treiber-Verstärkern sind häufig Dioden zwischen den Emitterfolger-Transistoren nötig, um das Arbeitspunktpotential an der Basis der Transadmittanzstufe abzusenken (vgl. $D_1 \dots D_3$ in Abb. 2.2). Um eine solche Schaltung mit der in Kap. 2.2.2.2 vorgestellten Methode untersuchen zu können, müssen die Zweitor-Kettenparameter einer Diode ermittelt werden. In der Schaltung wird die Diode in Form eines Transistors realisiert, dessen Basis und Kollektor verbunden werden. Der Basis-Kollektor-Anschluss bildet dann die Anode, der Emitteranschluss die Kathode der Diode (vgl. Abb. B.1a). Abb. B.1b zeigt das Ersatzschaltbild des zur Diode verschalteten Transistors (vgl. Anhang A). Für die Impedanz der Diode ergibt sich

$$\underline{Z}_D = \frac{U_D}{I_D} = \frac{1}{1 + \beta_0} \frac{\frac{1}{g_{BE}} + r_B \left(1 + j \frac{\omega}{\omega_\beta}\right)}{1 + j \frac{\omega}{\omega_T}}, \quad (\text{B.1})$$

mit $\omega_\beta = \frac{C_{BE}}{g_{BE}}$, $\omega_T = (1 + \beta_0) \omega_\beta$.

Für hinreichend niedrige Frequenzen $\omega \ll \omega_T$ lässt sich eine solche Diode also als Serienschaltung aus einem Widerstand mit dem Wert $(g_{BE}^{-1} + r_B)/(1 + \beta_0)$, wobei g_{BE} häufig wegen $g_{BE}^{-1} \ll r_B$ vernachlässigt werden kann, und einer Induktivität mit dem Wert

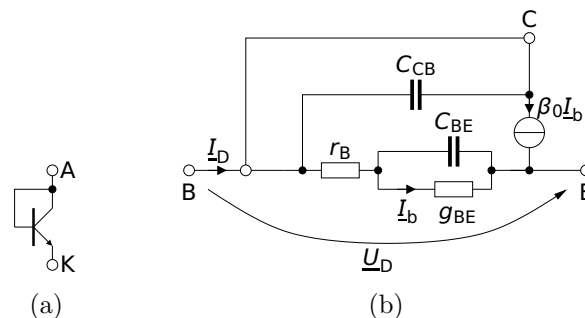


Abb. B.1: a) Durch einen Kurzschluss von Basis und Kollektor eines Transistors wird eine Diode gebildet. b) Kleinsignal-Ersatzschaltbild der Diode.

r_B/ω_T darstellen. Dieses Ersatzschaltbild kann sehr einfach in die Zweitor-Darstellung der Emitterfolgerkaskade eingesetzt werden. Durch Veränderung von Emitterlänge und -breite des Transistors und der sich daraus ergebenden Variation des Basisbahnwiderstands r_B kann der Wert der Induktivität sogar bewusst variiert werden, um beispielsweise mit der Eingangskapazität des folgenden Emitterfolgers eine Resonanz zu erzeugen. Dabei wird aber auch der Wert des parasitären Widerstands verändert.

Anhang C

Volterrareihenentwicklung im Frequenzbereich

Die folgende Herleitung orientiert sich an [73, S. 72], wobei die dortigen Ausführungen korrigiert werden.

Der Volterra-Operator n -ter Ordnung $\mathcal{H}_n[x(t)]$ lässt sich unter Verwendung der Fouriertransformation (vgl. Gl. 2.20) und ihrer Inversen

$$h_n(\tau_1, \dots, \tau_n) = \frac{1}{(2\pi)^n} \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} \underline{H}_n(j\omega_1, \dots, j\omega_n) \exp\left(\sum_{k=1}^n j\omega_k \tau_k\right) d\omega_1 \dots d\omega_n \quad (\text{C.1})$$

wie folgt umformen

$$\begin{aligned} \mathcal{H}_n[x(t)] &= \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} h_n(\tau_1, \dots, \tau_n) \prod_{k=1}^n x(t - \tau_k) d\tau_1 \dots d\tau_n \\ &= \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} h_n(\tau_1, \dots, \tau_n) \left(\prod_{k=1}^n \frac{1}{2\pi} \int_{-\infty}^{\infty} \underline{X}(\omega_k) e^{j\omega_k(t-\tau_k)} d\omega_k \right) d\tau_1 \dots d\tau_n \\ &= \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} \left(\int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} h_n(\tau_1, \dots, \tau_n) \prod_{k=1}^n e^{-j\omega_k \tau_k} d\tau_k \right) \\ &\quad \cdot \frac{1}{(2\pi)^n} \prod_{k=1}^n \underline{X}(\omega_k) e^{j\omega_k t} d\omega_1 \dots d\omega_n \\ &= \frac{1}{(2\pi)^n} \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} \underline{H}_n(\omega_1, \dots, \omega_n) \underline{X}(\omega_1) \dots \underline{X}(\omega_n) e^{j(\omega_1 + \dots + \omega_n)t} d\omega_1 \dots d\omega_n. \end{aligned} \quad (\text{C.2})$$

Der Volterra-Operator lässt sich mit Hilfe der Fouriertransformation, bezeichnet durch $\mathcal{F}(\cdot)$, im Frequenzbereich darstellen

$$\mathcal{F}(\mathcal{H}_n[x(t)]) = \frac{1}{(2\pi)^n} \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} \underline{H}_n(\omega_1, \dots, \omega_n) \underline{X}(\omega_1) \dots \underline{X}(\omega_n) \cdot \mathcal{F}\left(e^{j(\omega_1 + \dots + \omega_n)t}\right) d\omega_1 \dots d\omega_n. \quad (\text{C.3})$$

Mit

$$\mathcal{F}(e^{j\omega_0 t}) = 2\pi \delta(\omega - \omega_0), \quad (\text{C.4})$$

wobei $\delta(\omega)$ die Dirac'sche Delta-Distribution bezeichnet, ergibt sich aus Gl. C.3

$$\begin{aligned} \mathcal{F}(\mathcal{H}_n[x(t)]) = \frac{1}{(2\pi)^{n-1}} \int_{-\infty}^{\infty} \dots \int_{-\infty}^{\infty} \underline{H}_n(\omega_1, \dots, \omega_n) \underline{X}(\omega_1) \dots \underline{X}(\omega_n) \\ \cdot \delta(\omega - \omega_0 - \dots - \omega_n) d\omega_1 \dots d\omega_n. \end{aligned} \quad (\text{C.5})$$

Eingesetzt in Gl. 2.11 ergibt sich für das Ausgangssignal des Systems im Frequenzbereich

$$\begin{aligned} \underline{Y}(\omega) = \underline{H}_1(\omega) \underline{X}(\omega) \\ + \frac{1}{(2\pi)^1} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \underline{H}_2(\omega_1, \omega_2) \underline{X}(\omega_1) \underline{X}(\omega_2) \delta(\omega - \omega_1 - \omega_2) d\omega_1 d\omega_2 \\ + \frac{1}{(2\pi)^2} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \underline{H}_3(\omega_1, \omega_2, \omega_3) \underline{X}(\omega_1) \underline{X}(\omega_2) \underline{X}(\omega_3) \\ \cdot \delta(\omega - \omega_1 - \omega_2 - \omega_3) d\omega_1 d\omega_2 d\omega_3 \\ + \dots \end{aligned} \quad (\text{2.19})$$

Unter Ausnutzen der Sieb-Eigenschaft der Delta-Distribution lässt sich dieses Ergebnis auch darstellen als

$$\begin{aligned} \underline{Y}(\omega) = \underline{H}_1(\omega) \underline{X}(\omega) \\ + \frac{1}{(2\pi)^1} \int_{-\infty}^{\infty} \underline{H}_2(\omega_1, \omega - \omega_1) \underline{X}(\omega_1) \underline{X}(\omega - \omega_1) d\omega_1 \\ + \frac{1}{(2\pi)^2} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \underline{H}_3(\omega_1, \omega_2, \omega - \omega_1 - \omega_2) \\ \cdot \underline{X}(\omega_1) \underline{X}(\omega_2) \underline{X}(\omega - \omega_1 - \omega_2) d\omega_1 d\omega_2 \\ + \dots \end{aligned} \quad (\text{C.6})$$

und wird in dieser Form bestätigt von den Gl. 2.3 und 2.4 aus [74, S. 9–10].

Anhang D

Beeinflussung der Sprungantwort am Ausgang eines begrenzenden Treibers durch frequenzabhängige Verluste der Messfassung

Infolge der frequenzabhängigen Verluste ergibt sich am Ausgang des Treiber-Arrays ein Einfluss auf transiente Signale, beispielsweise Bitfolgen, die zur Erfassung von Augen-diagramme dienen. Der grundlegende Effekt lässt sich an der Sprungantwort erkennen. Zunächst wird mit einer sehr steilen Flanke der Endwert des Sprungs nahezu erreicht (typisch: ca. 90% des Endwerts), dann „kriecht das Spannungssignal langsam in den Endwert hinein“.

Zur Abschätzung der Sprunghöhe α dient die folgende Überlegung: Unter Vernachlässigung der dielektrischen Verluste, bildet sich zwischen Treiberausgang und Oszilloskopeingang ein Spannungsteiler aus der Ausgangsimpedanz des Treibers, dem frequenzabhängigen Widerstand der Leitung und dem Eingangswiderstand des Oszilloskops (50Ω). Um den Leitungswiderstand zu bestimmen, wird angenommen, dass der Strom nur bis zur Skin-Tiefe in die Leiterbahn eindringen kann (vgl. [121]) und vollständig an der Unterseite der Leiterbahn fließt (Proximity-Effekt zur Massefläche, vgl. [56]). Es ergibt

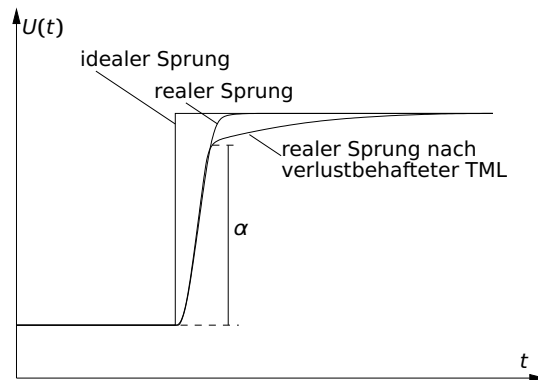


Abb. D.1: Verschieden Sprungantworten.

sich ein frequenzabhängiger Widerstand

$$R(f) = \rho \frac{l}{w \delta_S(f)}, \text{ wobei } \delta_S(f) = \min \left(d, \sqrt{\frac{\rho}{\pi f \mu}} \right), \quad (\text{D.1})$$

mit der Länge l , der Breite w , der Dicke d , dem spezifischen Widerstand ρ und der magnetischen Permeabilität μ des Leiters.

Bei niedrigen Frequenzen wird der gesamte Leiterquerschnitt durchflossen und es gilt beispielsweise

$$R_0 := R(f = 0 \text{ Hz}) = \frac{\rho l}{w d}. \quad (\text{D.2})$$

Bei hohen Frequenzen, bei denen der Strom näherungsweise nur am unteren Rand des Leiters fließt, gilt

$$R(f) = \frac{l}{w} \sqrt{\pi \mu \rho f}. \quad (\text{D.3})$$

Für die Leiterbahnen auf dem PTFE-Substrat ($w = 120 \mu\text{m}$, $d = 20 \mu\text{m}$, $\rho = 1,78 \cdot 10^{-8} \Omega \text{ m}$) ergeben sich für Gleichstrom

$$\begin{aligned} R_{0,3} &= 0,16 \Omega \quad (\text{Kanal 3}), \\ R_{0,24} &= 0,31 \Omega \quad (\text{Kanal 2 und 4}) \text{ und} \\ R_{0,15} &= 0,49 \Omega \quad (\text{Kanal 1 und 5}). \end{aligned} \quad (\text{D.4})$$

Bei der Frequenz $f = 10 \text{ GHz}$ (entspricht näherungsweise der Flankensteilheit der in Abb. 6.11 gezeigten Augendiagramme) ergibt sich eine Eindringtiefe von $0,65 \mu\text{m}$ und somit die Widerstände

$$\begin{aligned} R_3(10 \text{ GHz}) &= 4,85 \Omega \quad (\text{Kanal 3}), \\ R_{24}(10 \text{ GHz}) &= 9,63 \Omega \quad (\text{Kanal 2 und 4}) \text{ und} \\ R_{15}(10 \text{ GHz}) &= 14,9 \Omega \quad (\text{Kanal 1 und 5}). \end{aligned} \quad (\text{D.5})$$

Zwischen dem Treiberausgang und dem Eingang des Oszilloskops bildet sich der in Abb. D.2 gezeigte Spannungsteiler. Die Sprunghöhe ergibt sich schließlich aus dem

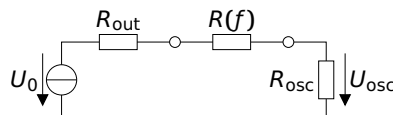


Abb. D.2: Spannungsteiler zwischen dem Ausgang des Treibers und dem Eingang des Oszilloskops.

Quotienten der Spannung am Oszilloskop bei der Frequenz f und der entsprechenden Spannung für den Gleichstromfall zu

$$\alpha = \frac{U_{\text{osc}}(f)}{U_{\text{osc},0}} = \frac{\frac{R_{\text{osc}}}{R_{\text{osc}}+R_{\text{out}}+R(f)}}{\frac{R_{\text{osc}}}{R_{\text{osc}}+R_{\text{out}}+R_0}} = \frac{\frac{50}{50+50+R(f)}}{\frac{50}{50+50+R_0}} = \frac{100 + R_0}{100 + R(f)} \quad (\text{D.6})$$

Einsetzen von Gl. D.4 und Gl. D.5 ergibt schließlich die entsprechenden Sprunghöhen. Somit „springt“ Kanal 3 zunächst auf 95,5 % seines endgültigen Wertes, die Kanäle 2 und 4 auf 91,5 % und die Kanäle 1 und 5 auf 87,4 %.

Lebenslauf

- 15.03.1986 geboren in Saarbrücken-Dudweiler
- 1992 bis 1996 Grundschule in Saarbrücken-Scheidt
- 1996 bis 2005 Albertus-Magnus-Gymnasium in St. Ingbert
Abiturnote: 1,0
- 2003 bis 2005 Juniorstudium der Natur- und Ingenieurwissenschaften
an der Universität des Saarlandes
- 2005 bis 2009 Studium an der Universität des Saarlandes
Abschluss: Diplom-Ingenieur Mechatronik, Note: 1,4
Vertiefungsrichtung: Modellierung & Simulation
Thema der Diplomarbeit: Einsatz von Schnellschaltventilen in der
Hydraulik – Energieeffiziente Ansteuerung eines Hydromotors
(Note: 1,0; ausgezeichnet mit dem Förderpreis des VDI BV Saar)
- 2009 bis 2015 wissenschaftlicher Mitarbeiter am Lehrstuhl für Elektronik
und Schaltungstechnik an der Universität des Saarlandes
- seit 2015 Mitarbeiter der Micram Microelectronic GmbH in Bochum

Eigene Publikationen

Begutachtete Journal-Artikel

- [A1]* H. Hettrich und M. Möller, „Design Considerations for a 11.3 Gbit/s SiGe Bipolar Driver Array With a 5 x 6 V_{pp} Chip-to-Chip Bondwire Output to an MZM PIC“, in: *IEEE Journal of Solid-State Circuits* (2016), S. 1–9.

Begutachtete Konferenzbeiträge

- [B1] H. Hettrich und M. Möller, „Linear Low-power 13 GHz SiGe-Bipolar Modulator Driver with 7 V_{pp} Differential Output Voltage Swing and On-Chip Bias Tee“, in: *2014 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2014, S. 80–83.
- [B2] H. Hettrich und M. Möller, „A 5 x 11.3 Gbit/s MZM Driver Array with a 6 V_{pp} Output Voltage Swing and a Chip-to-Chip Bondwire Interface in SiGe Bipolar Technology“, in: *2015 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2015.
- [B3] H. Hettrich, R. Schmid, L. Altenhain, J. Würtele und M. Möller, „A Linear Active Combiner Enabling an Interleaved 200 GS/s DAC with 44 GHz Analog Bandwidth“, in: *2017 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2017.

Weitere Publikationen

- [C1] C. Hoessbacher, A. Josten, B. Baeuerle, Y. Fedoryshyn, H. Hettrich, Y. Salamin, W. Heni, C. Haffner, C. Kaiser, R. Schmid, D. L. Elder, D. Hillerkuss, M. Möller, L. R. Dalton und J. Leuthold, „Plasmonic modulator with >170 GHz bandwidth demonstrated at 100 GBd NRZ.“, in: *Optics express* 25 3 (2017), S. 1762–1768.
- [C2] C. Hoessbacher, A. Josten, B. Baeuerle, Y. Fedoryshyn, H. Hettrich, Y. Salamin, W. Heni, C. Haffner, R. Schmid, D. L. Elder, D. Hillerkuss, M. Möller, L. R. Dalton und J. Leuthold, „Broadband Plasmonic Modulator Enabling Single Carrier Operation Beyond 100 Gbit/s“, in: *2017 Optical Fiber Communications Conference and Exhibition (OFC)* (2017), S. 1–3.
- [C3] C. Uhl, H. Hettrich und M. Möller, „A 100 Gbit/s 2 V_{pp} Power Multiplexer in SiGe BiCMOS Technology for Directly Driving a Monolithically Integrated Plasmonic MZM in a Silicon Photonics Transmitter“, in: *2017 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2017.

* eingeladene Publikation

-
- [C4] P. Bakopoulos, P. Ma, D. Tsiokos, H. Hettrich, F. Eltes, C. Uhl, S. Lischke, D. Petousi, S. Abel, R. Schmid, G. Dabos, D. Kalavrouziotis, A. Manolis, A. Rubinstein, D. Moor, L. Zimmermann, N. Pleros, M. Möller, J. Fompeyrine, J. Leuthold und E. Mentovich, „Scaling Optical Interconnects Beyond 400 Gb/s“, in: *2018 European Conference on Optical Communication (ECOC)* (2018), S. 1–3.
- [C5]* C. Uhl, H. Hettrich und M. Möller, „Design Considerations for a 100 Gbit/s SiGe-BiCMOS Power Multiplexer With 2 Vpp Differential Voltage Swing“, in: *J. Solid-State Circuits* 53 (2018), S. 2479–2487.
- [C6] B. Baeuerle, W. Heni, C. Hoessbacher, Y. Fedoryshyn, A. Josten, C. Haffner, T. Watanabe, C. Uhl, H. Hettrich, D. L. Elder, L. Dalton, M. Möller und J. Leuthold, „Reduced Equalization Needs of 100 GHz Bandwidth Plasmonic Modulators“, in: *Journal of Lightwave Technology* (2019).
- [C7] B. Baeuerle, W. Heni, Y. Fedoryshyn, C. Hoessbacher, U. Koch, A. Josten, T. Watanabe, C. Uhl, H. Hettrich, D. Elder, L. Dalton und M. M. J. Leuthold, „Dual-drive Plasmonic Transmitter with Co-designed Driver Electronics Operated at 120 GBd On-off Keying“, in: *2019 Optical Fiber Communications Conference and Exhibition (OFC)*, 2019.
- [C8] B. Baeuerle, W. Heni, C. Hoessbacher, Y. Fedoryshyn, U. Koch, A. Josten, T. Watanabe, C. Uhl, H. Hettrich, D. L. Elder, L. R. Dalton, M. Möller und J. Leuthold, „120 GBd plasmonic Mach-Zehnder modulator with a novel differential electrode design operated at a peak-to-peak drive voltage of 178 mV“, in: *Optics Express* 27.12 (2019), S. 16823.
- [C9] U. Koch, C. Uhl, H. Hettrich, Y. Fedoryshyn, C. Hoessbacher, W. Heni und B. Baeuerle, „Monolithic High-Speed Transmitter Enabled by BiCMOS-Plasmonic Platform“, in: *2019 European Conference on Optical Communication (ECOC)* (2019).
- [C10] C. Uhl, H. Hettrich und M. Möller, „180 Gbit/s 4:1 power multiplexer for NRZ-OOK signals with high output voltage swing in SiGe BiCMOS technology“, in: *Electronics Letters* (2019).
- [C11]* B. Baeuerle, W. Heni, C. Hoessbacher, Y. Fedoryshyn, A. Josten, U. Koch, C. Haffner, T. Watanabe, C. Uhl, H. Hettrich, D. L. Elder, L. R. Dalton, M. Möller und J. Leuthold, „Low-Power Data Center Transponders Enabled by Micrometer-scale Plasmonic Modulators“, in: *2020 Optical Fiber Communications Conference and Exhibition (OFC)*, 2020, eingereicht.

* eingeladene Publikation

Frühere Publikationen ohne direkten Bezug zur vorliegenden Arbeit

- [D1] T. Conrad, F. Trümper, H. Hettrich und A. Schütze, „Improving the Performance of Gas Sensor Systems by Impedance Spectroscopy: Application in Under-Ground Early Fire Detection“, in: *Proceedings of the SENSOR Conference*, AMA Service GmbH, 2007, S. 169–174.
- [D2] P. Reimann, T. Conrad, H. Hettrich und A. Schütze, „Ein Ansatz zur Selbstüberwachung intelligenter Sensorsysteme auf der Basis von Halbleitersensoren“, in: *VDI/VDE-Fachtagung Sensoren und Messsysteme*, VDI-Verlag, 2008.
- [D3] H. Hettrich, F. Bauer und F. Fuchshumer, „Speed Controlled, Energy Efficient Fan Drive Within a Constant Pressure System“, in: *Proceedings of the Second Workshop on Digital Fluid Power*, (Linz, Austria), 2009, S. 62–71.

Literatur

- [1] Cisco public, *The zettabyte era: trends and analysis*, White Paper, Juni 2017.
- [2] Infinera Corporation, *Coherent WDM Technologies*, White Paper, 2016.
- [3] Huawei Technologies Co., Ltd., *White Paper on Technological Developments of Optical Networks*, 2016.
- [4] C. Laperle und M. O’Sullivan, „Advances in High-Speed DACs, ADCs, and DSP for Optical Coherent Transceivers“, in: *Journal of Lightwave Technology* 32.4 (2014), S. 629–643.
- [5] T. Ellermeyer u. a., „DA and AD converters in SiGe technology: Speed and resolution for ultra high data rate applications“, in: *36th European Conference and Exhibition on Optical Communication*, Sep. 2010, S. 1–6.
- [6] M. Möller, „Entwurf und Optimierung monolithisch integrierter Breitbandverstärker in Si-Bipolartechnologie für optische Übertragungssysteme“, Dissertation, Ruhr-Universität Bochum, 1999.
- [7] A. Sahoo u. a., „A Scalable Electrothermal Model for Transient Self-Heating Effects in Trench-Isolated SiGe HBTs“, in: *Electron Devices, IEEE Transactions on* 59.10 (2012), S. 2619–2625.
- [8] A. Zandieh, P. Schvan und S. Voinigescu, „57.5 GHz Bandwidth 4.8 V_{pp} Swing Linear Modulator Driver for 64 GBaud m-PAM Systems“, in: *2017 IEEE MTT-S International Microwave Symposium (IMS)*, 2017, S. 130–133.
- [9] R. J. A. Baker, J. Hoffman, P. Schvan und S. P. Voinigescu, „SiGe BiCMOS linear modulator drivers with 4.8-V_{pp} differential output swing for 120-GBaud applications“, in: *2017 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2017, S. 260–263.
- [10] P. Rito u. a., „A DC-90 GHz 4-V_{pp} differential linear driver in a 0.13 μm SiGe:C BiCMOS technology for optical modulators“, in: *2017 IEEE MTT-S International Microwave Symposium (IMS)*, 2017, S. 439–442.
- [11] P. Rito u. a., „A DC-90-GHz 4-V_{pp} Modulator Driver in a 0.13-μm SiGe:C BiCMOS Process“, in: *IEEE Transactions on Microwave Theory and Techniques* (2017), S. 1–11.
- [12] I. G. Lopez u. a., „A 2.5 V_{pp} broadband 32 GHz BiCMOS linear driver with tunable delay line for InP segmented Mach-Zehnder modulators“, in: *2015 IEEE MTT-S International Microwave Symposium*, 2015, S. 1–4.

- [13] J. Hoffman u. a., „Analog Circuit Blocks for 80-GHz Bandwidth Frequency-Interleaved, Linear, Large-Swing Front-Ends“, in: *IEEE Journal of Solid-State Circuits* 51.9 (2016), S. 1985–1993.
- [14] J. Hoffman, „Distributed Circuits in SiGe BiCMOS for Next-generation Fiber-optic Communications“, Master-Thesis, University of Toronto, 2016.
- [15] H. Hettrich und M. Möller, „Linear Low-power 13 GHz SiGe-Bipolar Modulator Driver with 7 V_{pp} Differential Output Voltage Swing and On-Chip Bias Tee“, in: *2014 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2014, S. 80–83.
- [16] H. Hettrich, R. Schmid, L. Altenhain, J. Würtele und M. Möller, „A Linear Active Combiner Enabling an Interleaved 200 GS/s DAC with 44 GHz Analog Bandwidth“, in: *2017 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2017.
- [17] E. Temporiti u. a., „Insights Into Silicon Photonics Mach–Zehnder-Based Optical Transmitter Architectures“, in: *IEEE Journal of Solid-State Circuits* 51.12 (2016), S. 3178–3191.
- [18] A. Fatemi, H. Klar, F. Gerfers und D. Kissinger, „A 40 Gbps Micro-Ring Modulator Driver Implemented in a SiGe BiCMOS Technology“, in: *2016 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, 2016, S. 1–4.
- [19] A. Fatemi, H. Klar und F. Gerfers, „Implementation and design investigation of 40 Gbps driver IC for silicon photonics ring-modulator in SiGe 130 nm“, in: *2016 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2016, S. 2387–2390.
- [20] P. Rito u. a., „A 40 Gb/s 4 V_{pp} IQ modulator driver in 0.13 μm SiGe:C BiCMOS technology for 25 Ohm Mach-Zehnder Modulators“, in: *2015 IEEE MTT-S International Microwave Symposium*, 2015, S. 1–4.
- [21] P. Rito u. a., „A Monolithically Integrated Segmented Driver and Modulator in 0.25 μm SiGe:C BiCMOS with 13 dB Extinction Ratio at 28 Gb/s“, in: *2016 IEEE MTT-S International Microwave Symposium (IMS)*, 2016, S. 1–4.
- [22] C. Knochenhauer, J. C. Scheytt und F. Ellinger, „A Compact, Low-Power 40-GBit/s Modulator Driver With 6-V Differential Output Swing in 0.25-μm SiGe BiCMOS“, in: *IEEE Journal of Solid-State Circuits* 46.5 (2011), S. 1137–1146.
- [23] R. A. Aroca und S. P. Voinigescu, „A Large Swing, 40-Gb/s SiGe BiCMOS Driver with Adjustable Pre-Emphasis for Data Transmission Over 75-Ohm Coaxial Cable“, in: *2007 IEEE Compound Semiconductor Integrated Circuits Symposium*, 2007, S. 1–4.
- [24] R. A. Aroca und S. P. Voinigescu, „A Large Swing, 40-Gb/s SiGe BiCMOS Driver With Adjustable Pre-Emphasis for Data Transmission Over 75 Ohm Coaxial Cable“, in: *IEEE Journal of Solid-State Circuits* 43.10 (2008), S. 2177–2186.

- [25] C. Schick, T. Feger und H. Schumacher, „40 Gbit/s differential distributed modulator driver realised in 80 GHz SiGe HBT process“, in: *Electronics Letters* 45.8 (2009), S. 408.
- [26] B. Sedighi, P. Ostrovskyy und J. Christoph Scheytt, „Low-power 20-Gb/s SiGe BiCMOS driver with 2.5 V output swing“, in: *Microwave Symposium Digest (MTT), 2012 IEEE MTT-S International*, 2012, S. 1–3.
- [27] R. Schmid, T. Meister, M. Rest und H.-M. Rein, „SiGe driver circuit with high output amplitude operating up to 23 Gb/s“, in: *IEEE Journal of Solid-State Circuits* 34.6 (1999), S. 886–891.
- [28] B. Goll u. a., „A monolithically integrated silicon modulator with a 10 Gb/s 5 V_{pp} or 5.6 V_{pp} driver in 0.25 µm SiGe:C BiCMOS“, in: *Frontiers in Physics* 2 (2014).
- [29] S. Mandegaran und A. Hajimiri, „A Breakdown Voltage Multiplier for High Voltage Swing Drivers“, in: *IEEE Journal of Solid-State Circuits* 42.2 (2007), S. 302–312.
- [30] B. Goll und H. Zimmermann, „A 10 Gb/s 0.25 µm SiGe modulator driver for photonic-integration“, in: *Analog Integrated Circuits and Signal Processing* 79.1 (2013), S. 15–25.
- [31] D.-U. Li, L.-R. Huang und C.-M. Tsai, „Low power consumption 10-Gb/s SiGe modulator drivers with 9 V_{pp} differential output swing using intrinsic collector-base capacitance feedback network“, in: *2005 IEEE Radio Frequency integrated Circuits (RFIC) Symposium - Digest of Papers*, 2005, S. 317–320.
- [32] D.-U. Li, C.-M. Tsai und L.-R. Huang, „10-Gb/s SiGe modulator drivers with 4.5 V_{pp} output swing“, in: *VLSI Design, Automation and Test, 2005. (VLSI-TSA-DAT). 2005 IEEE VLSI-TSA International Symposium on* (2005), S. 261–262.
- [33] Y. Zhao, L. Vera, J. R. Long und D. L. Harnage, „A 10 Gb/s 6 V_{pp} differential modulator driver in 0.18 µm SiGe-BiCMOS“, in: *2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers*, 2013, S. 132–133.
- [34] H.-M. Rein u. a., „A versatile Si-bipolar driver circuit with high output voltage swing for external and direct laser modulation in 10 Gb/s optical-fiber links“, in: *IEEE Journal of Solid-State Circuits* 29 (1994), S. 1014–1021.
- [35] R. Vaernewyck u. a., „113 Gb/s (10 x 113 Gb/s) ultra-low power EAM driver array“, in: *Optics Express* 21.1 (2013), S. 256.
- [36] J. Verbrugge u. a., „Multichannel 25 Gb/s Low-Power Driver and Transimpedance Amplifier Integrated Circuits for 100 Gb/s Optical Links“, in: *Journal of Lightwave Technology* 32.16 (2014), S. 2877–2885.
- [37] H. Hettrich und M. Möller, „Design Considerations for a 11.3 Gbit/s SiGe Bipolar Driver Array With a 5 x 6 V_{pp} Chip-to-Chip Bondwire Output to an MZM PIC“, in: *IEEE Journal of Solid-State Circuits* (2016), S. 1–9.

- [38] H. Hettrich und M. Möller, „A 5 x 11.3 Gbit/s MZM Driver Array with a 6 Vpp Output Voltage Swing and a Chip-to-Chip Bondwire Interface in SiGe Bipolar Technology“, in: *2015 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2015.
- [39] B. Gerber, „Untersuchungen zur Anwendung des verteilten Verstärkerkonzepts zur Bandbreitenoptimierung von Verstärkern in SiGe-Bipolar-Technologie“, Diplomarbeit, Universität des Saarlandes, 2011.
- [40] P. Straub, „On-Chip Induktivitätserzeugung durch Impedanztransformation mit Hilfe kaskadierter Emitterfolger“, Bachelorseminar, Universität des Saarlandes, 2013.
- [41] P. Straub, „Untersuchung verschiedener Emitterfolger-basierter Schaltungen zur Realisierung elektrisch einstellbarer Induktivitäten“, Bachelorarbeit, Universität des Saarlandes, 2013.
- [42] M. Nagatani, Y. Bouvier, H. Nosaka und K. Murata, „A 3-Vppd 730-mW Linear Driver IC Using InP HBTs for Advanced Optical Modulations“, in: *2013 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, 2013, S. 1–4.
- [43] N. Itabashi u. a., „A Compact Low-Power 224-Gb/s DP-16QAM Modulator Module with InP-Based Modulator and Linear Driver ICs“, in: *2014 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, 2014, S. 1–4.
- [44] J.-Y. Dupuy u. a., „A 6.2-Vpp 100-Gb/s Selector-Driver based on a differential distributed amplifier in 0.7- μm InP DHBT technology“, in: *2012 IEEE/MTT-S International Microwave Symposium Digest*, 2012, S. 1–3.
- [45] H. Morkner, A. Riddle, S. Mahon und W. Kennan, „A 100 Gb/s Ethernet modulator driver module based on coplanar GaAs PHEMT distributed MMIC amplifier“, in: *2012 IEEE/MTT-S International Microwave Symposium Digest*, 2012, S. 1–3.
- [46] H. Shigematsu, M. Sato, T. Hirose und Y. Watanabe, „A 54-GHz distributed amplifier with 6-Vpp output for a 40-Gb/s LiNbO₃ modulator driver“, in: *IEEE Journal of Solid-State Circuits* 2.9 (2002), S. 1100–1105.
- [47] C. Steinbeiser u. a., „100 Gb/s Optical DP-QPSK Using Two Surface Mount Dual Channel Modulator Drivers“, in: *2012 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, 2012, S. 1–4.
- [48] S. Liu, K. Li und P. Wilson, „A temperature independent driver for Mach-Zehnder modulators“, in: *2015 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2015, S. 1474–1477.
- [49] K. Li u. a., „A 30 Gb/s CMOS driver integrated with silicon photonics MZM“, in: *2015 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2015, S. 311–314.

- [50] A. V. Krishnamoorthy u. a., „A low-power, high-speed, 9-channel germanium-silicon electro-absorption modulator array integrated with digital CMOS driver and wavelength multiplexer“, in: *Optics Express* 22.10 (2014), S. 12289.
- [51] Y. Kim, W. Bae und D.-K. Jeong, „A 10-Gb/s 6-Vpp differential modulator driver in 65-nm CMOS“, in: *2014 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2014, S. 1869–1872.
- [52] R. A. Aroca, P. Schvan und S. P. Voinigescu, „A 2.4 Vpp, 60-Gb/s, mm-Wave DAC-Based CMOS Driver with Adjustable Amplitude and Peaking Frequency“, in: *2010 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, 2010, S. 1–4.
- [53] R. A. Aroca, P. Schvan und S. P. Voinigescu, „A 2.4-Vpp 60-Gb/s CMOS Driver With Digitally Variable Amplitude and Pre-Emphasis Control at Multiple Peaking Frequencies“, in: *IEEE Journal of Solid-State Circuits* 46.10 (2011), S. 2226–2239.
- [54] C. Wern, „Vergleich der Kleinsignalparameter von Transistorgrundschaltungen in CMOS- und SiGe-Bipolar-Technologie“, Studienarbeit, Universität des Saarlandes, 2010.
- [55] C. Wern, „Entwicklung eines modularen Modells zur Qualitätsanalyse integrierter Hochgeschwindigkeitsschaltungen“, Diplomarbeit, Universität des Saarlandes, 2011.
- [56] M. Möller, *Hochfrequenztechnik/High frequency network engineering*, Vorlesungsskript, 2015.
- [57] M. Möller, *High-Speed Analog Circuits*, Vorlesungsskript, 2015.
- [58] H.-M. Rein und M. Möller, „Design considerations for very-high-speed Si-bipolar IC's operating up to 50 Gb/s“, in: *IEEE Journal of Solid-State Circuits* 31.8 (1996), S. 1076–1090.
- [59] R. Schmid, „Monolithisch integrierte Treiberschaltungen in Si-Bipolartechnologie zur Modulation der Lichtleistung in Glasfaserübertragungssystemen höchster Datenraten“, Dissertation, Ruhr-Universität Bochum, 2000.
- [60] M. Möller, „Challenges in the Cell-Based Design of Very-High-Speed SiGe-Bipolar ICs at 100 Gb/s“, in: *IEEE Journal of Solid-State Circuits* 43.9 (2008), S. 1877–1888.
- [61] S. Trotta u. a., „An 84 GHz Bandwidth and 20 dB Gain Broadband Amplifier in SiGe Bipolar Technology“, in: *IEEE Journal of Solid-State Circuits* 42.10 (2007), S. 2099–2106.
- [62] C. T. J. Kirk, „A theory of transistor cutoff frequency (f_T) falloff at high current densities“, in: *IRE Transactions on Electron Devices* 9.2 (1962), S. 164–174.
- [63] M. Schröter und A. Chakravorty, *Compact Hierarchical Bipolar Transistor Modeling With HiCUM*, WORLD SCIENTIFIC, 2010.

- [64] T. Webel, „Untersuchung und konzeptioneller Entwurf von Schaltungskonzepten für Treiberstufen in SiGe-bipolar Technologie mit Datenraten bis 40 Gbit/s“, Diplomarbeit, Universität des Saarlandes, 2010.
- [65] M. Schröter und H. Rein, „Transit time of high-speed bipolar transistors in dependence on operating point, technological parameters, and temperature“, in: *Proceedings of the Bipolar Circuits and Technology Meeting*, 1989, S. 250–253.
- [66] C. D. S. Inc., *Spectre: Virtuoso Multi-Mode Simulation with Spectre Platform*, https://www.cadence.com/content/dam/cadence-www/global/en_US/documents/tools/custom-ic-analog-rf-design/virtuoso-mmsim-ds.pdf, 2013.
- [67] J. Lunze, *Regelungstechnik 1: Systemtheoretische Grundlagen, Analyse und Entwurf einschleifiger Regelungen*, Springer Verlag Berlin Heidelberg, 2008.
- [68] N. Schiller, „Entwicklung und Realisierung einer echtzeitfähigen Software zur interaktiven Manipulation der Pol-Nullstellenverteilung elektrischer Netzwerke in Kettenparameterdarstellung“, Diplomarbeit, Universität des Saarlandes, 2010.
- [69] P. Wambacq und W. M. Sansen, *Distortion Analysis of Analog Integrated Circuits*, Norwell, MA, USA: Kluwer Academic Publishers, 1998.
- [70] W. J. Rugh, *Nonlinear System Theory: The Volterra/Wiener Approach*, The Johns Hopkins University Press, 1981.
- [71] R. Rauber, „Anwendung von Volterra-Reihen zur Berechnung nichtlinearer Schaltungen am Beispiel einer Emitter-Grundschtaltung und eines Stromschalters“, Bachelorarbeit, Universität des Saarlandes, 2016.
- [72] K. L. Fong und R. G. Meyer, „High-frequency nonlinearity analysis of common-emitter and differential-pair transconductance stages“, in: *IEEE Journal of Solid-State Circuits* 33.4 (1998), S. 548–555.
- [73] D. M. Storer, „Dynamic Analysis of Non-Linear Structures Using Higher Order Frequency Response Functions“, Diss., University of Manchester, Okt. 1991.
- [74] X. Jing und Z. Lang, *Frequency Domain Analysis and Design of Nonlinear Systems based on Volterra Series Expansion*, Understanding Complex Systems, Springer International Publishing, 2015.
- [75] M. Möller, *Skriptum zur Vorlesung Elektronik II – Schaltungstechnik*, Vorlesungsskript, 2005.
- [76] M. Möller, *Skriptum zur Vorlesung Elektronik I – Halbleiterbauelemente*, Vorlesungsskript, 2005.
- [77] M. Schetzen, „Theory of pth-order inverses of nonlinear systems“, in: *IEEE Transactions on Circuits and Systems* 23.5 (1976), S. 285–291.
- [78] M. Steinmair, „Identifikation und Linearisierung nichtlinearer Leistungsverstärker mit Voltterrareihen“, Diplomarbeit, Technische Universität Wien, 2004.

- [79] M. Youssef, E. Chong und K. Phang, „Distortion analysis using signal flow graphs and volterra series“, in: *2003 46th Midwest Symposium on Circuits and Systems*, Bd. 1, 2003, S. 84–89.
- [80] A. Sweet, *Designing Bipolar Transistor Radio Frequency Integrated Circuits*, Microwave/RF, Artech House, 2007.
- [81] C. J. Glassbrenner und G. A. Slack, „Thermal Conductivity of Silicon and Germanium from 3°K to the Melting Point“, in: *Physical Review*, Bd. 134, 4A, 1964, A1058–A1069.
- [82] A. K. Sahoo u. a., „Impact of back-end-of-line on thermal impedance in SiGe HBTs“, in: *International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)*, 2013, S. 188–191.
- [83] A. K. Sahoo u. a., „Electro-thermal characterization of Si-Ge HBTs with pulse measurement and transient simulation“, in: *2011 Proceedings of the European Solid-State Device Research Conference (ESSDERC)*, 2011, S. 239–242.
- [84] N. Nenadovic u. a., „Extraction and modeling of self-heating and mutual thermal coupling impedance of bipolar transistors“, in: *IEEE Journal of Solid-State Circuits* 39.10 (2004), S. 1764–1772.
- [85] P. Råback u. a., *Elmer Models Manual*, CSC – IT Center for Science, Dez. 2018.
- [86] M. Maerz und P. Nance, *Thermal Modeling of Power Electronic Systems*, Techn. Ber., Infineon Technologies AG, Munich, Feb. 2000.
- [87] R. Lachner und O. Wohlgemuth, *Abschlussbericht zum BMBF-Verbundprojekt „Höchstperformante SiGe-Technologien für High-Speed-Kommunikationsnetze“*, HiSpeed, Techn. Ber., 2005.
- [88] J. Xie u. a., „Characterization of heavily doped polysilicon films for CMOS-MEMS thermoelectric power generators“, in: *Journal of Micromechanics and Microengineering* 19.12 (2009), S. 125029.
- [89] A. Ribes und C. Caremoli, „Salome platform component model for numerical simulation“, in: *31st Annual International Computer Software and Applications Conference (COMPSAC 2007)*, Bd. 2, Juli 2007, S. 553–564.
- [90] J. Schöberl, J. Gerstmayr und R. Gaisbauer, *NETGEN - automatic 3d tetrahedral mesh generator.*, <http://www.hpfem.jku.at/netgen/>, Mai 2003, URL: <http://www.hpfem.jku.at/netgen/>.
- [91] M. Lyly, J. Ruokolainen und E. Järvinen, „ELMER - A finite element solver for multiphysics“, in: *CSC-report on scientific computing, 1999-2000*, S. 156–159.
- [92] M. Schröter und A. Chakravorty, *Compact Hierarchical Bipolar Transistor Modeling with Hicup*, International series on advances in solid state electronics and technology, World Scientific, 2010.

- [93] T. Webel, „Entwurf eines Modells mit Teststrukturen zur Parameterbestimmung für die Simulation der frequenzabhängigen thermischen Impedanzen von Transistorkonfigurationen in SiGe-Bipolar Technologie“, Studienarbeit, Universität des Saarlandes, 2009.
- [94] E. Hofer und H. Nielinger, *SPICE: Analyseprogramm für elektronische Schaltungen ; Benutzerhandbuch mit Beispielen ; mit 36 Tabellen*, Informationstechnik und Datenverarbeitung, Springer, 1985.
- [95] N. Rinaldi und V. d’Alessandro, „Theory of Electrothermal Behavior of Bipolar Transistors: Part I—Single-Finger Devices“, in: *IEEE Transactions on Electron Devices* 52.9 (2005), S. 2009–2021.
- [96] M. Rickelt, „Modellierung des Durchbruchverhaltens von Si/SiGe-Bipolartransistoren in schnellen integrierten Schaltungen“, Dissertation, Ruhr-Universität Bochum, 2004.
- [97] M. Pfof, V. Kubrak und A. Romanyuk, „Modeling avalanche multiplication for advanced high-speed SiGe bipolar transistors“, in: *2003 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems. Digest of Papers.*, 2003, S. 18–21.
- [98] H. Rein und M. Schroter, „Base spreading resistance of square-emitter transistors and its dependence on current crowding“, in: *IEEE Transactions on Electron Devices* 36 (1989), S. 770–773.
- [99] M. Rickelt und H.-M. Rein, „A novel transistor model for simulating avalanche-breakdown effects in Si bipolar circuits“, in: *IEEE Journal of Solid-State Circuits* 37 (2002), S. 1184–1197.
- [100] M. A. Oakley u. a., „Large-Signal Reliability Analysis of SiGe HBT Cascode Driver Amplifiers“, in: *IEEE Transactions on Electron Devices* 62.5 (2015), S. 1383–1389.
- [101] J. D. Cressler, „Beyond the boundaries: Enabling new circuit opportunities by using SiGe HBTs in counterintuitive ways“, in: *2016 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2016, S. 110–117.
- [102] P. J. Winzer und R.-J. Essiambre, „Advanced Optical Modulation Formats“, in: *Proceedings of the IEEE* 94.5 (2006), S. 952–985.
- [103] J. Sinsky und P. Winzer, „100-Gb/s optical communications“, in: *IEEE Microwave Magazine* 10.2 (2009), S. 44–57.
- [104] M. Möller, „Einführung in die Modellierungs- und Optimierungsaufgabe mit Performancemodellen“, Interne Abhandlung, 2011.
- [105] A. Fettweis und G. Hemetsberger, *Grundlagen der Theorie elektrischer Schaltungen*, 1995.
- [106] C.-W. Ho, A. E. Ruehli und P. A. Brennan, „The modified nodal approach to network analysis“, in: *IEEE Transactions on Circuits and Systems* 22.6 (1975), S. 504–509.

- [107] K. Lee und S.-B. Park, „Reduced modified nodal approach to circuit analysis“, in: *IEEE Transactions on Circuits and Systems* 32.10 (1985), S. 1056–1060.
- [108] A. Suarez, „Check the Stability: Stability Analysis Methods for Microwave Circuits“, in: *IEEE Microwave Magazine* 16.5 (2015), S. 69–90.
- [109] J. M. Rollett, „Stability and Power-Gain Invariants of Linear Twoports“, in: *IRE Transactions on Circuit Theory* 9.1 (1962), S. 29–32.
- [110] H. W. Bode, *Network Analysis and Feedback Amplifier Design*, Van Nostrand, 1945.
- [111] R. Meys, „Review and discussion of stability criteria for linear 2-ports“, in: *IEEE Transactions on Circuits and Systems* 37.11 (1990), S. 1450–1452.
- [112] D. Woods, „Reappraisal of the unconditional stability criteria for active 2-port networks in terms of S parameters“, in: *IEEE Transactions on Circuits and Systems* 23.2 (1976), S. 73–81.
- [113] E. L. Tan, X. Sun und K. S. Ang, „Unconditional Stability Criteria for Microwave Networks“, in: *Proceedings of Progress In Electromagnetics Research Symposium*, Beijing, China, 2009.
- [114] K. Kurokawa, „Power Waves and the Scattering Matrix“, in: *IEEE Transactions on Microwave Theory and Techniques* 13.2 (1965), S. 194–202.
- [115] M. Ohtomo, „Proviso on the unconditional stability criteria for linear twoport“, in: *IEEE Transactions on Microwave Theory and Techniques* 43.5 (1995), S. 1197–1200.
- [116] M. Edwards und J. Sinsky, „A new criterion for linear 2-port stability using a single geometrically derived parameter“, in: *IEEE Transactions on Microwave Theory and Techniques* 40.12 (1992), S. 2303–2311.
- [117] M. Edwards und J. Sinsky, „A single stability parameter for linear 2-port circuits“, in: *1992 IEEE Microwave Symposium Digest MTT-S*, 1992, S. 885–888.
- [118] P. Bianco, G. Ghione und M. Pirola, „New simple proofs of the two-port stability criterium in terms of the single stability parameter μ_1 (μ_2)“, in: *IEEE Transactions on Microwave Theory and Techniques* 49.6 (2001), S. 1073–1076.
- [119] A. Platzker, W. Struble und K. Hetzler, „Instabilities diagnosis and the role of K in microwave circuits“, in: *Microwave Symposium Digest, IEEE Microwave Theory and Techniques Society International*, 1993, S. 1185–1188.
- [120] R. Jackson, „Rollett Proviso in the Stability of Linear Microwave Circuits - A Tutorial“, in: *IEEE Transactions on Microwave Theory and Techniques* 54.3 (2006), S. 993–1000.
- [121] D. Pozar, *Microwave Engineering*, Wiley, 2004.
- [122] V. Gonzalez-Posadas u. a., „Oscillator Accurate Linear Analysis and Design. Classic Linear Methods Review and Comments“, in: 118 (2011), S. 89–116.

- [123] K. Simonyi, *Theoretische Elektrotechnik*, VEB Deutscher Verlag der Wissenschaften, Berlin, 1989.
- [124] M. K. Achuthan und S. Pasupathy, „Negative Resistance in Amplifiers and Conditions for the Stability of Amplifiers“, in: *IEEE Transactions on Education* 13.2 (1970), S. 102–103.
- [125] K. Kurokawa, „Some Basic Characteristics of Broadband Negative Resistance Oscillator Circuits“, in: *Bell System Technical Journal* 48.6 (1969), S. 1937–1955.
- [126] F. Giannini und G. Leuzzi, *Nonlinear Microwave Circuit Design*, John Wiley & Sons, Ltd, 2004.
- [127] M. Collisi, „Untersuchung wirkungsfunktionsbasierter Methoden zur Stabilitätsanalyse elektrischer Netzwerke anhand der Bewertung des Realteils“, Bachelorarbeit, Universität des Saarlandes, 2014.
- [128] S. D. Stearns, „Circuit stability theory for non-Foster circuits“, in: *2013 IEEE MTT-S International Microwave Symposium Digest (MTT)*, 2013, S. 1–3.
- [129] G. Vandersteen, S. Bronckers, P. Dobrovolny und Y. Rolain, „Systematic stability-analysis method for analog circuits“, in: *Proceedings of the Design Automation & Test in Europe Conference*, 2006, S. 1–6.
- [130] G. Vendelin, A. Pavidio und U. Rohde, *Microwave Circuit Design Using Linear and Nonlinear Techniques*, Wiley, 2005.
- [131] D. Maclean, *Broadband feedback amplifiers*, Electronic circuits and systems series, Research Studies Press, 1982.
- [132] M. Tian, V. Visvanathan, J. Hantgan und K. Kundert, „Striving for Small-Signal Stability“, in: *Loop-Based and Device-Based Algorithms for Stability Analysis of Linear Analog Circuits in the Frequency Domain* (2001).
- [133] H. Schüssler, *Netzwerke, Signale und Systeme: Systemtheorie linearer elektrischer Netzwerke*, Springer-Lehrbuch, Springer, 1991.
- [134] A. Anakabe u. a., „Automatic pole-zero identification for multivariable large-signal stability analysis of RF and microwave circuits“, in: *The 40th European Microwave Conference*, 2010, S. 477–480.
- [135] S. Dellier u. a., „Stability analysis of microwave circuits“, in: *WAMICON 2012 IEEE Wireless & Microwave Technology Conference*, 2012, S. 1–5.
- [136] R. Pintelon und J. Schoukens, *System Identification: A Frequency Domain Approach*, Wiley, 2004.
- [137] R. Weber, „Even mode versus odd mode stability [microwave networks]“, in: *Proceedings of 40th Midwest Symposium on Circuits and Systems. Dedicated to the Memory of Professor Mac Van Valkenburg*, Bd. 1, 1998, S. 607–610.
- [138] K. S. Kundert, *The Designer's Guide to Spice and Spectre*, Norwell, MA, USA: Kluwer Academic Publishers, 1995.

- [139] C. Gear, „Simultaneous Numerical Solution of Differential-Algebraic Equations“, in: *IEEE Transactions on Circuit Theory* 18.1 (1971), S. 89–95.
- [140] J. Kozikowski, „Analysis and Design of Emitter Followers at High Frequencies“, in: *IEEE Transactions on Circuit Theory* 11.1 (1964), S. 129–136.
- [141] J. E. Green, R. C. Tozer und J. P. R. David, „Stability in Small Signal Common Base Amplifiers“, in: *IEEE Transactions on Circuits and Systems I: Regular Papers* 60.4 (2013), S. 846–855.
- [142] R. L. Schmid, C. T. Coen, S. Shankar und J. D. Cressler, „Best practices to ensure the stability of sige HBT cascode low noise amplifiers“, in: *2012 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2012, S. 1–4.
- [143] G. Nikandish, A. Yousefi und A. Medi, „Stability analysis of broadband cascode amplifiers in the presence of inductive parasitic components“, in: *IET Circuits, Devices & Systems* 8.6 (2014), S. 469–477.
- [144] A. E. Ruehli, „Equivalent Circuit Models for Three-Dimensional Multiconductor Systems“, in: *IEEE Transactions on Microwave Theory and Techniques* 22.3 (1974), S. 216–221.
- [145] J. Bock u. a., „SiGe Bipolar Technology for Automotive Radar Applications“, in: *Proc. Bipolar/BiCMOS Circuits and Technology Meeting, Sept. 2004*, 2004, S. 84–87.
- [146] D. Bockelman und W. Eisenstadt, „Combined differential and common-mode scattering parameters: theory and simulation“, in: *IEEE Transactions on Microwave Theory and Techniques* 43.7 (1995), S. 1530–1539.
- [147] A. Ferrero und M. Pirola, „Generalized mixed-mode S-parameters“, in: *IEEE Transactions on Microwave Theory and Techniques* 54.1 (2006), S. 458–463.
- [148] B. Wadell, *Transmission Line Design Handbook*, Artech House Antennas and Propagation Library, Artech House, 1991.
- [149] *RO3000 Laminate Data Sheet (RO3003, RO3006, RO3010 and RO3035 High Frequency Laminates)*, Rogers Corporation, 2015, URL: <https://www.rogerscorp.com/documents/722/acs/R03000-Laminate-Data-Sheet-R03003-R03006-R03010-R03035.pdf>.
- [150] *RT/duroid 5870/5880 (High Frequency Laminates)*, Rogers Corporation, 2016, URL: <https://www.rogerscorp.com/documents/722/acs/R03000-Laminate-Data-Sheet-R03003-R03006-R03010-R03035.pdf>.
- [151] M. Neuhäuser, „Rauscharme Verstärker in Silizium-Bipolartechnologie für optische Übertragungssysteme hoher Datenraten – Entwurf und Realisierung“, Dissertation, Ruhr-Universität Bochum, 1996.
- [152] J. Müllrich, „Entwurf von Transimpedanzverstärkern für eine Datenrate von 40 Gbit/s unter besonderer Berücksichtigung von Kopplungseffekten“, Dissertation, Ruhr-Universität Bochum, 2002.

- [153] C. Uhl, H. Hettrich und M. Möller, „A 100 Gbit/s $2 V_{pp}$ Power Multiplexer in SiGe BiCMOS Technology for Directly Driving a Monolithically Integrated Plasmonic MZM in a Silicon Photonics Transmitter“, in: *2017 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, 2017.
- [154] S. Randel u. a., „Generation of a Digitally Shaped 55-GBd 64-QAM Single-Carrier Signal Using Novel High-Speed DACs“, in: *Optical Fiber Communication Conference*, Optical Society of America, 2014, M2A.3.
- [155] C. Krall, C. Vogel und K. Witrisal, „Time-Interleaved Digital-to-Analog Converters for UWB Signal Generation“, in: *IEEE International Conference on Ultra-Wideband*, 2007, S. 366–371.
- [156] P. V. Testa, C. Carta und F. Ellinger, „Analysis and Design of a 220-GHz Wideband SiGe BiCMOS Distributed Active Combiner“, in: *IEEE Transactions on Microwave Theory and Techniques* 64.10 (2016), S. 3049–3059.
- [157] M. Nagatani u. a., „A 50-GHz-bandwidth InP-HBT analog-MUX module for high-symbol-rate optical communications systems“, in: *2016 IEEE MTT-S International Microwave Symposium (IMS)*, 2016, S. 1–4.
- [158] X. Chen u. a., „All-electronic 100-GHz Bandwidth Digital-to-Analog Converter Generating PAM Signals up to 190-GBaud“, in: *2016 Optical Fiber Communications Conference and Exhibition (OFC)*, 2016, S. 1–3.
- [159] C. Schmidt u. a., „Digital signal splitting among multiple DACs for analog bandwidth interleaving (ABI)“, in: *2016 IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, 2016, S. 245–248.
- [160] R. Schmid, „Chosen Aspects of Math behind D/A and A/D Converters“, Interne Abhandlung, 2006.
- [161] S. Balasubramanian u. a., „Systematic Analysis of Interleaved Digital-to-Analog Converters“, in: *IEEE Transactions on Circuits and Systems II: Express Briefs* 58.12 (2011), S. 882–886.
- [162] *Launcher jack for glassbead 08K422-800S5*, Rosenberger, 2017, URL: <http://rosenberger.de/ok/images/documents/db/08K422-800S5.pdf>.
- [163] R. A. Belcher, „ADC Standard IEC 60748-4-3: Precision Measurement of Alternative ENOB Without a Sine Wave“, in: *IEEE Transactions on Instrumentation and Measurement* 64.12 (2015), S. 3183–3200.
- [164] W. R. Bennett, „Spectra of Quantized Signals“, in: *Bell System Technical Journal* 27.3 (1948), S. 446–472.
- [165] K. Schuh u. a., „100 GSa/s BiCMOS DAC Supporting 400 Gb/s Dual Channel Transmission“, in: *ECOC 2016; 42nd European Conference on Optical Communication; Proceedings of*, 2016.
- [166] „IEEE Standard for Terminology and Test Methods of Digital-to-Analog Converter Devices“, in: *IEEE Std 1658-2011* (Feb. 2012), S. 1–126.

-
- [167] R. Schmid, *RF2THzSiSoC Teilvorhaben FKZ 16BT1102*, Schlussbericht, Micram Microelectronic GmbH, Juni 2016.
 - [168] M. Papageorgiou, M. Leibold und M. Buss, *Optimierung: Statische, dynamische, stochastische Verfahren für die Anwendung*, Springer Berlin Heidelberg, 2015.
 - [169] H. Yamazaki u. a., „Digital-Preprocessed Analog-Multiplexed DAC for Ultrawideband Multilevel Transmitter“, in: *Journal of Lightwave Technology* 34.7 (2016), S. 1579–1584.